

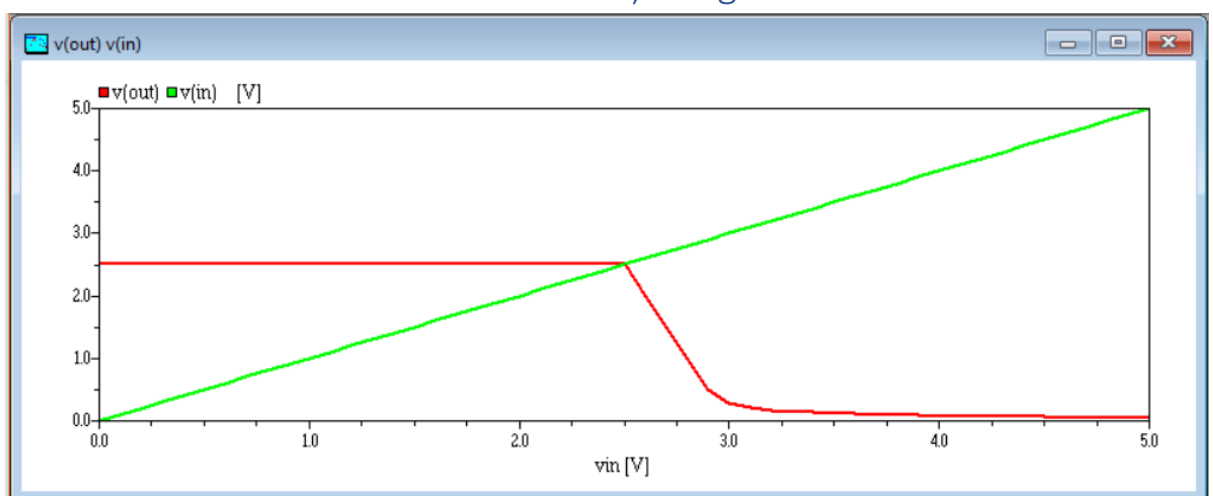
# Circuite integrate NMOS

Primele 4 puncte (1-4) se vor referi la un inversor implementat cu 2 tranzistoare NMOS legate în serie

Punctul 5 referă un NAND cu 3 tranzistoare NMOS

Punctul 6 referă un NOR cu 3 tranzistoare NMOS

## 1. Inversor cu NMOS fără condensator și lungimi diferite



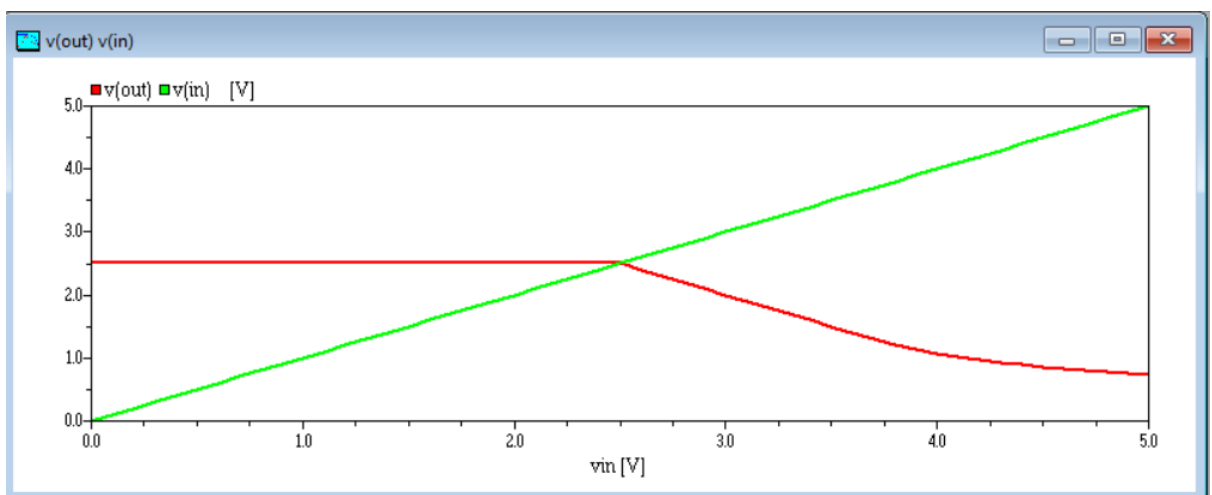
Linia verde reprezintă tensiunea de intrare, cea roșie tensiunea de ieșire.

Pentru '0' logic pe IN, tranzistorul M1 este blocat, iar tot curentul VDD va merge pe ieșire.

VDD va fi constant o valoare mare, deci cumva '1' logic, asta înseamnă că vom vedea pe ieșire '1' logic.

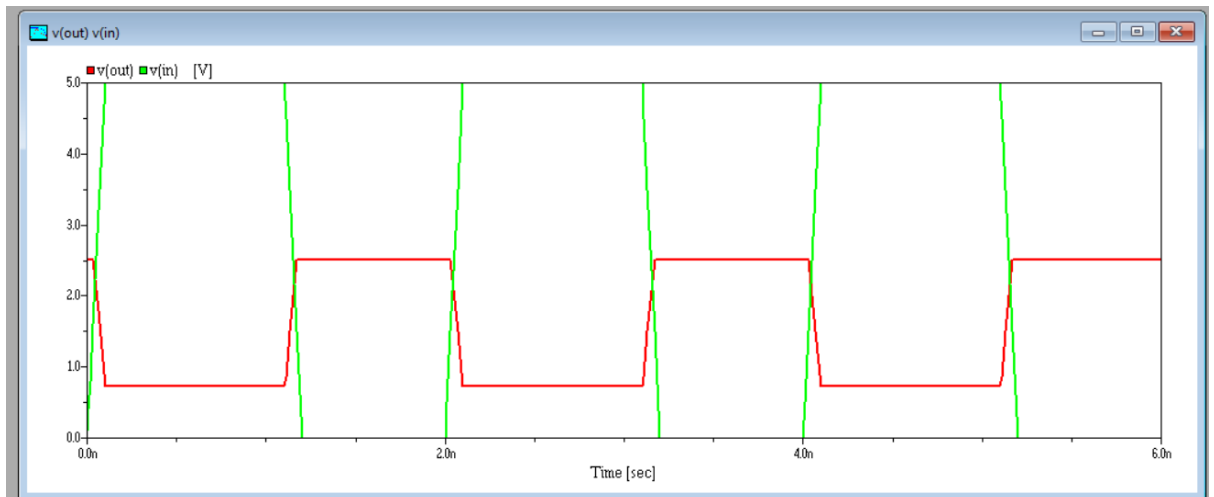
Dacă, din contra, vom avea '1' logic pe M1, tranzistorul M1 se deschide, și trage tot curentul spre masă (ground), tensiunea de ieșire scăzând brusc-trepat spre 0V.

## 2. Inversor cu NMOS fără condensator



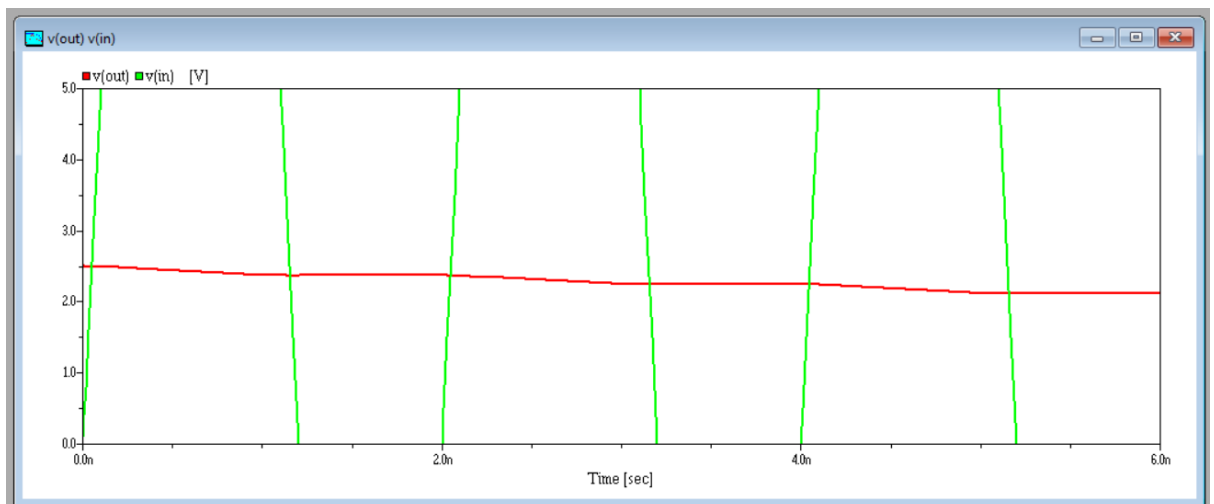
Avem aproape același efect ca la primul punct, însă rezistențele tranzistoarelor NMOS au fost alterate, având acum lungimi egale. Dacă la primul punct aveam  $L1=1U$  și  $L2=25U$ , acum  $L1=L2=1U$ . Ce înseamnă asta? Ambele rezistențe prezentate sunt la fel de puternice.

### 3. Inversor cu tranzistoare NMOS și fără condensator — analiză transient TR



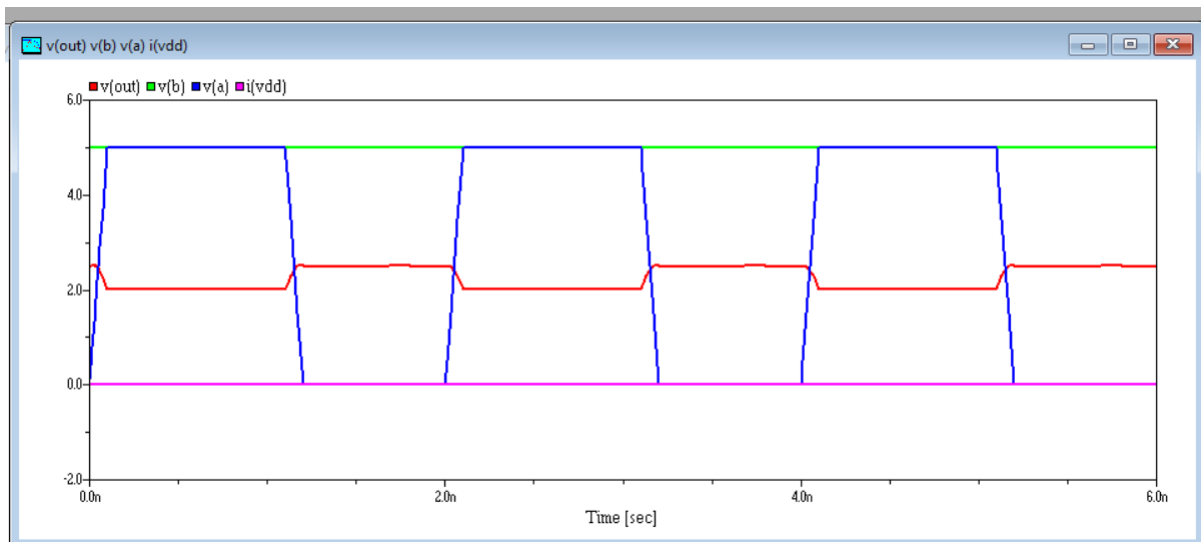
Din nou putem observa efectul dorit obținut de inversor. Tensiunea de intrare (linia verde) variază de la 0 la tensiuni foarte mari, iar tensiunea de ieșire ia valoarea de '1' logic de la tensiunea drenei VDD, și evident coboară către 0 când este cazul.

### 4. Inversor cu tranzistoare NMOS și cu condensator — analiză transient TR



Circuitul inversorului a fost înzestrat cu un condensator de capacitate 0.5pF, care înmagazinează energie când tensiunea din circuit > tensiunea dintre armăturile sale, și aruncă tensiune pe ieșire în situația contrară. Din acest motiv noi nu mai vedem pe linia roșie urcări și coborâri semnificative.

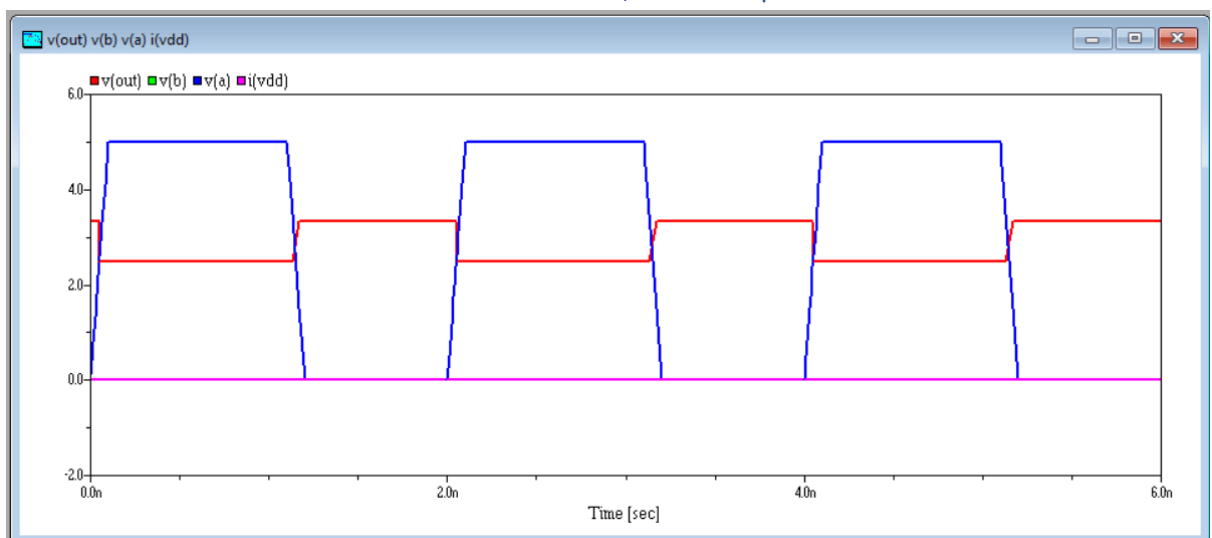
### 5. Poarta NAND cu 3 tranzistoare NMOS, fără capacitate



Aici ne vom orienta după tabelul de adevăr. Albastru: intrare A. Verde: intrare B. Rosu: ieșire.

După cum se poate observa, studiem ce se întâmplă pentru B = „1” constant și A =sau 0, sau 1. Linia roșie ne oferă situația exactă din teren: 1 cu 1 scot ‘0’ logic (în orice caz un voltaj / tensiune care poate fi încadrată la această categorie, fiind sub 2.4V – valoare de catalog), iar orice alte combinații logice converg în ‘1’ logic.

## 6. Poarta NOR cu 3 tranzistoare NMOS, fără capacitate



Pentru această poartă, Tensiunea în punctul B a fost înzestrată cu 0V. Astfel se testează cazurile de ‘0’ logic cu orice altă combinație.

Albastru: Tensiunea de intrare pe borna A.

Rosu: Tensiunea de ieșire.

Pentru 1 logic aplicat pe intrarea A, cumulat cu 0 logic de pe intrarea B, ieșirea rezultată este de 0 logic, exact ca și în tabel.

Pentru 0 logic aplicat pe intrarea A, cumulat cu 0 logic de pe intrarea B, ieșirea rezultată este de 1 logic.

O intrare 1 logic (în cazul nostru pe intrarea A) va deschide un tranzistor și nu va mai ajunge VDD pe ieșire. Dar pentru 0 logic pe ambele intrări, ambele tranzistoare sunt blocate. În consecință, VDD ajunge pe ieșire.