

# Receiver

---

Documento que indica todo lo necesario para usar el receptor **IEEE\_8021513\_RX**.

El IP Core se encuentra en esta carpeta: [IP Core Rx](#).

El proyecto ejemplo de Vivado donde se corrió la simulación: [Ejemplo Rx](#).

## Funcionalidades probadas

- Máximo tamaño de trama recibida: 4096 bytes.
- Acepta la recepción de múltiples tramas consecutivas, sin necesidad de reset.
- Señal de entrada mínima: [-0.1; 0.1]. Señal de entrada máxima: [-1.0; 1.0].
- Máximo error de frecuencia entre el clock del transmisor y el receptor: 15 kHz.
- Delay aleatorio entre señal recibida y transmitida.

## Clocks

- **clk\_adc**: [125 MHz]. Clock físico del ADC, conectado a la entrada del clocking wizard.
- **clk\_rx**: [125 MHz]. Clock del receptor, salida del clocking wizard. Sincrónico con la entrada del receptor.
- **clk\_fifo\_s**: [15.625 MHz]. Clock para sacar datos de la FIFO, salida del clocking wizard. Sincrónico con la salida del receptor.

## Inputs

- **IPCORE\_CLK**: [clk]. Señal de clock de 125 MHz.
- **IPCORE\_RESETN**: [bool]. Señal de reset ACTIVE LOW ('0' para resetear).
- **data\_in**: [int16]. Datos de entrada del ADC. Los dos bits MSB son descartados, por lo que acepta valores entre [-8192; 8191].
- **header\_ack**: [bool]. Pone el valor de la salida **header\_ready** en "0".

## Outputs

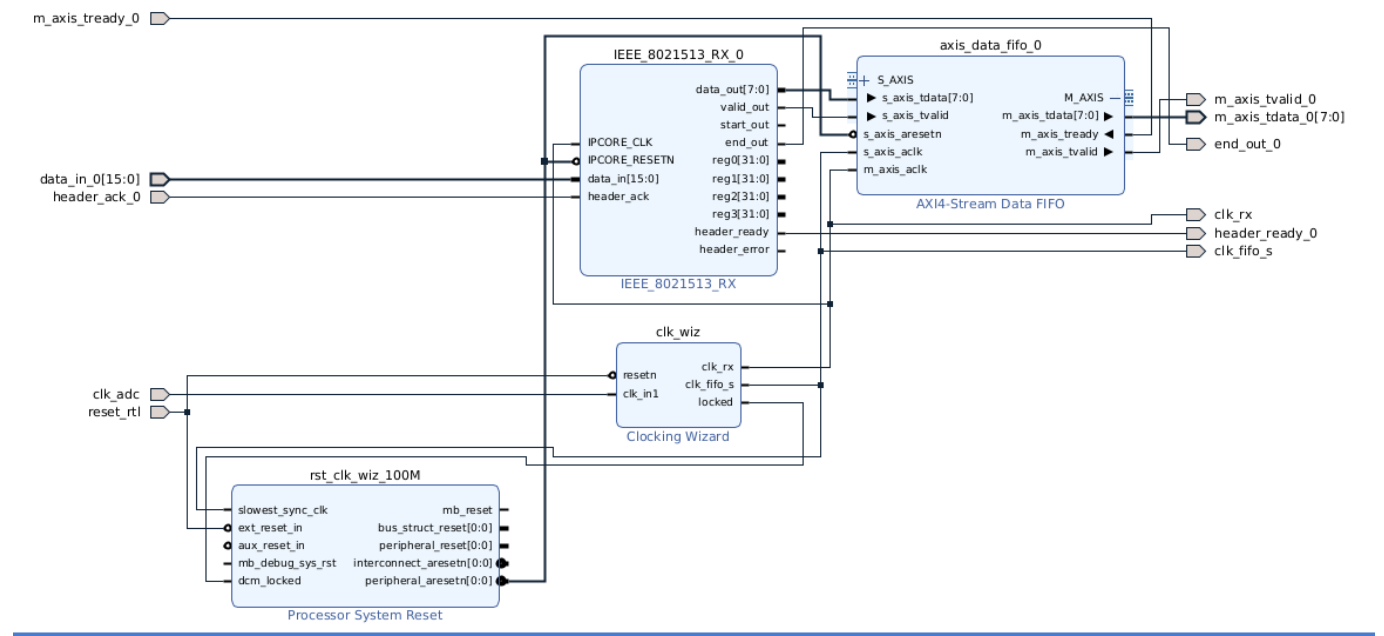
- **data\_out**: [uint8\_t]. Palabras recibidas del payload. Solamente se reciben las palabras "efectivas". Recuerde que para el transmisor, se transmitían palabras extras para llenar el múltiplo de 21. Esas palabras extras son descartadas automáticamente por el receptor.
- **valid\_out**: [bool]. Vale "1" mientras las palabras del payload sean válidas. Señal de AXI4-Stream.
- **start\_out**: [bool]. Vale "1" mientras sea válida la primera palabra del payload.

- **end\_out**: [bool]. Vale "1" mientras sea válida la última palabra del payload, indicando el final de la recepción.
- **[reg0, reg1, reg2, reg3]**: [uint32\_t]. Registros leídos del encabezado. Su valor es válido luego de haber recibido la señal de **header\_ready**.
- **header\_ready**: [bool]. Vale "1" una vez que fueron leídos los registros del encabezado, indicando que se detectó una nueva transmisión. Este valor permanece en "1" hasta que se recibe una señal en la entrada de **header\_ack**.
- **header\_error**: [bool]. Si pone en "1" durante el mismo ciclo de clock que **header\_ready** y se queda levantado. Indica que falló el CRC del encabezado, por lo que los datos leídos del payload deben ser ignorados.

## Modo de funcionamiento

1. Se reciben continuamente datos del DAC.
2. Luego de que se haya detectado el preámbulo OFDM de un mensaje, el receptor seguirá trabajando para demodular el encabezado. Una vez que el encabezado haya sido leído, se pondrá en "1" la señal **header\_ready**, y se actualizarán los valores de los cuatro registros. En caso de que haya habido un error en la decodificación, se levantará la señal **header\_error**:
  - En caso de que la señal **header\_error** se haya levantado, reiniciar todo el IP Core, e ignorar el símbolo OFDM actual.
  - Poner en "1" la señal de entrada **header\_ack** una vez leídos los registros, para poner la señal **header\_ready** en "0".
3. Pasado un tiempo, se levantará la señal **start\_out**, indicando que están llegando los primeros bytes del payload a la FIFO. Consecuentemente, se irán escribiendo de manera intermitente las palabras del payload, levantado la señal de **valid\_out** cuando haya palabras válidas.
4. Una vez que se termina de recibir el payload, se levanta la señal **end\_out** durante la última palabra. Esta señal es equivalente a un TLAST de AXI4-Stream, si se desea usar.

## Block design



IP Symbol

Resource

☐ Show disabled ports

resetn

clk\_in1

clk\_rx

clk\_fifo\_s

locked

Component Name

clk\_wiz

Clocking Options

Output Clocks

PLLE2 Settings

Summary

☐ Enable Clock Monitoring

Primitive

☐ MMCM☒ PLL

Clocking Features

Jitter Optimization

☒ Frequency Synthesis☐ Minimize Power

☒ Phase Alignment

☐ Dynamic Reconfig

☐ Safe Clock Startup

☒ Balanced

☐ Minimize Output Jitter

☐ Maximize Input Jitter filtering

Dynamic Reconfig Interface Options

☒ AXI4Lite☐ DRP

☐ Phase Duty Cycle Config

☐ Write DRP registers

Input Clock Information

Input Clock	Port Name	Input Frequency(MHz)	Jitter Options	Input Jitter	Source	
<input checked="" type="checkbox"/> Primary	clk_in1	<div><div>MANUAL</div><div>125.000</div></div>	19.000 - 800.000	UI	0.010	Single ended clock
<input type="checkbox"/> Secondary	clk_in2	<div><div>AUTO</div><div>100.000</div></div>	114.286 - 228.571		0.010	Single ended clock

IP SymbolResource

☐ Show disabled ports

resetn

clk\_in1

clk\_rx

clk\_fifo\_s

locked

Component Nameclk\_wiz

Clocking OptionsOutput ClocksPLLE2 SettingsSummary

<input checked="" type="checkbox"/> clk_out1	clk_rx	125.000	125.00000	0.000	0.000	50.000	50.000
<input checked="" type="checkbox"/> clk_out2	clk_fifo_s	15.625	15.62500	0.000	0.000	50.000	50.000
<input type="checkbox"/> clk_out3	clk_out3	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out4	clk_out4	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out5	clk_out5	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out6	clk_out6	100.000	N/A	0.000	N/A	50.000	N/A

☐ USE CLOCK SEQUENCING

Output ClockSequence Number

clk_out1	1
clk_out2	1
clk_out3	1
clk_out4	1
clk_out5	1
clk_out6	1

Enable Optional Inputs / Outputs for MMCM/PLL

☒ reset☐ power\_down☒ locked

Reset Type

☐ Active High☒ Active Low

Clocking Feedback

Source

☒ Automatic Control On-Chip☐ Automatic Control Off-Chip☐ User-Controlled On-Chip☐ User-Controlled Off-Chip

Signaling

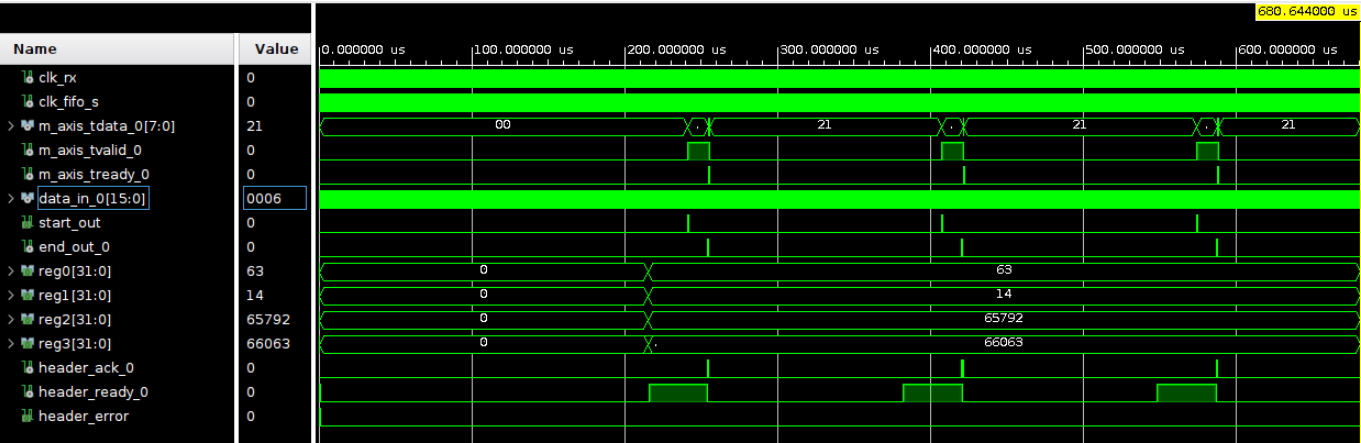
☒ Single-ended☐ Differential

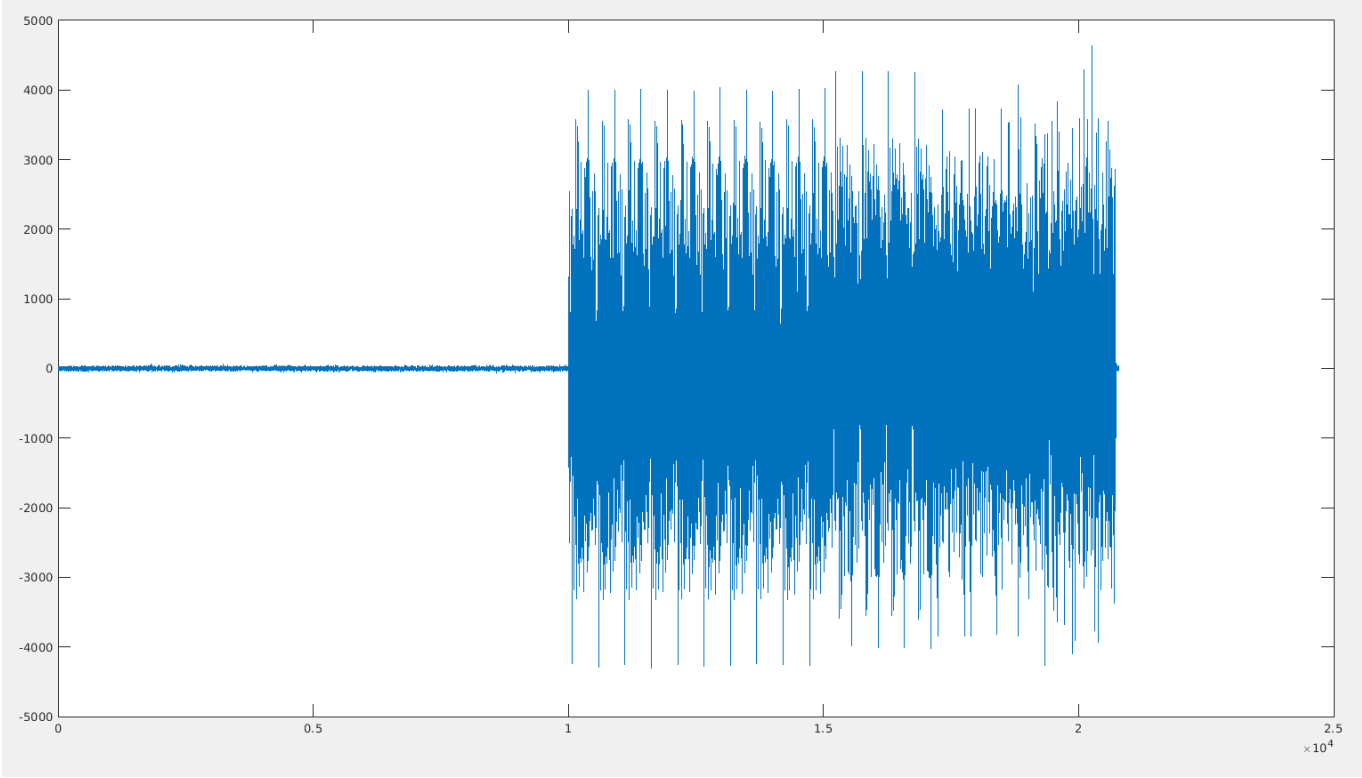
Simulation

Critical warnings: 0.

Valores de registros usados:

- Mensaje recibido = "This is a test of the RX for the UTN VLC Project!"
- reg0 = 63
- reg1 = 14
- reg2 = 65792
- reg3 = 66063



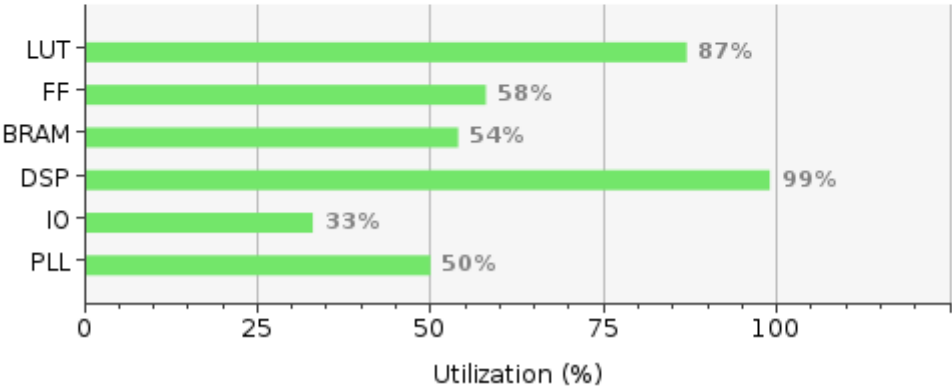


Sintesis

Nota: recordar incluir el archivo de constraints `ieee_constraints_rx.xdc`..

Critical warnings: 0.

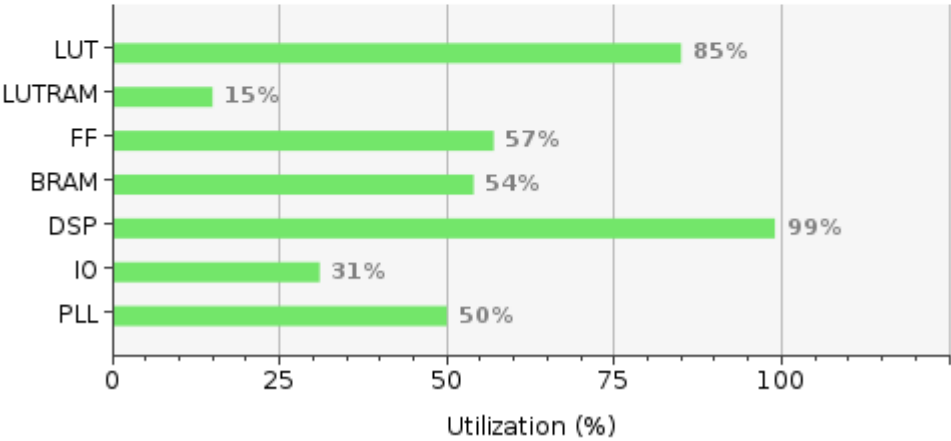
Resource	Utilization	Available	Utilization %
LUT	15303	17600	86.95
FF	20363	35200	57.85
BRAM	32.50	60	54.17
DSP	79	80	98.75
IO	33	100	33.00
PLL	1	2	50.00



Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 2.081 ns	Worst Hold Slack (WHS): -0.151 ns	Worst Pulse Width Slack (WPWS): 2.000 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): -1.406 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 10	Number of Failing Endpoints: 0
Total Number of Endpoints: 64646	Total Number of Endpoints: 64604	Total Number of Endpoints: 20982
Timing constraints are not met.		

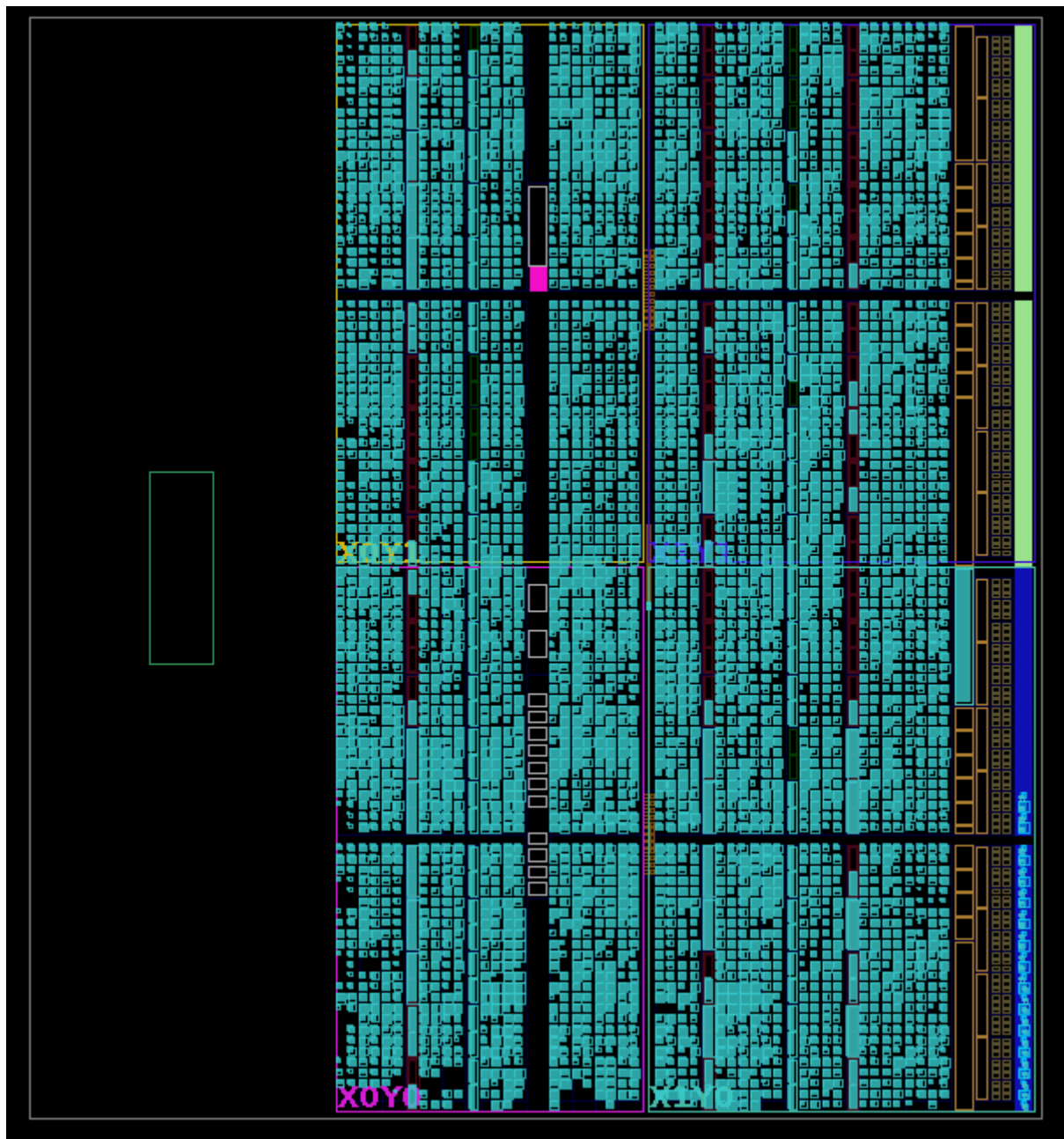
Implementation

Resource	Utilization	Available	Utilization %
LUT	14990	17600	85.17
LUTRAM	906	6000	15.10
FF	20232	35200	57.48
BRAM	32.50	60	54.17
DSP	79	80	98.75
IO	31	100	31.00
PLL	1	2	50.00



Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 0.502 ns	Worst Hold Slack (WHS): 0.022 ns	Worst Pulse Width Slack (WPWS): 2.000 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 67458	Total Number of Endpoints: 67438	Total Number of Endpoints: 21749
All user specified timing constraints are met.		



## Versionado

### v2.0

- Se agrega la entrada `header_ack`, y se mantiene en nivel la salida `header_ready`.
- Se modifica el rango de entrada a un int16, entre los valores `[-8192; 8191]`.
- Se modifica el filtro pasabajos del decimador, para hacerlo más estricto en frecuencia (fstop de 37MHz a fstop de 33.5 MHz).
- Se agregan delays en el demodulador de OFDM, y se modifican las constraints de MCP para que incluyan sólo el demodulador OFDM.

### v1.0

- Emisión inicial del documento.