

Receiver

Documento que indica todo lo necesario para usar el receptor **IEEE_8021513_RX**.

El IP Core se encuentra en esta carpeta: [IP Core Rx](#).

El proyecto ejemplo de Vivado donde se corrió la simulación: [Ejemplo Rx](#).

Funcionalidades probadas

- Máximo tamaño de trama recibida: 4096 bytes.
- Acepta la recepción de múltiples tramas consecutivas, sin necesidad de reset.
- Señal de entrada mínima: [-0.1; 0.1]. Señal de entrada máxima: [-1.0; 1.0].
- Máximo error de frecuencia entre el clock del transmisor y el receptor: 15 kHz.
- Delay aleatorio entre señal recibida y transmitida.

Clocks

- **clk_adc**: [125 MHz]. Clock físico del ADC, conectado a la entrada del clocking wizard.
- **clk_rx**: [125 MHz]. Clock del receptor, salida del clocking wizard. Sincrónico con la entrada del receptor.
- **clk_fifo_s**: [15.625 MHz]. Clock para sacar datos de la FIFO, salida del clocking wizard. Sincrónico con la salida del receptor.

Inputs

- **IPCORE_CLK**: [clk]. Señal de clock de 125 MHz.
- **IPCORE_RESETN**: [bool]. Señal de reset ACTIVE LOW ('0' para resetear).
- **data_in**: [fixdt(1,16,15)]. Datos de entrada del ADC. Los dos bits LSB son descartados.

Outputs

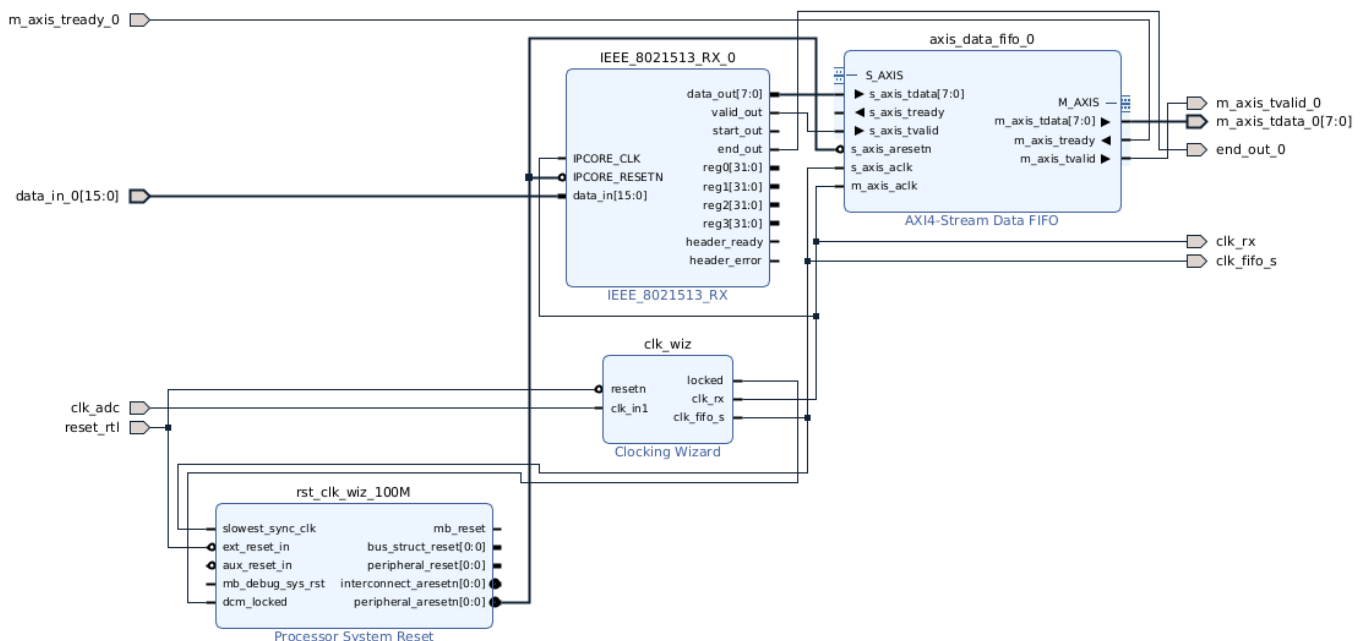
- **data_out**: [uint8_t]. Palabras recibidas del payload. Solamente se reciben las palabras "efectivas". Recuerde que para el transmisor, se transmitían palabras extras para llenar el múltiplo de 21. Esas palabras extras son descartadas automáticamente por el receptor.
- **valid_out**: [bool]. Vale "1" mientras las palabras del payload sean válidas. Señal de AXI4-Stream.
- **start_out**: [bool]. Vale "1" mientras sea válida la primera palabra del payload.
- **end_out**: [bool]. Vale "1" mientras sea válida la última palabra del payload, indicando el final de la recepción.

- **[reg0, reg1, reg2, reg3]:** [uint32_t]. Registros leídos del encabezado. Su valor es válido luego de haber recibido la señal de **header_ready**.
- **header_ready:** [bool]. Vale "1" una vez que fueron leídos los registros del encabezado, indicando que se detectó una nueva transmisión.
- **header_error:** [bool]. Si pone en "1" durante el mismo ciclo de clock que **header_ready**, e indica que falló el CRC del encabezado, por lo que los datos leídos del payload deben ser ignorados.

Modo de funcionamiento

1. Se reciben continuamente datos del DAC.
2. Luego de que se haya detectado el preámbulo OFDM de un mensaje, el receptor seguirá trabajando para demodular el encabezado. Una vez que el encabezado haya sido leído, se pondrá en "1" la señal **header_ready**, y se actualizarán los valores de los cuatro registros. En caso de que haya habido un error en la decodificación, se levantará la señal **header_error**.
3. Pasado un tiempo, se levantará la señal **start_out**, indicando que están llegando los primeros bytes del payload a la FIFO. Consecuentemente, se irán escribiendo de manera intermitente las palabras del payload, levantando la señal de **valid_out** cuando haya palabras válidas.
4. Una vez que se termina de recibir el payload, se levanta la señal **end_out** durante la última palabra. Esta señal es equivalente a un TLAST de AXI4-Stream, si se desea usar.

Block design



IP SymbolResource

☐ Show disabled ports

resetrn

clk_in1

clk_rx

clk_fifo_s

locked

Component Nameclk_wiz

Clocking Options

Output Clocks

PLLE2 Settings

Summary

☐ Enable Clock Monitoring

Primitive

☐ MMCM☒ PLL

Clocking Features

☒ Frequency Synthesis☐ Minimize Power☐ Phase Alignment☐ Dynamic Reconfig☐ Safe Clock Startup

Jitter Optimization

☒ Balanced☐ Minimize Output Jitter☐ Maximize Input Jitter filtering

Dynamic Reconfig Interface Options

☒ AXI4Lite☐ DRP☐ Phase Duty Cycle Config☐ Write DRP registers

Input Clock Information

Input Clock	Port Name	Input Frequency(MHz)		Jitter Options	Input Jitter	Source
<input checked="" type="checkbox"/> Primary	clk_in1	<div><div></div><div>MANUAL</div></div> 125.000	19.000 - 800.000	UI	0.010	Single ended clock
<input type="checkbox"/> Secondary	clk_in2	<div><div></div><div>MANUAL</div></div> 100.000	114.286 - 228.571		0.010	Single ended clock

IP SymbolResource

☐ Show disabled ports

resetrn

clk_in1

clk_rx

clk_fifo_s

locked

Component Nameclk_wiz

Clocking Options

Output Clocks

PLLE2 Settings

Summary

	Output Clock								
<input checked="" type="checkbox"/>	clk_out1	clk_rx	125.000	125.00000	0.000	0.000	50.000	50.000	
<input checked="" type="checkbox"/>	clk_out2	clk_fifo_s	15.625	15.62500	0.000	0.000	50.000	50.000	
<input type="checkbox"/>	clk_out3	clk_out3	100.000	N/A	0.000	N/A	50.000	N/A	
<input type="checkbox"/>	clk_out4	clk_out4	100.000	N/A	0.000	N/A	50.000	N/A	
<input type="checkbox"/>	clk_out5	clk_out5	100.000	N/A	0.000	N/A	50.000	N/A	
<input type="checkbox"/>	clk_out6	clk_out6	100.000	N/A	0.000	N/A	50.000	N/A	

☐ USE CLOCK SEQUENCING

Clocking Feedback

Output Clock

Sequence Number

clk_out1	1
clk_out2	1
clk_out3	1
clk_out4	1
clk_out5	1
clk_out6	1

CLKOUT6 SEQUENCE NUMBER

Enable Optional Inputs / Outputs for MMCM/PLL

☒ reset☐ power_down☐ locked

Reset Type

☐ Active High☒ Active Low

Source

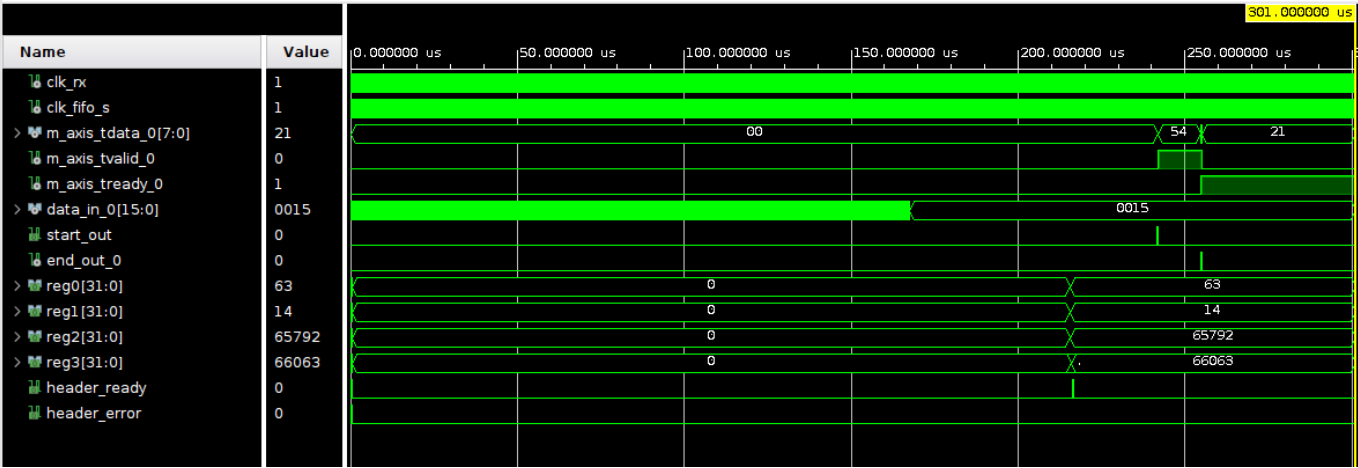
☒ Automatic Control On-Chip☐ Automatic Control Off-Chip☐ User-Controlled On-Chip☐ User-Controlled Off-Chip

Signaling

☒ Single-ended☐ Differential

Simulation

Critical warnings: 0.

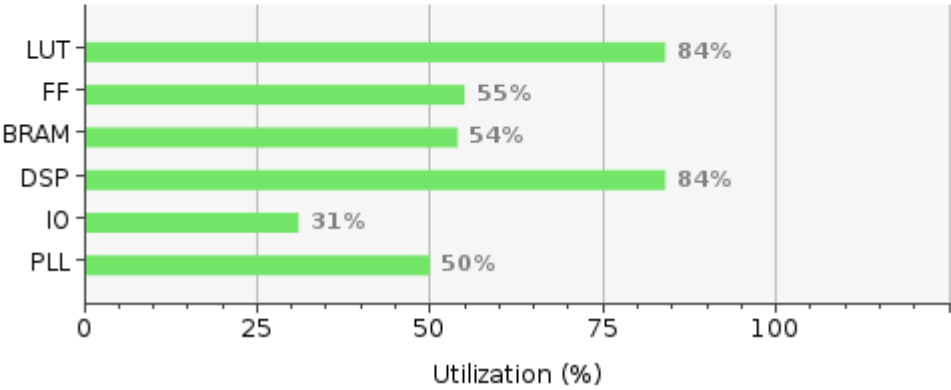


Sintesis

Nota: recordar incluir el archivo de constraints `ieee_constraints_rx.xdc`, que se encuentra dentro de la carpeta del IP_CORE.

Critical warnings: 0.

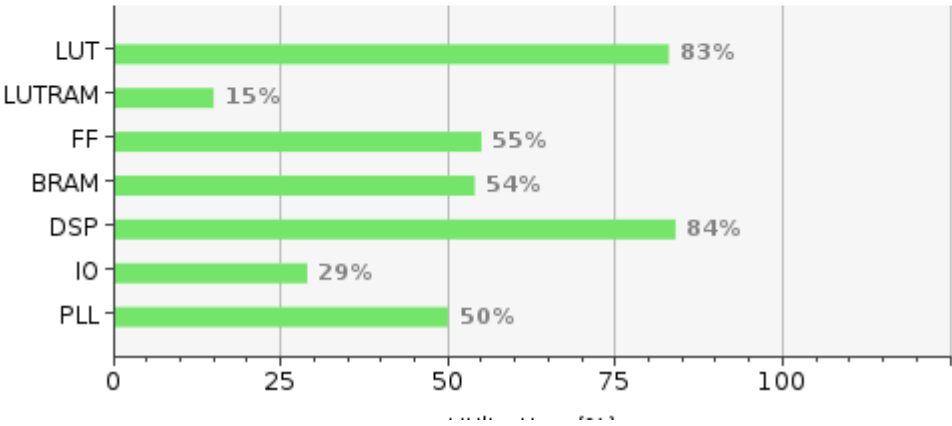
Resource	Utilization	Available	Utilization %
LUT	14822	17600	84.22
FF	19477	35200	55.33
BRAM	32.50	60	54.17
DSP	67	80	83.75
IO	31	100	31.00
PLL	1	2	50.00



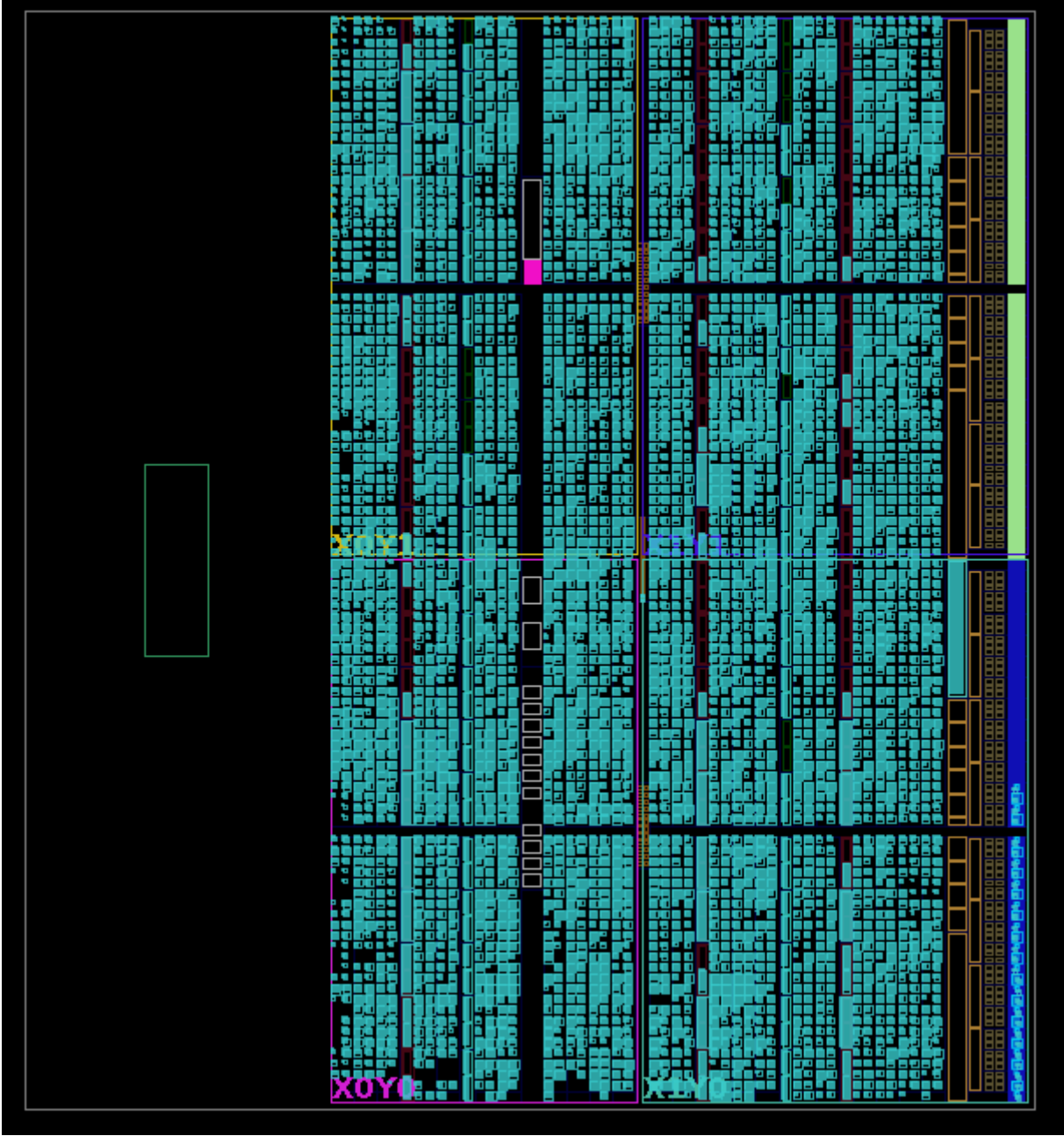
Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 2.081 ns	Worst Hold Slack (WHS): -0.151 ns	Worst Pulse Width Slack (WPWS): 2.000 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): -1.406 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 10	Number of Failing Endpoints: 0
Total Number of Endpoints: 64646	Total Number of Endpoints: 64604	Total Number of Endpoints: 20982
Timing constraints are not met.		

Implementation

Resource	Utilization	Available	Utilization %
LUT	14562	17600	82.74
LUTRAM	906	6000	15.10
FF	19290	35200	54.80
BRAM	32.50	60	54.17
DSP	67	80	83.75
IO	29	100	29.00
PLL	1	2	50.00



Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 0.167 ns	Worst Hold Slack (WHS): 0.014 ns	Worst Pulse Width Slack (WPWS): 2.000 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 64375	Total Number of Endpoints: 64355	Total Number of Endpoints: 20795
All user specified timing constraints are met.		



Versionado

v1.0

- Emisión inicial del documento.