

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

### 文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

### 订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

## EZ-USB FX2LP USB 微控制器 高速 USB 外设控制器

### 特性

- 已验证的 USB 2.0 USB IF 高速模式 (TID # 40460272)
- 单一芯片集成式 USB 2.0 收发器、智能 SIE 和增强型 8051 微处理器
- 适用性、外观和功能与 FX2 兼容
  - 可兼容引脚
  - 可兼容对象代码
  - 可兼容功能 (FX2LP 是超集)
- 超低功耗:  $I_{CC}$  在任何模式下均不超过 85 mA
  - 适用于总线和电池供电应用
- 软件: 8051 代码从以下部件中运行:
  - 内部 RAM, 8051 代码通过 USB 下载
  - 内部 RAM, 从 EEPROM 加载 8051 代码
  - 外部存储器器件 (128 引脚封装)
- 16 KB 的片上代码 / 数据 RAM
- 4 个可编程 BULK、INTERRUPT 和 ISOCRONOUS 端点
  - 缓冲选项: 双重、三重和四立体
- 其他可编程 (BULK/INTERRUPT) 64 字节端点
- 8 位或 16 位外部数据接口
- 智能媒体标准 ECC 生成
- GPIF™ (通用可编程接口)
  - 直接连接到大多数并行接口
  - 可编程波形描述符和配置寄存器以用来定义波形
  - 支持多种就绪 (RDY) 输入和控制 (CTL) 输出
- 集成式工业级标准的增强型 8051
  - 48 MHz、24 MHz 或 12 MHz CPU 工作频率
  - 每个指令周期有 4 个时钟
  - 2 个 USART
  - 3 个计数器 / 定时器
  - 扩展的中断系统
  - 2 个数据指针
- 3.3 V 工作电压, 5 V 容限输入
- 矢量式 USB 中断和 GPIF/FIFO 中断
- CONTROL 传输设置和数据部分的单独数据缓冲区
- 集成式 I<sup>2</sup>C 控制器, 运行频率达 100 或 400 kHz[1]
- 4 个集成式 FIFO
  - 集成式胶连逻辑和 FIFO 较低系统成本
  - 16 位总线自动切换
  - 主控或从器件操作
  - 使用外部时钟或异步探针
  - 易于连接到 ASIC 和 DSP IC 接口
- 可在商业级和工具级温度下使用 (除 VFBGA 以外的所有封装)

### 特性 (仅限 CY7C68013A/14A)

- CY7C68014A: 适用于电池供电应用
  - 暂停电流: 100  $\mu$ A (典型)
- CY7C68013A: 适用于非电池供电应用
  - 暂停电流: 300  $\mu$ A (典型)
- 适用于 5 个高达 40 GPIO 的无铅封装
  - 128 引脚 TQFP (40 GPIO), 100 引脚 TQFP (40 GPIO), 56 引脚 QFN (24 GPIO), 56 引脚 SSOP (24 GPIO) 和 56 引脚 VFBGA (24 GPIO)

### 特性 (仅限 CY7C68015A/16A)

- CY7C68016A: 适用于电池供电应用
  - 暂停电流: 100  $\mu$ A (典型)
- CY7C68015A: 适用于非电池供电应用
  - 暂停电流: 300  $\mu$ A (典型)
- 适用于无铅 56 引脚 QFN 封装 (26 GPIO)
- 与 CY7C68013A/14A 相比, 采用相同的封装, 但多配备两个 GPIO, 具备额外的特性

### 功能描述

如需获取完整的相关资源列表, 请点击 [此处](#)。

#### 注释:

1. 实际的 I<sup>2</sup>C 时钟频率将有所不同。当设置为 100 kHz 和 400 kHz 时, 实测的 I<sup>2</sup>C 时钟频率分别约为 85 kHz 和 300 kHz。
2. 如需查看硅片勘误信息, 请参阅第 67 页“勘误表”的触发条件、受影响的设备以及建议的解决方法。

## 更多信息

英飞凌的官网 <https://www.infineon.com/cms/cn/> 有大量数据，为您的设计提供正确的器件选择指南，帮助您快速有效地在设计中完成器件集成。如需了解所有 FX2LP 的相关资源，请参阅应用笔记 [AN65209——FX2LP™ 入门手册](#)。

■ 概述: [USB 产品组合](#), [USB 路线图](#)

■ USB 2.0 产品选择器: [FX2LP](#), [AT2LP](#), [NX2LP-Flex](#), [SX2](#)

■ 应用笔记: 英飞凌有大量的 USB 应用笔记, 涵盖从基本到高级的各种话题。建议通过学习以下手册快速入门 FX2LP:

- [AN65209——FX2LP™ 入门手册](#)
- [AN15456——EZ-USB™ FX2LP™ 硬件的正确设计指南](#)
- [AN50963——EZ-US™ FX1/FX2LP 启动选项](#)
- [AN66806——EZ-USB™ FX2LP GPIF 入门](#)
- [AN61345——使用 EZ-USB® FX2LP™ 从设备 FIFO 接口进行设计](#)
- [AN57322——通过 GPIF 使 SRAM 与 FX2LP 相互连接](#)
- [AN40353——在 EZ-USB™ FX2™ 和 FX2LP™ 上测试同步或批量端点的数据流](#)
- [AN63787——使用 8 位异步接口配置 EZ-USB™ FX2LP GPIF 和 Slave FIFO 的示例](#)

完整的应用手册列表, 请点击 [此处](#)。

■ 代码示例:

- [USB Hi-Speed](#)

■ 技术参考手册 (TRM):

- [EX-USB FX2LP Technical Reference Manual](#)

■ 参考设计:

- [CY4661-External USB Hard Disk Drives?HDD?with Finger-print Authentication Security](#)
- [FX2LP DM-T/H TV Dongle reference design](#)

■ Models: IBIS

### EX-USB FX2LP 开发套件

[CY3684 EZ-USB FX2LP 开发套件](#) 包含 FX2LP 开发的完整资源。

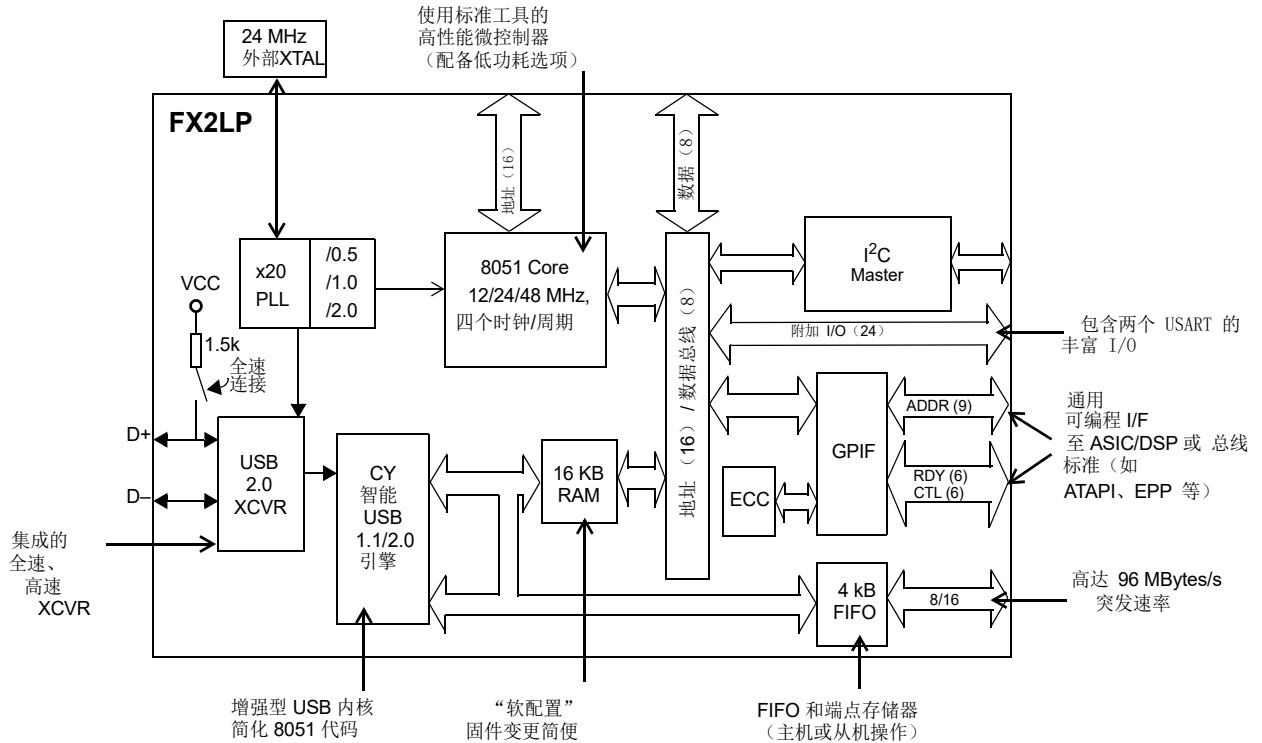
[CY3689 EZ-USB FX2LP 探索套件](#) 是一款全新设计的套件, 可帮助初学者和有经验的用户使用 FX2LP 执行不同的应用。

开发套件包含了使用 FX2LP 的固件, 硬件, 以及设计中软件相关资源。

### GPIF™ 设计器

FX2LP™ 通用可编程接口提供独立的硬件单元, 可以生成外部接口需要的数据和控制信号。FX2LP GPIF 设计器允许用户通过使用图形用户界面创建和修改 EZ-USB FX2/FX2LP 系列芯片的 GPIF 波形描述符。[FX2LP 技术参考手册](#) 以及 GPIF Designer 用户指南详尽讨论了关于通用 GPIF 以及如何使用 GPIF Designer 进行编程。这些资料与 GPIF Designer 软件一同提供。可以从 [AN66806——EZ-USB™ FX2LP™ GPIF 入门](#) 开始学习。

## 逻辑框图



英飞凌 EZ-USB™ FX2LP™ (CY7C68013A/14A) 是一款高度集成的低功耗 USB 2.0 微控制器，是 EZ-USB™ FX2™ (CY7C68013) 的低功耗版。英飞凌通过在一颗芯片上集成了 USB 2.0 收发器、串行接口引擎 (SIE)、增强型 8051 微控制器和可编程外围接口，实现了一种低功耗、高性价比的方案，能够缩短产品上市时间，适用于总线供电的应用。

FX2LP 采用精妙的设计架构，虽然仅集成一个低成本的 8051 微控制器、一个 56 VFBGA (5 mm × 5 mm) 的微型封装，但实现了每秒 53 兆字节的高速数据传输 (达到了 USB 2.0 的最大带宽)。FX2LP 集成了 USB 2.0 收发器，比 USB 2.0 SIE 或外部收发器方案更具成本效应、更小巧。EZ-USB FX2LP 可以让英飞凌 Smart SIE 在硬件层面处理 USB 1.1 和 2.0 的大部分协议，从

而节省了嵌入式微控制器的资源，用于实现应用相关的功能，同时也缩短了产品的开发周期，保证了 USB 的兼容性。

通用可编程接口 (GPIF) 和主 / 从端点 FIFO (8 位或 16 位数据总线) 能够无缝地与 ATA、UTOPIA、EPP、PCMCIA 等常见接口以及大部分 DSP/ 处理器对接。

FX2LP 的电流消耗比 FX2 (CY7C68013) 低，片上代码 / 数据 RAM 是 FX2 的两倍，并且在尺寸、外形和功能上都能与 56、100 和 128 引脚的 FX2 匹配。

该系列定义了 5 个封装：56 VFBGA、56 SSOP、56 QFN、100 TQFP 和 128 TQFP。

## 目录

特性 .....	1	USB 收发器 .....	42
功能描述 .....	1	程序存储器读取 .....	42
更多信息 .....	2	数据存储器读取 [31] .....	43
逻辑框图 .....	3	数据存储器写入 [33] .....	44
目录 .....	4	PORTC 探针特性时序 .....	45
应用 .....	5	GPIF 同步信号 .....	46
功能概述 .....	5	从机 FIFO 同步读取 .....	47
USB 信号速度 .....	5	从机 FIFO 异步读取 .....	48
8051 微处理器 .....	5	从机 FIFO 同步写入 .....	49
I <sup>2</sup> C 总线 .....	5	从机 FIFO 异步写入 .....	50
总线 .....	5	从机 FIFO 同步数据包结束探针 .....	51
USB 引导方式 .....	6	从机 FIFO 异步数据包结束探针 .....	53
复枚举 (ReNumeration) .....	6	从机 FIFO 输出使能 .....	53
总线供电应用 .....	6	从机 FIFO 标志 / 数据寻址 .....	53
中断系统 .....	6	从机 FIFO 异步地址 .....	54
复位和唤醒 .....	9	从机 FIFO 异步寻址 .....	54
程序 / 数据 RAM .....	10	序列图 .....	55
寄存器地址 .....	12	订购信息 .....	59
端点 RAM .....	13	订购代码定义 .....	59
外部 FIFO 接口 .....	15	封装图 .....	60
GPIF .....	15	PCB 布局建议 .....	64
ECC 生成 .....	16	四方扁平封装无引脚 (QFN) 封装设计说明 .....	65
USB 上传和下载 .....	16	缩略语 .....	66
自动指针访问 .....	16	文档惯例 .....	66
I <sup>2</sup> C 控制器 .....	16	测量单位 .....	66
与上一代 EZ-USB FX2 兼容 .....	17	勘误表 .....	67
CY7C68013A/14A 和 CY7C68015A/16A 的差异对比 .....	17	零件号受影响 .....	67
引脚分配 .....	18	CY7C68013A/14A/15A/16A 资质状态: .....	67
CY7C68013A/15A 引脚描述 .....	25	CY7C68013A/14A/15A/16A 勘误总结: .....	67
寄存器摘要 .....	33	文档修订记录页 .....	68
绝对最大额定值 .....	40	销售、解决方案和法律信息 .....	68
运行条件 .....	40	文档修订记录页 .....	68
热特性 .....	40		
直流电特性 .....	41		
USB 收发器 .....	41		
交流电气特性 .....	42		

## 应用

- 便携式视频记录仪
- MPEG/TV 转换
- DSL 调制解调器
- ATA 接口
- 存储器读卡器
- 传统的转换器件
- 摄像机
- 扫描仪
- 无线局域网
- MP3 播放器
- 网络

英飞凌官网的“参考设计”栏目为设计常见的 USB 2.0 应用提供了更多的工具。每种参考设计附带固件源和目标代码、原理图和文档。如需了解更多信息，请访问 [www.infineon.com/cms/cn/](http://www.infineon.com/cms/cn/)。

## 功能概述

### USB 信号速度

FX2LP 可以在 USB 2.0 规范（2000 年 4 月 27 日发布）规定的三种速率中的两种速率下工作：

- 全速，信号比特率为 12 Mbps
  - 高速，信号比特率为 480 Mbps
- FX2LP 不支持 1.5 Mbps 的低速模式。

### 8051 微处理器

FX2LP 系列内嵌式 8051 微处理器包含 256 字节的寄存器 RAM、扩展的中断系统、3 个定时器 / 计数器和 2 个 USART。

#### 8051 时钟频率

FX2LP 具有片上振荡器电路，该电路使用 24 MHz ( $\pm 100$  ppm) 外部晶振，其特征如下：

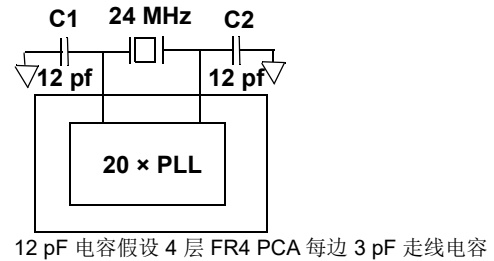
- 并联谐振
- 基本模式
- 500  $\mu$ W 驱动电平
- 12 pF（5% 容差）负载的电容

芯片内的 PLL 把 24-MHz 的振荡器频率提升到 480 MHz，以适应收发器 / PHY 的需要；然后通过内部计数器分频，作为 8051 的时钟源。8051 时钟默认频率为 12 MHz。8051 可以通过 CPUCS 寄存器动态改变 8051 的时钟频率。

#### 注释：

3. 通过将 8051 微控制器的 SMOD0 或 SMOD1 位分别设置为“1”，可以分别为 UART0、UART1 或同时为两者实现 115-KBaud 的通信速率。
4. 实际的 I<sup>2</sup>C 时钟频率会有所不同。当置位 100 kHz 和 400 kHz 时，测得的 I<sup>2</sup>C 时钟频率分别约为 85 kHz 和 300 kHz。

图 1. 晶振配置



CLKOUT 引脚，三态，使用内部控制位反转，输入 50% 占空比 8051 时钟（选定的 8051 时钟频率）：48 MHz，24 MHz 或 12 MHz。

### USART

FX2LP 包含两个标准 8051 USART，通过特殊功能寄存器（SFR）位进行地址寄存。USART 接口引脚在单独的 I/O 引脚上提供，不与端口引脚多路复用。

UART0 和 UART1 能够以 230 KBaud 内部时钟频率运行，波特率误差不超过 1%。内部时钟源能够在恰当的时机发出溢出脉冲，从而实现 230 KBaud 的操作。内部时钟会根据 8051 的时钟速率（48 MHz，24 MHz 或 12 MHz）自动调节，从而为 230-KBaud 操作提供正确的频率 [3]。

#### 特殊功能寄存器

为了快速访问 FX2LP 的关键功能，某些 8051 SFR 地址被用作控制寄存器。新增的 SFR 地址如第 6 页的表 1 所示。粗体字表示非标准的增强型 8051 寄存器。位寻址寄存器分布在以“0”和“8”结尾的两行 SFR 中。A 至 D 这四个 I/O 端口采用的是标准 8051 中 0 至 3 号端口所对应的特殊功能寄存器（SFR）地址，但不适用于 FX2LP。FX2LP 的 I/O 端口因采用了更快更高效的 SFR 寻址方法，故不能（通过 MOVX 指令）在外部 RAM 空间进行寻址。

### I<sup>2</sup>C 总线

FX2LP 仅在 100/400 kHz [4] 时才支持作为主控的 I<sup>2</sup>C 总线。SCL 和 SDA 引脚具有开漏输出和迟滞输入。即使未连接 I<sup>2</sup>C 器件，这些信号也应必须上拉到 3.3V。

### 总线

所有封装、8 位或 16 位双向数据总线、复用式 I/O 端口 B 和 D。128 引脚封装：添加 16 位仅输出 8051 地址总线、8 位双向数据总线。



**表 1. 特殊功能寄存器**

x	8x	9x	Ax	Bx	Cx	Dx	Ex	Fx
0	IOA	IOB	IOC	IOD	SCON1	PSW	ACC	B
1	SP	EXIF	INT2CLR	IOE	SBUF1	—	—	—
2	DPL0	MPAGE	INT4CLR	OEA	—	—	—	—
3	DPH0	—	—	OEB	—	—	—	—
4	DPL1	—	—	OEC	—	—	—	—
5	DPH1	—	—	OED	—	—	—	—
6	DPS	—	—	OEE	—	—	—	—
7	PCON	—	—	—	—	—	—	—
8	TCON	SCON0	IE	IP	T2CON	EICON	EIE	EIP
9	TMOD	SBUF0	—	—	—	—	—	—
A	TL0	AUTOPTRH1	EP2468STAT	EP01STAT	RCAP2L	—	—	—
B	TL1	AUTOPTRL1	EP24FIFOFLGS	GPIFTRIG	RCAP2H	—	—	—
C	TH0	保留	EP68FIFOFLGS	—	TL2	—	—	—
D	TH1	AUTOPTRH2	—	GPIFSGLDATH	TH2	—	—	—
E	CKCON	AUTOPTRL2	—	GPIFSGLDATLX	—	—	—	—
F	—	保留	AUTOPTRSET-UP	GPIFSGLDATLNOX	—	—	—	—

## USB 引导方式

在上电启动过程中，内部逻辑会检测 I<sup>2</sup>C 端口，确认是否连接有 EEPROM，该 EEPROM 的首字节必须是 0xC0 或 0xC2。一旦检测到 EEPROM，系统将采用 EEPROM 中的 VID/PID/DID 值替换掉内置的值（0xC0），或者会将 EEPROM 的内容引导加载到内部 RAM 中（0xC2）。如果未检测到 EEPROM，FX2LP 会使用内部存储的描述符进行枚举。FX2LP ID 默认值为 VID/PID/DID（0x04B4，0x8613，0xAxxx，其中 xxx = 芯片修订版）<sup>[5]</sup>。

**表 2. FX2LP ID 默认值**

默认 VID/PID/DID		
供货商 ID	0x04B4	英飞凌半导体
产品 ID	0x8613	EZ-USB FX2LP
器件释放	0xAxxx	根据芯片修订版（xxx = 芯片修订版，其中，首个芯片 = 001）

## 复枚举（ReNumeration）

由于 FX2LP 采用软配置，因此一个芯片具有多个不同的 USB 器件特征。

首次插入 USB 时，FX2LP 进行自动枚举并通过 USB 电缆下载固件和 USB 描述符表。随后，FX2LP 进行二次枚举，这次作为下载信息定义的器件。该两步过程名为 ReNumeration™，受到专利保护。ReNumeration™ 在设备插入时瞬间完成，初始下载步骤无执行迹象。

### 注释

5. 即使没有连接 EEPROM，I<sup>2</sup>C 总线的 SCL 和 SDA 引脚也必须进行上拉。否则会导致该检测方法工作不良。

USBCS（USB 控制与状态）寄存器包含两个控制位，这两个位负责管理 ReNumeration 流程：DISCON 和 RENUM。固件通过将 DISCON 置为 1 来模拟 USB 设备的断开。固件通过把 DISCON 清除并重设为 0 来恢复连接。

重新连接前，该固件设置或清除 RENUM 位以表示该固件或默认 USB 器件是否处理端点 0 上的器件请求：若 RENUM = 0，默认 USB 器件处理器件请求；若 RENUM = 1，固件处理该请求。

## 总线供电应用

FX2LP 可以按照 USB 2.0 规范的要求使用低于 100 mA 的电流进行枚举，从而全面支持总线供电设计。

## 中断系统

### INT2 中断请求和使能寄存器

FX2LP 实现了 INT2 和 INT4 自动矢量特性。共有 27 个 INT2（USB）矢量和 14 个 INT4（FIFO/GPIF）矢量。更多信息请参阅《EZ-USB 技术参考手册》（TRM）。

### USB 中断自动矢量

主 USB 中断由 27 个中断源共享。FX2LP 提供了一种称之为自动矢量的二级中断向量，以减少识别每个 USB 中断源所需的代码编写和处理时间。USB 中断发生时，FX2LP 会将程序计数器的值压栈，并跳转到 0x0043 地址，该地址应包含一个指向 USB 中断服务程序的跳转指令。

FX2LP 跳转指令编码如下所示：

**表 3. INT2 USB 中断**

INT2 的 USB 中断表			
优先级	INT2VEC 值	Source (源)	注意
1	00	SUDAV	设置数据可用
2	04	SOF	启动帧 (或微帧)
3	08	SUTOK	已接收设置令牌
4	0C	SUSPEND	USB 暂停请求
5	10	USB 复位	总线复位
6	14	HISPEED	输入高速操作
7	18	EP0ACK	FX2LP ACK'd 同步交换控制
8	1C		保留
9	20	EP0-IN	EP0-IN 准备加载数据
10	24	EP0-OUT	EP0-OUT 包含 USB 数据
11	28	EP1-IN	EP1-IN 准备加载数据
12	2C	EP1-OUT	EP1-OUT 包含 USB 数据
13	30	EP2	IN: 缓冲器可用。OUT: 缓冲器有数据
14	34	EP4	IN: 缓冲器可用。OUT: 缓冲器有数据
15	38	EP6	IN: 缓冲器可用。OUT: 缓冲器有数据
16	3C	EP8	IN: 缓冲器可用。OUT: 缓冲器有数据
17	40	IBN	IN-Bulk-NAK (任何 IN 端点)
18	44		保留
19	48	EP0PING	EP0 OUT 已发送但已被拒绝
20	4C	EP1PING	EP1 OUT 已发送但已被拒绝
21	50	EP2PING	EP2 OUT 已发送但已被拒绝
22	54	EP4PING	EP4 OUT 已发送但已被拒绝
23	58	EP6PING	EP6 OUT 已发送但已被拒绝
24	5C	EP8PING	EP8 OUT 已发送但已被拒绝
25	60	ERRLIMIT	总线错误率超出程序设定的限制
26	64	–	–
27	68	–	已保留
28	6C	–	已保留
29	70	EP2ISOERR	ISO EP2 OUT PID 序列错误
30	74	EP4ISOERR (型号 1)	ISO EP4 OUT PID 序列错误
31	78	EP6ISOERR	ISO EP6 OUT PID 序列错误
32	7C	EP8ISOERR	ISO EP8 OUT PID 序列错误

如果启用自动矢量化 (在 INTSET-UP 寄存器中, AV2EN = 1), FX2LP 会使用其 INT2VEC 字节。因此, 如果在位置 0x0044 预加载跳转表地址的高字节 (“页”), 则在 0x0045 自动插入的 INT2VEC 字节将跳转表发送到本页中的正确地址 (共有 27 个地址)。



#### FIFO/GPIF 中断 (INT4)

USB 中断由 27 个独立的 USB 中断源共用，FIFO/GPIF 中断由 14 个独立的 FIFO/GPIF 源共用。FIFO/GPIF 中断与 USB 中断类似，均可以使用自动矢量。

表 4 显示 14 个 FIFO/GPIF 中断源的优先级和 INT4VEC 值。

**表 4. 单个 FIFO/GPIF 中断源**

优先级	INT4VEC 值	Source (源)	注意
1	80	EP2PF	端点 2 可编程标志
2	84	EP4PF	端点 4 可编程标志
3	88	EP6PF	端点 6 可编程标志
4	8C	EP8PF	端点 8 可编程标志
5	90	EP2EF	端点 2 空标志 <sup>[6]</sup>
6	94	EP4EF	端点 4 空标志
7	98	EP6EF	端点 6 空标志
8	9C	EP8EF	端点 8 空标志
9	A0	EP2FF	端点 2 满标志
10	A4	EP4FF	端点 4 满标志
11	A8	EP6FF	端点 6 满标志
12	AC	EP8FF	端点 8 满标志
13	B0	GPIFDONE	GPIF 操作已完成
14	B4	GPIFWF	GPIF 波形

如果启用自动矢量化（在 INTSET-UP 寄存器中，AV4EN = 1），FX 2LP 会替换 INT4VEC 字节。因此，如果在位置 0x0054 预加载跳转表地址的高字节（“页”），则在 0x0055 自动插入的 INT4VEC 字节将跳转表发送到本页中的正确地址（共 14 个地址）。当中断服务例程（ISR）被触发时，FX2LP 会将程序计数器的值入栈，随后跳至 0x0053 地址。在该地址处，系统预期能找到一条“跳转”至具体 ISR 的指令。

#### 注释

6. 勘误：在从 FIFO 异步字宽模式下的首次事务中，若从 USB 主机向配置为 OUT 端（EP）的 EP2 传输单字数据，空标志会出现错误。若传输的数据大小超过单字，空标志不会出错。如需进一步了解，请参阅 67 页的勘误表。

## 复位和唤醒

### 复位引脚

触发输入引脚 **RESET#** 会重置 FX2LP。该引脚具有迟滞现象，低电平有效。在联用晶振和 CY7C680xxA 时，复位周期必须保证晶振和 PLL 的稳定。如果晶振输入引脚由时钟信号予以驱动，则在 VCC 达到 3.0 V 后，内部 PLL 将在 200  $\mu$ s 上保持稳定 [7]。

图 2. 复位时序图

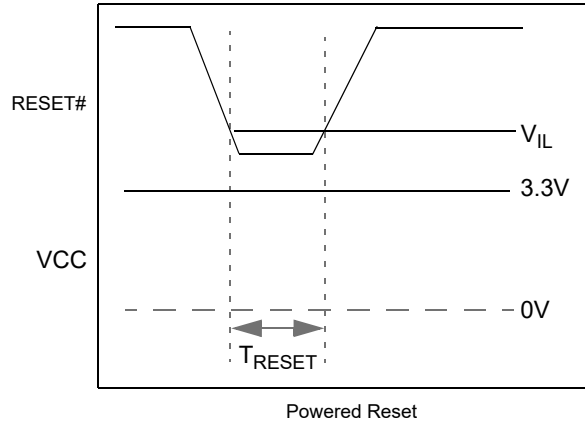
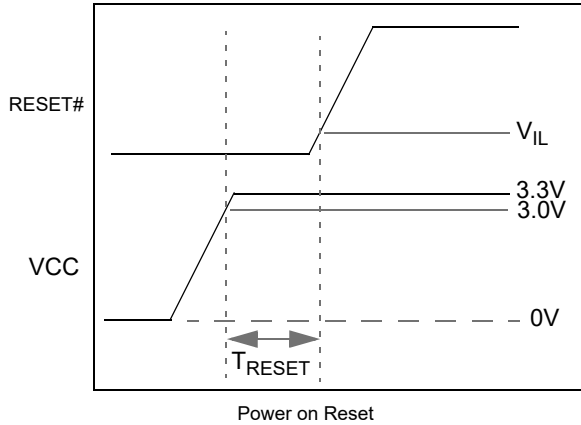


表 5. 复位时序值

条件	$T_{RESET}$
加电复位晶振	5 ms
加电复位外部时钟	200 $\mu$ s + 时钟稳定性时间
供电复位	200 $\mu$ s

图 2 显示复位条件上的功耗和工作期间所应用的复位。上电复位是指在电源接通至电路的过程中触发的时间重置操作。上电复位是指 FX2LP 被接通电源并处于工作状态，同时激活 **RESET#** 引脚。

英飞凌有一篇应用笔记详细说明了上电复位的实施方法以及推荐实施方案。有关 FX2 产品系列复位实现方法的更多信息，请访问官网 <https://www.infineon.com/cms/cn/> 查询。

### 唤醒引脚

8051 通过设置  $PCON.0 = 1$  将自身和其他芯片置于断电模式，振荡器和 PLL 也随之关闭。当外部逻辑激活 **WAKEUP** 信号时，振荡器会在相位锁定环（PLL）稳定之后重新启动，并且 8051 微控制器会收到一个唤醒中断信号。该操作不受 FX2LP 与 USB 接口连接状态的影响。

FX2LP 使用下列一种方法退出断电（USB 暂停）状态：

- USB 总线活动（若 D+/D&tA 线保持悬空，这些线上的噪声表示 FX2LP 活动已开始唤醒）
- 外部逻辑激活 **WAKEUP**（唤醒）引脚
- 外部逻辑激活 **PA3/WU2** 引脚

此外，第二个唤醒引脚 **WU2** 还配置为通用 I/O 引脚，这便可以使用简单的外部 R-C 作为定期唤醒源。默认情况下，**WAKEUP**（唤醒）为有效的低电平。

## 程序 / 数据 RAM

### 大小

FX2LP 包含 16 KB 的内部程序 / 数据 RAM，其中，PSEN#/RD# 信号是内部 ORed，该 ORed 使能 8051 将其作为程序和数据存储器进行访问。在此空间不显示 USB 控制寄存器。

以下是两个存储器的映射图：

图 3 显示内部代码存储器，其中 EA = 0

第 11 页的图 4 显示外部代码存储器，其中 EA = 1。

### 内部代码存储器，EA = 0

这种模式将内部的 16 KB RAM 块（起始地址为 0）配置为同时用于代码和数据的内存。当增加外部 RAM 或 ROM 时，芯片内

部存在的存储器空间将禁用外部读取和写入探针，这使用户能够连接 64 KB 的存储器，无需地址解码来清除内部存储器空间。

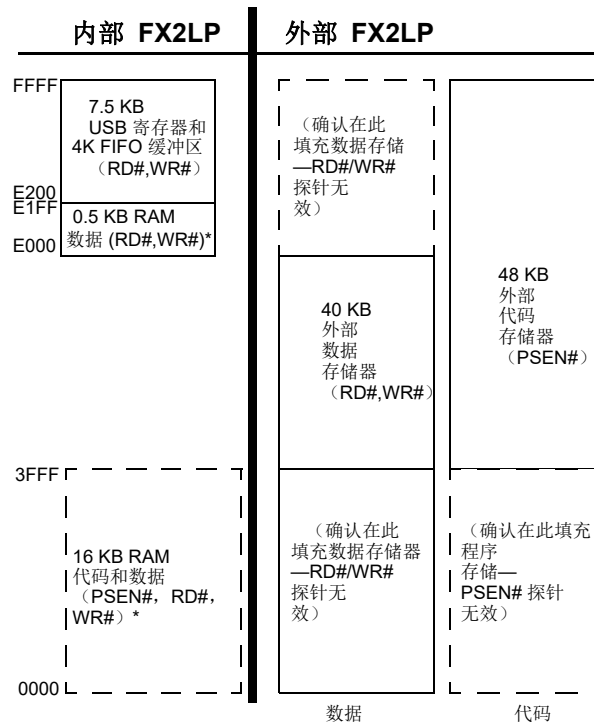
只有内部 16 KB 和暂存器 0.5 KB 的 RAM 空间具有以下访问权限：

- USB 下载
- USB 上传
- 设置数据指针
- I<sup>2</sup>C 接口引导加载。

### 外部代码存储器，EA = 1

底部 16 KB 程序存储器为外部存储器，因此底部 16 KB 的内部 RAM 仅作为数据存储器予以访问。

图 3. 内部代码存储器，EA = 0

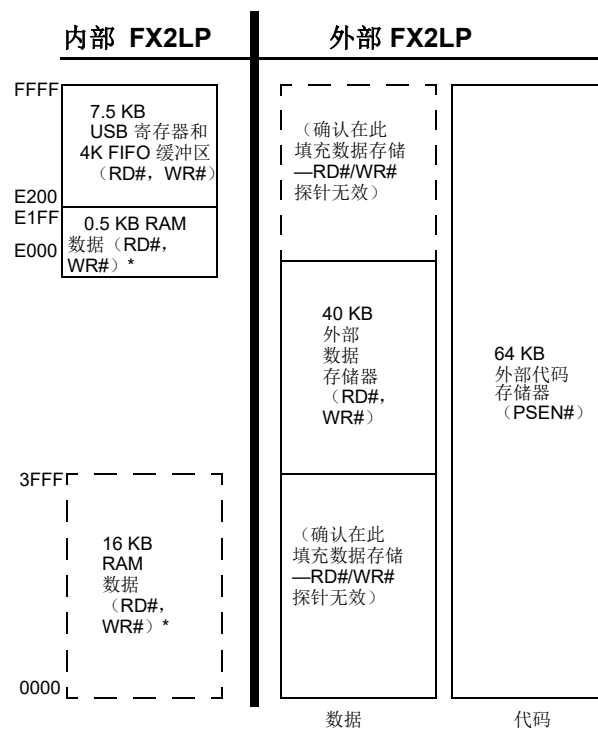


\*SUDPTR, USB 上传/下载, I<sup>2</sup>C 接口引导访问

### 注释

7. 如果外部时钟与 CY7C680xxA 同时供电，并且具有稳定的等待时间，则必须将时间必须加到 200 μs 以上。

图 4. 外部代码存储器，EA = 1



\*SUDPTR, USB 上传/下载, I<sup>2</sup>C 接口引导访问

## 寄存器地址

FFFF	4 KB EP2-EP8 缓冲器 (8 x 512)
F000 EFFF	已保留 2 KB
E800 E7FF E7C0	64 BEP1IN
E7BF E780	64 字节 EP1OUT
E77F E740	64 字节 EP0 IN/OUT
E73F E700	已保留 64 字节
E6FF	8051 可寻址寄存器 (512)
E500 E4FF E480	已保留 (128)
E47F	128 字节 GPIF 波形
E400 E3FF E200	已保留 (512)
E1FF E000	512 字节 8051 xdata RAM

## 端点 RAM

大小

- 3 × 64 字节 （端点 0 和 1）
- 8 × 512 字节 （端点 2、4、6、8）

组织

- EP0
- 双向端点 0、64 字节缓冲区
- EP1IN, EP1OUT
- 64 字节缓冲区、批量传输或中断传输
- EP2、4、6、8
- 8 个 512 字节的缓冲区、批量传输、中断传输或同步传输。EP4 和 EP8 是双缓冲；EP2 和 6 是双缓冲、三重或四立体缓冲。有关高速端点配置选项，请参阅图 5。

## 设置数据缓冲区

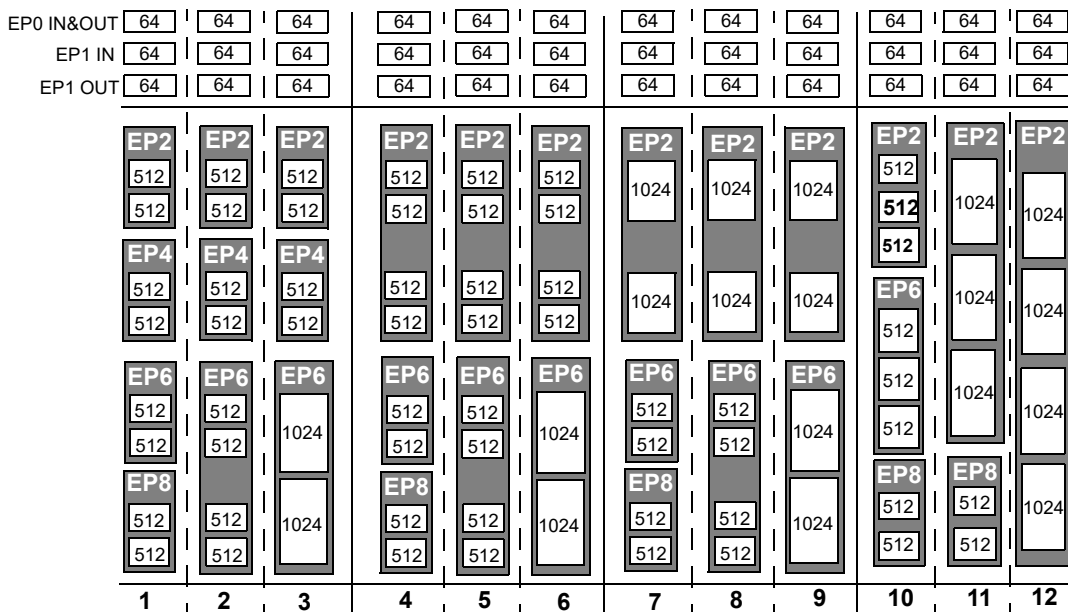
0xE6B8 至 0xE6BF 地址范围内有一个独立的 8 字节缓冲区，专门用于保存 CONTROL 传输过程中的设置数据。

## 端点配置（高速模式）

无论哪配置，端点 0 和端点 1 始终保持不变。端点 0 是唯一的 CONTROL（控制）端点，端点 1 既可以是 BULK（批量传输）端点，也可以是 INTERRUPT（中断传输）端点。

在所展示的垂直列 12 种配置方案中，端点缓冲区可以根据其中的任意一种来设置。当在 BULK（批量传输）全速模式下操作时，仅使用每个缓冲区首个 64 位字节。例如，在高速模式下，最大数据包大小为 512 字节，但在全速模式下，最大数据包为 64 字节。即使缓冲区配置为 512 字节，全速模式仍然仅使用第一个 64 位字节。未使用的端点缓冲区空间不可以用于其他操作。示例端点配置为 EP2-1024 双缓冲；EP6-512 是四立体缓冲（第 8 列）。

图 5. 端点配置



默认全速备用设置

表 6. 默认全速备用设置 [8、9]

备用设置	0	1	2	3
ep0	64	64	64	64
ep1out	0	64 批量传输	64 int	64 int
ep1in	0	64 批量传输	64 int	64 int
ep2	0	64 批量输出 (2×)	64 int out (2×)	64 iso out (2×)
ep4	0	64 批量输出 (2×)	64 批量输出 (2×)	64 批量输出 (2×)
ep6	0	64 批量输入 (2×)	64 int in (2×)	64 iso in (2×)
ep8	0	64 批量输入 (2×)	64 批量输入 (2×)	64 批量输入 (2×)

默认全速备用设置

表 7. 默认全速备用设置 [8、9]

备用设置	0	1	2	3
ep0	64	64	64	64
ep1out	0	512 批量传输 [10]	64 int	64 int
ep1in	0	512 批量传输 [10]	64 int	64 int
ep2	0	512 批量输出 (2×)	512 int out (2×)	512 iso out (2×)
ep4	0	512 批量输出 (2×)	512 批量输出 (2×)	512 批量输出 (2×)
ep6	0	512 批量输入 (2×)	512 int in (2×)	512 iso in (2×)
ep8	0	512 批量输入 (2×)	512 批量输入 (2×)	512 批量输入 (2×)

注释:

8. “0”表示“未实施”。

9. “2×”表示“双缓冲”。

10. 为符合 USB 2.0 规范，这些 64 字节的缓冲区被报告为 512 字节的缓冲区。用户禁止向 EP1 传输大于 64 字节的数据包。



## 外部 FIFO 接口

### 架构

FX2LP 从机 FIFO 架构在端点 RAM 中有 8 个 512 字节的模块，可直接用作 FIFO 存储器，这些模块受控于 FIFO 控制信号（例如，IFCLK，SLCS#，SLRD，SLWR，SLOE，PKTEND 和标志）。

在这 8 个 RAM 块运行过程中，有的会从 SIE 进行数据填充或清除，有的则与 I/O 数据传输逻辑相连。传输逻辑采用两种形式，分别为 GPIF（用于内部生成控制信号）和从机 FIFO 接口（用于控制传输）。

### 主控/从器件控制信号

FX2LP 的端点 FIFO 实际上由 8 个独立的 256×16 位的 RAM 块组成。8051/SIE 可以在 USB（SIE）域和 8051-I/O 单元域之间切换到任意 RAM 模块。这种切换几乎能在瞬间完成。因此，从“USB FIFO”到“从机 FIFO”之间的数据传输时间基本可以忽略不计。由于这些缓冲区在物理层面上使用的是相同的内存区域，实际上并不涉及缓冲区之间的字节传输。

有些 RAM 块会随时在 SIE 的控制下进行 USB 数据的填充或清空，同时其他 RAM 块可供 8051 微控制器、I/O 控制单元或者两者同时使用。RAM 模块在 USB 域中作为单个端口运行，而在 8051-I/O 域中则作为双端口运行。如之前所述，这些块可以设置为单缓冲、双缓冲、三缓冲或四缓冲模式。

I/O 控制单元实现了内部掩模（用于主控的 M）或外部掩模（用于从器件的 S）接口。

在主机（M）模式下，GPIF 在内部控制 FIFOADR[1..0]，用以选择 FIFO。RDY 引脚（56 引脚封装中有 2 个、100 引脚和 128 引脚封装中有 6 个）可以用作自外部 FIFO 或其他逻辑（若需要）的标志输入。GPIF 可以从内部派生的时钟或外部供应的时钟（IFCLK）中运行，传输数据的速率高达 96 MB/s（16 位接口 48 MHz IFCLK）。

在从机（S）模式中，FX2LP 可以接受来自内部的时钟信号或外部提供的时钟信号（IFCLK，最高频率为 48 兆赫），以及外部逻辑提供的 SLCS#、SLRD、SLWR、SLOE、PKTEND 控制信号。使用外部 IFCLK 时，要在切换到 IFCLKSRC 位的外部时钟之前提供外部时钟。每个端点都可以通过内部配置位单独设置为字节或字操作，并通过从 FIFO 输出使能信号（SLOE）来启用所选择的数据宽度。外部逻辑必须确保输出使能信号在将数据写入从机 FIFO 时处于未激活状态。从机接口也能够以异步方式工作，在该模式下，SLRD 和 SLWR 信号直接充当选通（strobe）信号，与同步模式下的时钟限定符有所不同。信号 SLRD，SLWR，SLOE 和 PKTEND 由信号 SLCS# 来关断。

### GPIF 和 FIFO 时钟频率

8051 寄存器位从内部供应的接口时钟中选择其中一个频率（共 2 个）：30 MHz 和 48 MHz。5 MHz 至 48 MHz 的外部提供的时

钟信号也可以输入到 IFCLK 引脚，用作接口时钟。在 GPIF 和 FIFOs 采用内部时钟时，IFCLK 可以设置为一个输出时钟信号。此时钟输出可通过 IFCONFIG 寄存器中的一个输出使能位来关闭。无论是内部产生还是外部输入的 IFCLK 信号，IFCONFIG 寄存器中的另一个位都可以对其进行反转。

## GPIF

GPIF 是一个可配置为 8 位或 16 位的并行接口，其运行由一个用户编程的有限状态机控制。这一特性让 CY7C68013A/15A 能够进行本地总线主控，支持实施诸如 ATA 接口、打印机并口以及 Utopia 等多种通信协议。

GPIF 有 6 个可编程控制输出（CTL）、9 个地址输出（GPIFADR<sub>x</sub>）和 6 个通用就绪输入（RDY）接口。数据总线宽度可以是 8 位或 16 位。每个 GPIF 指令向量都设定了控制信号输出的状态，并规定了在继续下一步操作前，就绪输入信号（或多个输入信号）必须满足的条件。GPIF 指令向量可以设置为推动 FIFO 读取下一个数据值，递增地址等操作。一系列 GPIF 指令向量构成一个完整的波形，通过执行这个波形，实现 FX2LP 与外部设备之间预期的数据传输。

### 六个控制 OUT 信号

100 针和 128 针的封装类型均提供了全部六个控制输出引脚（CTL0 至 CTL5）。8051 程序化 GPIF 单元，以用来定义 CTL 波形。56 引脚封装提供 CTL0-CTL2 这三个信号。CTL<sub>x</sub> 波形的边沿转换可以设置得非常快，最快每个时钟周期（使用 48 MHz 时钟周期为 20.8 ns）进行一次。

### 六个就绪 IN 信号

100 针和 128 针封装均提供全部六个就绪输入端（RDY0 至 RDY5）。8051 程序化 GPIF 单元以用测试 GPIF 分支的 RDY 引脚。56 引脚封装生成这些信号中所包含的其中 2 种信号。

### 9 个 GPIF 地址 OUT 信号

GPIF 地址行能够完成高达 512 字节 RAM 模块的索引编制。GPIF 的地址线能够对最大 512 字节的 RAM 块进行索引操作。如果需要更多地址行，则使用 I/O 端口引脚。

### 长传输模式输入

在主模式中，8051 微控制器会正确配置 GPIF 事务计数器寄存器（GPIFTCB3、GPIFTCB2、GPIFTCB1 或 GPIFTCB0），以实现最多 2<sup>32</sup> 次事务的自动传输。在全部请求的任务完成之前，GPIF 自动抑制数据流，以防止数据流下溢或溢出。GPIF 会逐一减少这些寄存器中的值，以此来反映事务的当前进度。

## ECC 生成

对于从 EZ-USB 的 GPIF 接口或从器件 FIFO 接口传输的数据，EZ-USB 能够计算出错误更正码 (ECC) [11]。这两种 ECC 各自的计算值超出 256 字节 (SmartMedia 标准)；其中一种 ECC 的计算值超出 512 字节。两个分别针对 256 字节计算的错误更正码 (符合 SmartMedia 标准)，以及一个针对 512 字节计算的错误更正码。

ECC 能够修正任何单位错误，也能侦测到任何双位错误。

## ECC 执行

两种错误更正码 (ECC) 配置的选择由 ECCM 位决定：

### ECCM = 0

两个 3 字节 ECC，各自的计算值超出 256 字节的数据模块。这种配置符合 SmartMedia 的标准。

将任意值写入 ECCRESET，然后将数据传递到 GPIF 或从机 FIFO 接口。计算第一个 256 字节数据的 ECC，然后将其存储在 ECC1 中。计算下一个 256 字节数据的 ECC，然后存储在 ECC2 中。二个错误更正码 (ECC) 计算完成后，即便接口后续传递了更多数据，ECCx 寄存器中的值也将保持不变，除非再次进行 ECCRESET 操作。

### ECCM = 1

其中一个 3 字节 ECC 的计算值超出 512 字节的数据模块。

将任意值写入 ECCRESET，然后将数据传递到 GPIF 或从机 FIFO 接口。计算第一个 512 字节数据的 ECC，然后将其存储在 ECC1；ECC2 尚未使用。一旦完成错误更正码 (ECC) 的计算，即使接口后续继续传输数据，ECC1 寄存器中的值也将保持不变，直到重新执行 ECCRESET 写入操作。

## USB 上传和下载

该磁芯可以通过一个特定于供应商的命令，直接修改内部 16 KB RAM 以及内部 512 字节暂存 RAM 的数据内容。该功能通常在软件下载用户代码时使用，并且只有在 8051 保持复位时，才能与内部 RAM 进行通信。可用的 RAM 区域包括 0x0000 至 0x3FFF 范围内的 16 KB (用于代码或数据) 和 0xE000 至 0xE1FF 范围内的 512 字节 (作为暂存 RAM) [12]。

## 自动指针访问

FX2LP 提供两个相同的自动指针。这两个指针类似于内部 8051 数据指针，但具有额外特性：每次访问存储器后，指针递增 (可选)。此功能可用于从内部和外部 RAM 读取和写入。这两个自

动指针可用于受控于模式位的 FX2LP 寄存器 (AUTOPTRESET-UP.0)。使用外部 FX2LP 自动指针访问 (在 0xE67B–0xE67C 上) 可以实现自动指针对该部件所有的内部和外部 RAM 的访问。

此外，自动指针还可以指向任何 FX2LP 寄存器或端点缓冲区空间。当自动指针访问外部存储器时，无法使用 XDATA 中的位存 0xE67B 和 0xE67C 及代码空间。

## I<sup>2</sup>C 控制器

FX2LP 具有一个 I<sup>2</sup>C 端口，它由两个内部控制器来驱动，其中一个控制器可以在启动时自动加载 VID/PID/DID 和配置信息，另一个由 8051 在运行时用来控制外部 I<sup>2</sup>C 器件。I<sup>2</sup>C 端口仅运行在主动模式下。

## I<sup>2</sup>C 端口引脚

即使 EEPROM 未与 FX2LP 连接，I<sup>2</sup>C 引脚 SCL 和 SDA 也必须具有 2.2 kΩ 外部上拉电阻。外部 EEPROM 器件地址引脚必须正确配置。有关器件地址引脚的更多信息，请参阅表 8。

表 8. 将 EEPROM 引导地址线固定至以下数值

字节	示例 EEPROM	A2	A1	A0
16	24LC00 <sup>[13]</sup>	不可用	不可用	不可用
128	24LC01	0	0	0
256	24LC02	0	0	0
4K	24LC32	0	0	1
8K	24LC64	0	0	1
16K	24LC128	0	0	1

## I<sup>2</sup>C 接口引导加载访问

电源开启复位后，I<sup>2</sup>C 接口的引导加载器会读取 VID/PID/DID 配置字节，可加载多达 16 KB 的程序或数据。RAM 可用空间：16 KB 0x0000–0x3FFF 到 512 字节 0xE000–0xE1FF。8051 处于复位状态。I<sup>2</sup>C 接口引导加载器仅在加电复位后发生。

## I<sup>2</sup>C 接口通用访问

8051 使用 I2CTL 和 I2DAT 寄存器控制连接至 I<sup>2</sup>C 总线的外设。FX2LP 仅提供 I<sup>2</sup>C 主控，但从不提供 I<sup>2</sup>C 从器件，

### 注释：

- 如需使用 ECC 逻辑，GPIF 或从机 FIFO 接口必须针对字节宽度操作进行配置。
- 当主机下载完数据后，“加载器”能够从内部 RAM 运行，并将下载的数据传输到外部存储器。
- 该 EEPROM 不包含地址引脚。

## 与上一代 EZ-USB FX2 兼容

EZ-USB FX2LP 的外观、适用性及其功能（异常情况极少）均与上一代 EZ-USB FX2 完全兼容。因此设计者便可以轻松转换以将其系统从 FX2 升级至 FX2LP。在 FX2LP 中，引脚分布和封装选项是过去针对 FX2 功能开发的类似的大多数固件。

由于内部内存的增加，对于 FX2 迁移到 FX2LP 的设计，则需要变更物料清单并重新审查内存分配情况。有关从 EZ-USB FX2 迁移至 EZ-USB FX2LP 的更多信息请访问[英飞凌官网](#)查阅应用笔记：*Migrating from EZ-USB FX2 to EZ-USB FX2LP*。

**表 9. 部件编号转换表**

EZ-USB FX2 部件编号	EZ-USB FX2LP 部件编号	封装描述
CY7C68013-56PVC	CY7C68013A-56PVXC 或 CY7C68014A-56PVXC	56 引脚 SSOP
CY7C68013-56PVCT	CY7C68013A-56PVXCT 或 CY7C68014A-56PVXCT	56 引脚 SSOP – 盘带封装
CY7C68013-56LFC	CY7C68013A-56LFXC 或 CY7C68014A-56LFXC	56 引脚 QFN
CY7C68013-100AC	CY7C68013A-100AXC 或 CY7C68014A-100AXC	100 引脚 TQFP
CY7C68013-128AC	CY7C68013A-128AXC 或 CY7C68014A-128AXC	128 引脚 TQFP

## CY7C68013A/14A 和 CY7C68015A/16A 的差异对比

CY7C68013A 在外观、适用性和功能上与 CY7C68014A 类似。CY7C68015A 在外观、适用性和功能上与 CY7C68016A 类似。CY7C68014A 和 CY7C68016A 的暂停电流相较于 CY7C68013A 和 CY7C68015A 均有所降低，非常适合电力敏感型的电池供电应用。

CY7C68015A 和 CY7C68016A 仅可以用 56 引脚 QFN 封装。如果不需要在 56 引脚的封装中使用 IFCLK 或 CLKOUT，可为 CY7C68015A 和 CY7C68016A 附加两个 GPIO 信号，以此增加了设计的灵活性。

若 USB 开发者想要将 FX2 56 针应用转换成总线供电系统，可以直接利用这些额外的信号。这两个 GPIO 为开发人员提供总线供电式应用耗电控制电路所需的信号，而无需升级到较高引脚数目的 FX2LP 版本。

CY7C68015A 只提供 56 引脚的 QFN 封装

**表 10. CY7C68013A/14A 引脚和 CY7C68015A/16A 引脚的区别**

CY7C68013A/CY7C68014A	CY7C68015A/CY7C68016A
IFCLK	PE0
CLKOUT	PE1

## 引脚分配

第 19 页的图 6 列出了五种封装类型对应的全部信号。后续页面给出单个引脚图和组合图，用来阐明所有信号中的哪一个信号可以用于 128 引脚、100 引脚和 56 引脚的封装。

在第 19 页的图 6 中，56 引脚封装左侧的信号在 FX2LP 系列的所有芯片版本中都是相同的，但是 CY7C68013A/14A 和 CY7C68015A/16A 之间存在一些区别。

所有封装版本均可以使用的模式有三种：端口、GPIF 主控和从机 FIFO。这些模式定义了该图右侧的信号。8051 使用 IFCONFIG[1:0] 寄存器位选择接口模式。端口模式是设备上电后的默认配置状态。

100 引脚封装在 56 引脚封装的基础上通过增加以下引脚来扩展其功能：

- PORTC 或 GPIFADR[7:0] 备用地址信号
- PORTE 或 GPIFADR[8] 备用地址信号和 7 个额外的 8051 信号
- 3 个 GPIF 控制信号
- 4 个 GPIF 就绪信号
- 9 个 8051 信号（2 个 USART，3 个定时器输入，INT4 和 INT5#）
- BKPT，RD#，WR#。

128 引脚封装扩展了 8051 的地址和数据总线，并增加了控制信号。注意：在 100 引脚封装版本中，RD# 和 WR# 作为两个标配信号是现成可用的。

在 100 引脚和 128 引脚的版本中，当 8051 读取 / 写入 PORTC 时，可以设置 8051 控制位来驱动 RD# 和 WR# 引脚。此功能通过在 CPUCS 寄存器中设置 PORTCSTB 来得以实现。

45 页的 [PORTC 探针特性时序](#) 显示访问 PORTC 时读取和写入探针函数的时序图。

图 6. 信号

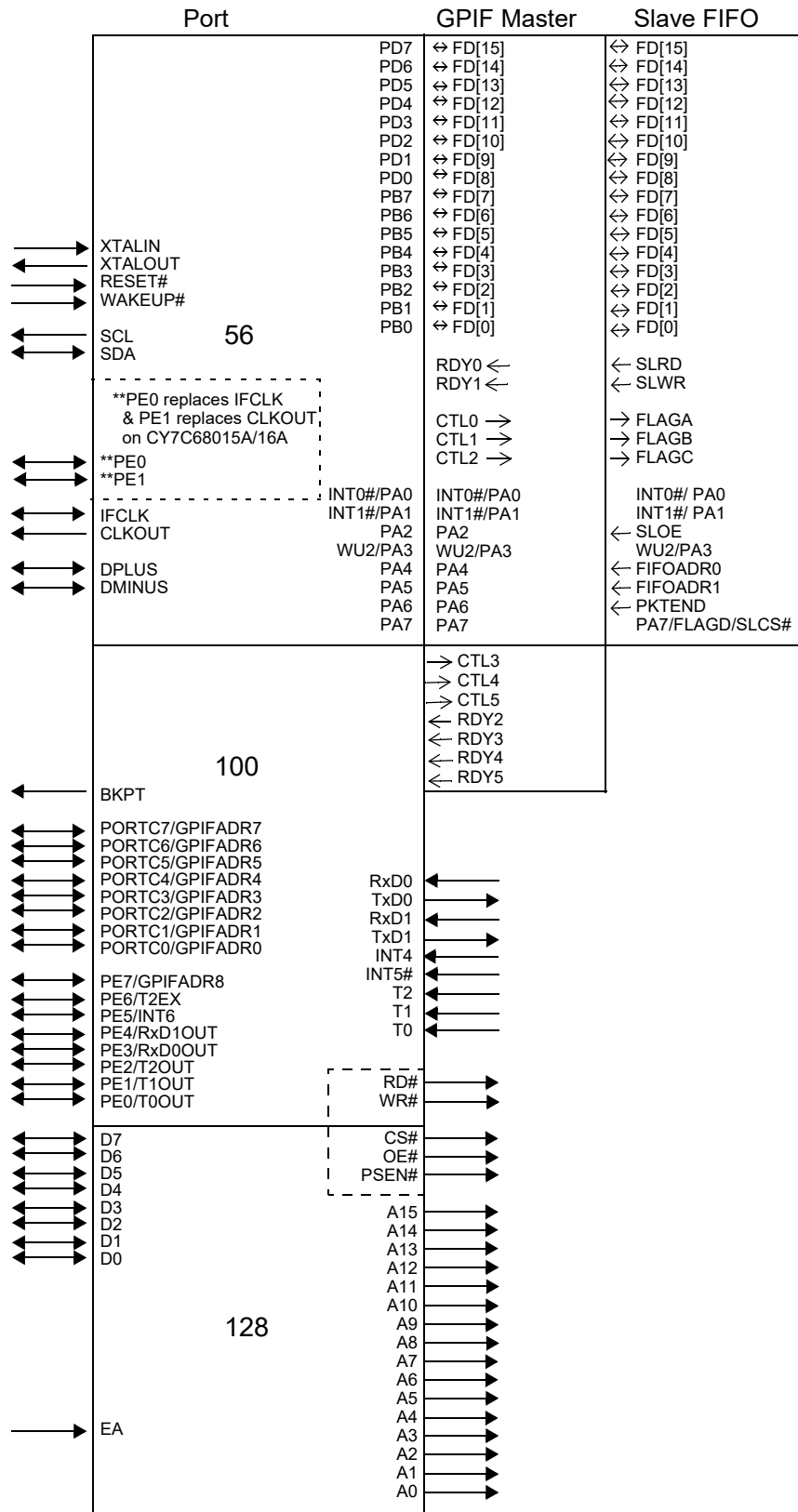
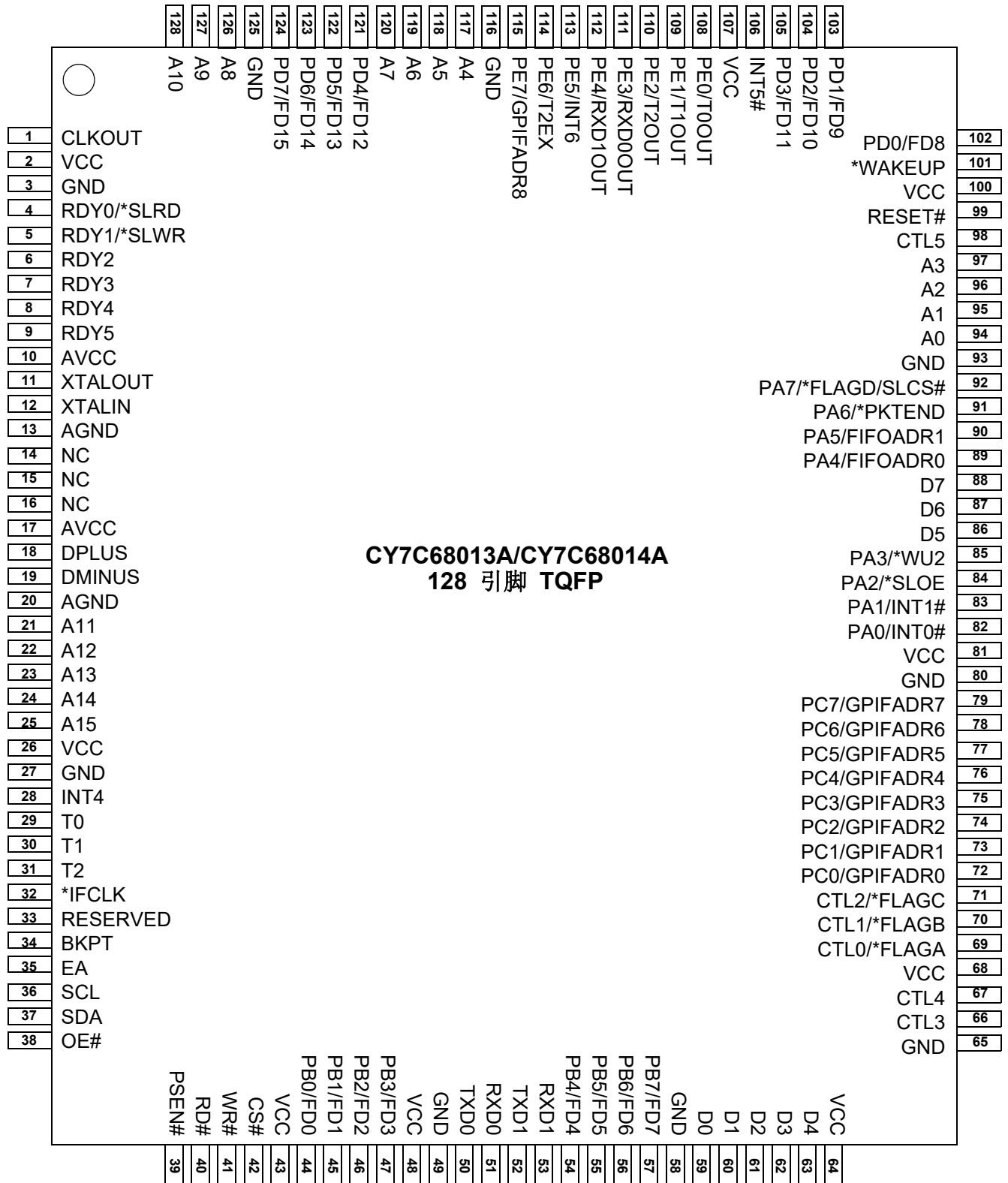


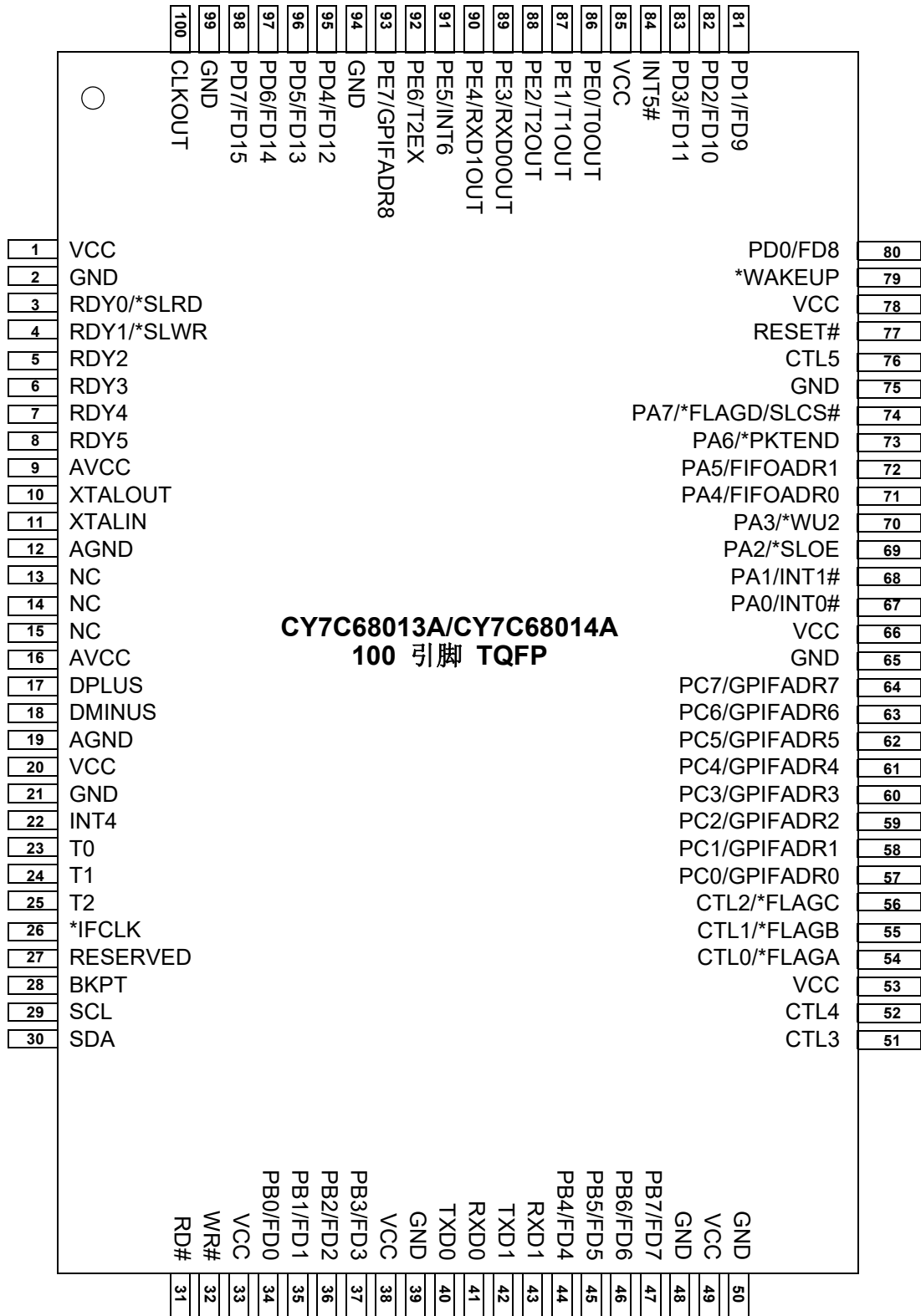
图 7. CY7C68013A/CY7C68014A 128 引脚 TQFP 的引脚分配



\* 表示可编程极性



图 8. CY7C68013A/CY7C68014A 100 引脚 TQFP 的引脚分配



\* 表示可编程极性

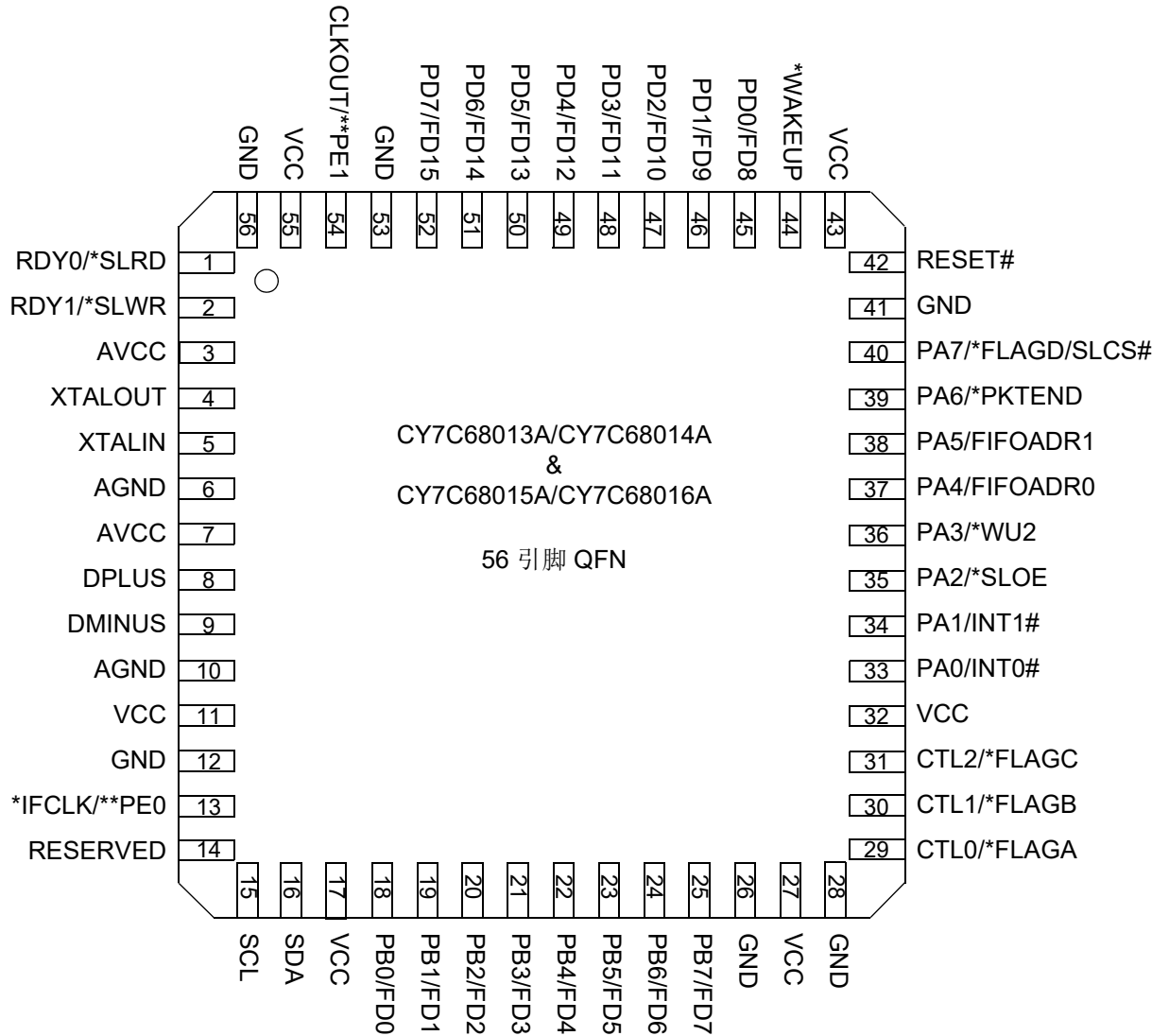


图 9. CY7C68013A/CY7C68014A 56 引脚 SSOP 的引脚分配

CY7C68013A/CY7C68014A			
56 引脚 SSOP			
1	PD5/FD13	PD4/FD12	56
2	PD6/FD14	PD3/FD11	55
3	PD7/FD15	PD2/FD10	54
4	GND	PD1/FD9	53
5	CLKOUT	PD0/FD8	52
6	VCC	*WAKEUP	51
7	GND	VCC	50
8	RDY0/*SLRD	RESET#	49
9	RDY1/*SLWR	GND	48
10	AVCC	PA7/*FLAGD/SLCS#	47
11	XTALOUT	PA6/PKTEND	46
12	XTALIN	PA5/FIFOADR1	45
13	AGND	PA4/FIFOADR0	44
14	AVCC	PA3/*WU2	43
15	DPLUS	PA2/*SLOE	42
16	DMINUS	PA1/INT1#	41
17	AGND	PA0/INT0#	40
18	VCC	VCC	39
19	GND	CTL2/*FLAGC	38
20	*IFCLK	CTL1/*FLAGB	37
21	RESERVED	CTL0/*FLAGA	36
22	SCL	GND	35
23	SDA	VCC	34
24	VCC	GND	33
25	PB0/FD0	PB7/FD7	32
26	PB1/FD1	PB6/FD6	31
27	PB2/FD2	PB5/FD5	30
28	PB3/FD3	PB4/FD4	29

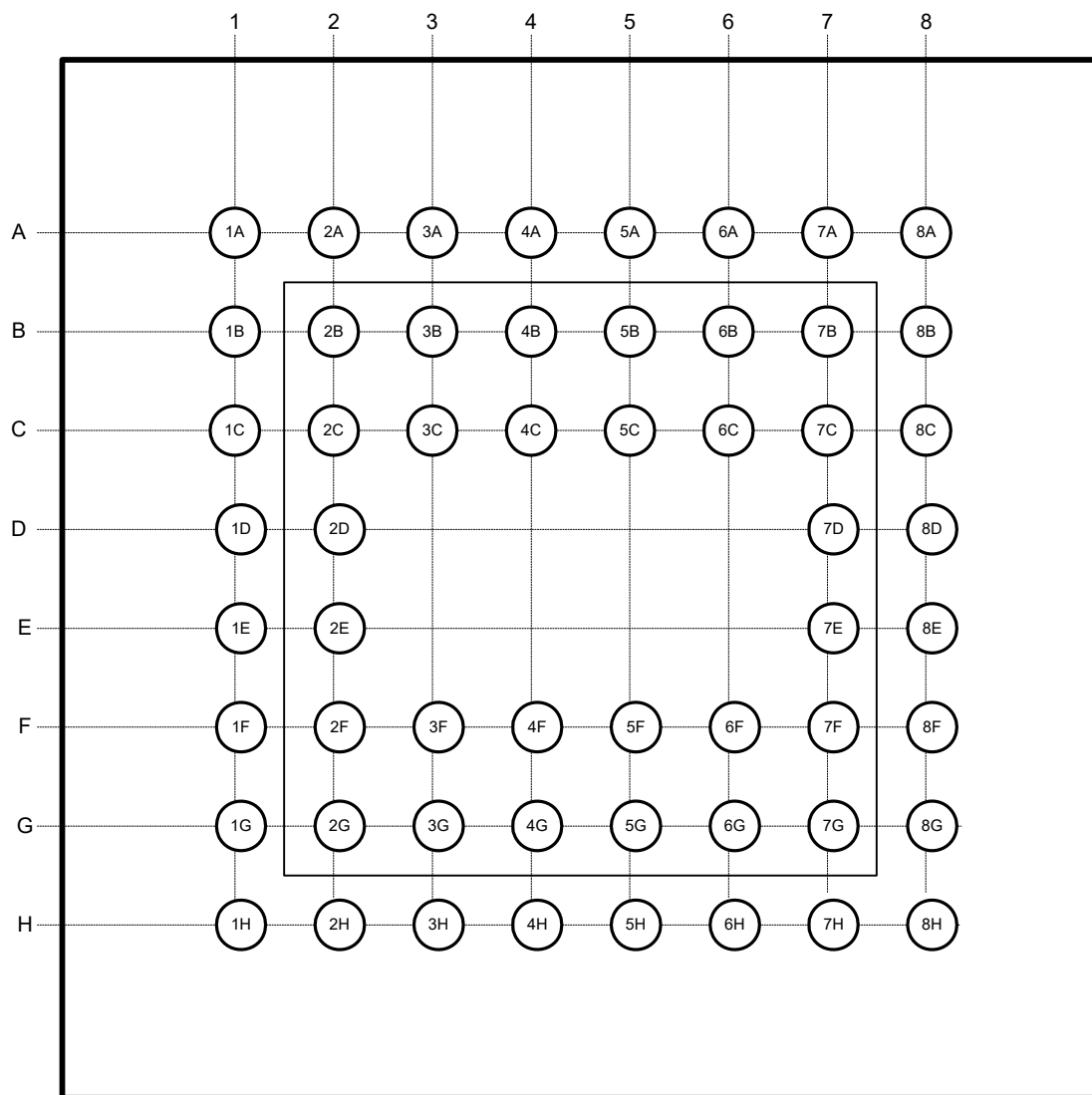
\* 表示可编程极性

图 10. CY7C68013A/14A/15A/16A 56 引脚 QFN 的引脚分配



\* 表示可编程极性  
\*\* 表示 CY7C68015A/CY7C68016A 的引脚分布

图 11. CY7C68013A 56 引脚 VFBGA 的引脚分配 – 俯视图



**CY7C68013A/15A 引脚描述**
**表 11. FX2LP 引脚描述<sup>[14]</sup> (1/8)**

128 TQFP	100 TQFP	56 SSOP	56 QFN	56VFB-GA	名称	类型	默认值	复位 <sup>[15]</sup>	说明
10	9	10	3	2D	AVCC	功耗	不适用	不适用	<b>模拟 VCC</b> 。连接此引脚至 3.3V 的电源。此信号提供芯片模拟部分的功耗。
17	16	14	7	1D	AVCC	功耗	不适用	不适用	<b>模拟 VCC</b> 。连接此引脚至 3.3V 的电源。此信号提供芯片模拟部分的功耗。
13	12	13	6	2F	AGND	接地	不适用	不适用	<b>模拟接地</b> 。通过最短路径连接至接地。
20	19	17	10	1F	AGND	接地	不适用	不适用	<b>模拟接地</b> 。通过最短路径连接至接地。
19	18	16	9	1E	DMINUS	I/O/Z	Z	不可用	<b>USB D- 信号</b> 。连接至 USB D- 信号。
18	17	15	8	2E	DPLUS	I/O/Z	Z	不可用	<b>USB D+ 信号</b> 。连接至 USB D+ 信号。
94	—	—	—	—	A0	输出	L	L	<b>8051 地址总线</b> 。此总线实时驱动。当 8051 寻址内部 RAM 时，它可以反回内部地址。
95	—	—	—	—	A1	输出	L	L	
96	—	—	—	—	A2	输出	L	L	
97	—	—	—	—	A3	输出	L	L	
117	—	—	—	—	A4	输出	L	L	
118	—	—	—	—	A5	输出	L	L	
119	—	—	—	—	A6	输出	L	L	
120	—	—	—	—	A7	输出	L	L	
126	—	—	—	—	A8	输出	L	L	
127	—	—	—	—	A9	输出	L	L	
128	—	—	—	—	A10	输出	L	L	
21	—	—	—	—	A11	输出	L	L	
22	—	—	—	—	A12	输出	L	L	
23	—	—	—	—	A13	输出	L	L	
24	—	—	—	—	A14	输出	L	L	
25	—	—	—	—	A15	输出	L	L	
59	—	—	—	—	D0	I/O/Z	Z	Z	<b>8051 数据总线</b> 。此双向总线在静态、总线读取输入和总线写入输出时处于高阻抗状态。该数据总线用于外部 8051 程序和数据存储器。该数据总线仅对外部总线访问有效，并在暂停时以低电平驱动。
60	—	—	—	—	D1	I/O/Z	Z	Z	
61	—	—	—	—	D2	I/O/Z	Z	Z	
62	—	—	—	—	D3	I/O/Z	Z	Z	
63	—	—	—	—	D4	I/O/Z	Z	Z	
86	—	—	—	—	D5	I/O/Z	Z	Z	
87	—	—	—	—	D6	I/O/Z	Z	Z	
88	—	—	—	—	D7	I/O/Z	Z	Z	
39	—	—	—	—	PSEN#	输出	H	H	<b>程序存储使能</b> 。此低电平有效信号表示自外部存储器的 8051 代码提取。它仅对以下程序存储器提取源有效：0x4000–0xFFFF（EA 引脚为低电平）或 0x0000–0xFFFF（EA 引脚为高电平）。

- 注释：**
14. 未使用的输入端口不能处于悬浮状态。按需绑定高电平与低电平。输出应仅为上拉式或下拉式，从而确保信号处于加电和待机模式。注意：器件电源关闭时，不应驱动任何引脚。
15. 复位列指示在复位期间（RESET# 激活）或上电复位（POR）时信号状态。

表 11. FX2LP 引脚描述<sup>[14]</sup> (2/8)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56VFB-GA	名称	类型	默认值	复位 <sup>[15]</sup>	说明
34	28	—	—		BKPT	输出	L	L	<b>断点。</b> 此引脚在 8051 地址总线与 BPADDRH/L 寄存器匹配并在 BREAKPT 寄存器 (BPEN = 1) 中启用断点时有效 (高电平)。如果 BREAKPT 寄存器中的 BPPULSE 位为 HIGH (高), 则此信号以高脉冲驱动 8 个频率为 12-/24-/48 MHz 的时钟。如果 BPPULSE 位是 (LOW) 低电平, 直到 8051 微控制器通过向 BREAKPT 寄存器的 BREAK 位写入 1 之前, 该信号将保持高电平状态。
99	77	49	42	8B	RESET#	输入	不可用	不可用	<b>有效的 LOW (低电平) 复位。</b> 复位整个芯片。更多信息请参见第 “复位和唤醒” on page 9 节。
35	—	—	—	—	EA	输入	不可用	不可用	<b>外部访问。</b> 此引脚确定 8051 在 0x0000 与 0x3FFF 地址之间提取代码的位置。如果 EA = 0, 8051 将从内部 RAM 获取该代码。如果 EA = 1, 8051 将从外部存储器获取该代码。
12	11	12	5	1C	XTALIN	输入	不可用	不可用	<b>晶振输入。</b> 连接此信号至 24 MHz 的并联谐振电路, 连接主模晶振和负载电容至 GND。此外, 此信号还可以正确驱动从另一个时钟源衍生的具有 24-MHz 方波的 XTALIN。当从外部源驱动时, 驱动信号应为 3.3V 方波。
11	10	11	4	2C	XTALOUT	输出	不可用	不可用	<b>晶振输出。</b> 连接此信号至 24 MHz 的并联谐振电路, 连接主模晶振和负载电容至 GND。如果外部时钟用于驱动 XTALIN, 则此引脚保持为开路。
1	100	5	54	2B	CY7C68013A 上的 CLKOUT 和 CY7C68014A ----- CY7C68015A 和 CY7C68016A 上的 PE1	O/Z ----- I/O/Z	12 MHz ----- I	时钟驱动 ----- Z	<b>CLKOUT:</b> 12、24 或 48 MHz 的时钟频率与 24 MHz 的输入时钟相位同步。8051 默认工作频率为 12-MHz。8051 通过设置 CPUCS.1 = 1 将此输出置于三态模式。 ----- <b>PE1</b> 是双向 I/O 端口引脚。
<b>端口 A</b>									
82	67	40	33	8G	PA0 或 INT0#	I/O/Z	I (PA0)	Z (PA0)	通过 PORTACFG.0 来选择函数的复用式引脚 <b>PA0</b> 是双向 I/O 端口引脚。 <b>INT0#</b> 是有效低电平 8051 INT0 中断输入信号, 其触发模式即可以是边沿触发 (IT0 = 1), 也可以是电平触发 (IT0 = 0)。
83	68	41	34	6G	PA1 或 INT1#	I/O/Z	I (PA1)	Z (PA1)	通过以下方式选择函数的复用式引脚: PORTACFG.1 <b>PA1</b> 是双向 I/O 端口引脚。 <b>INT1#</b> 是有效低电平 8051 INT1 中断输入信号, 其触发模式即可以是边沿触发 (IT1 = 1), 也可以是电平触发 (IT1 = 0)。
84	69	42	35	8F	PA2 或 SLOE	I/O/Z	I (PA2)	Z (PA2)	通过两个位来选择函数的复用式引脚: IFCONFIG[1:0]。 <b>PA2</b> 是双向 I/O 端口引脚。 <b>SLOE</b> 是仅输入 / 输出使能, 带有与 FD[7..0] or FD[15..0] 连接的从机 FIFO 可编程极性 (FIFOPINPOLAR.4)。

表 11. FX2LP 引脚描述<sup>[14]</sup> (3/8)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56VFB- GA	名称	类型	默认值	复位 <sup>[15]</sup>	说明
85	70	43	36	7F	PA3 或 WU2	I/O/Z	I (PA3)	Z (PA3)	通过以下方式选择函数的复用式引脚： WAKEUP.7 和 OEA.3 PA3 是双向 I/O 端口引脚。 WU2 是备用的 <b>USB 唤醒源</b> ，通过 WU2POL (WAKEUP.4) 设置的 WU2EN 位 (WAKEUP.1) 和极 性得以实现。如果 8051 处于暂停模式，并且 WU2EN = 1，则在此引脚上切换将启动振荡器，并中断 8051 以使其 退出暂停模式。如果 WU2EN = 1，激活该引脚将禁止 芯片进入休眠模式。
89	71	44	37	6F	PA4 或 FIFOADR0	I/O/Z	I (PA4)	Z (PA4)	通过以下方式选择函数的复用式引脚： IFCONFIG[1..0]。 PA4 是双向 I/O 端口引脚。 FIFOADR0 是针对连接至 FD[7..0] 或 FD[15..0] 的从机 FIFO 选择的仅输入地址。
90	72	45	38	8C	PA5 或 FIFOADR1	I/O/Z	I (PA5)	Z (PA5)	通过以下方式选择函数的复用式引脚： IFCONFIG[1..0]。 PA5 是双向 I/O 端口引脚。 FIFOADR1 是针对连接至 FD[7..0] 或 FD[15..0] 的从机 FIFO 选择的仅输入地址。
91	73	46	39	7C	PA6 或 PKTEND	I/O/Z	I (PA6)	Z (PA6)	通过 IFCONFIG[1:0] 位来选择函数的复用式引脚。 PA6 是双向 I/O 端口引脚。 PKTEND 是用于提交 FIFO 数据包到端点的输入接口， 其极性可以通过 FIFOPINPOLAR.5 来编程。
92	74	47	40	6C	PA7 或 FLAGD 或 SLCS#	I/O/Z	I (PA7)	Z (PA7)	通过 IFCONFIG[1:0] 和 PORTACFG.7 位来选择函数的复 用式引脚。 PA7 是双向 I/O 端口引脚。 FLAGD 是可编程的从机 FIFO 输出状态标志信号。 SLCS# 传送其他所有从机 FIFO 使能 / 探针。
<b>端口 B</b>									
44	34	25	18	3H	PB0 或 FD[0]	I/O/Z	I (PB0)	Z (PB0)	通过以下位来选择函数的复用式引脚：IFCONFIG[1..0]。 PB0 是双向 I/O 端口引脚。 FD[0] 是双向 FIFO/GPIF 数据总线。
45	35	26	19	4F	PB1 或 FD[1]	I/O/Z	I (PB1)	Z (PB1)	通过以下位来选择函数的复用式引脚：IFCONFIG[1..0]。 PB1 是双向 I/O 端口引脚。 FD[1] 是双向 FIFO/GPIF 数据总线。
46	36	27	20	4H	PB2 或 FD[2]	I/O/Z	I (PB2)	Z (PB2)	通过以下位来选择函数的复用式引脚：IFCONFIG[1..0]。 PB2 是双向 I/O 端口引脚。 FD[2] 是双向 FIFO/GPIF 数据总线。
47	37	28	21	4G	PB3 或 FD[3]	I/O/Z	I (PB3)	Z (PB3)	通过以下位来选择函数的复用式引脚：IFCONFIG[1..0]。 PB3 是双向 I/O 端口引脚。 FD[3] 是双向 FIFO/GPIF 数据总线。
54	44	29	22	5H	PB4 或 FD[4]	I/O/Z	I (PB4)	Z (PB4)	通过以下位来选择函数的复用式引脚：IFCONFIG[1..0]。 PB4 是双向 I/O 端口引脚。 FD[4] 是双向 FIFO/GPIF 数据总线。
55	45	30	23	5G	PB5 或 FD[5]	I/O/Z	I (PB5)	Z (PB5)	通过以下位来选择函数的复用式引脚：IFCONFIG[1..0]。 PB5 是双向 I/O 端口引脚。 FD[5] 是双向 FIFO/GPIF 数据总线。
56	46	31	24	5F	PB6 或 FD[6]	I/O/Z	I (PB6)	Z (PB6)	通过以下位来选择函数的复用式引脚：IFCONFIG[1..0]。 PB6 是双向 I/O 端口引脚。 FD[6] 是双向 FIFO/GPIF 数据总线。
57	47	32	25	6H	PB7 或 FD[7]	I/O/Z	I (PB7)	Z (PB7)	通过以下位来选择函数的复用式引脚：IFCONFIG[1..0]。 PB7 是双向 I/O 端口引脚。 FD[7] 是双向 FIFO/GPIF 数据总线。

表 11. FX2LP 引脚描述<sup>[14]</sup> (4/8)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56VFB-GA	名称	类型	默认值	复位 <sup>[15]</sup>	说明
<b>端口 C</b>									
72	57	—	—	—	PC0 或 GPIFAD R0	I/O/Z	I (PC0)	Z (PC0)	通过 PORTCCFG.0 来选择函数的复用式引脚 <b>PC0</b> 是双向 I/O 端口引脚。 <b>GPIFADR0</b> 是 GPIF 地址输出引脚。
73	58	—	—	—	PC1 或 GPIFAD R1	I/O/Z	I (PC1)	Z (PC1)	通过 PORTCCFG.1 来选择函数的复用式引脚 <b>PC1</b> 是双向 I/O 端口引脚。 <b>GPIFADR1</b> 是 GPIF 地址输出引脚。
74	59	—	—	—	PC2 或 GPIFAD R2	I/O/Z	I (PC2)	Z (PC2)	通过 PORTCCFG.2 选择函数的复用式引脚 <b>PC2</b> 是双向 I/O 端口引脚。 <b>GPIFADR2</b> 是 GPIF 地址输出引脚。
75	60	—	—	—	PC3 或 GPIFAD R3	I/O/Z	I (PC3)	Z (PC3)	通过 PORTCCFG.3 来选择函数的复用式引脚 <b>PC3</b> 是双向 I/O 端口引脚。 <b>GPIFADR3</b> 是 GPIF 地址输出引脚。
76	61	—	—	—	PC4 或 GPIFAD R4	I/O/Z	I (PC4)	Z (PC4)	通过 PORTCCFG.4 来选择函数的复用式引脚 <b>PC4</b> 是双向 I/O 端口引脚。 <b>GPIFADR4</b> 是 GPIF 地址输出引脚。
77	62	—	—	—	PC5 或 GPIFAD R5	I/O/Z	I (PC5)	Z (PC5)	通过 PORTCCFG.5 来选择函数的复用式引脚 <b>PC5</b> 是双向 I/O 端口引脚。 <b>GPIFADR5</b> 是 GPIF 地址输出引脚。
78	63	—	—	—	PC6 或 GPIFAD R6	I/O/Z	I (PC6)	Z (PC6)	通过 PORTCCFG.6 来选择函数的复用式引脚 <b>PC6</b> 是双向 I/O 端口引脚。 <b>GPIFADR6</b> 是 GPIF 地址输出引脚。
79	64	—	—	—	PC7 或 GPIFAD R7	I/O/Z	I (PC7)	Z (PC7)	通过 PORTCCFG.7 来选择函数的复用式引脚 <b>PC7</b> 是双向 I/O 端口引脚。 <b>GPIFADR7</b> 是 GPIF 地址输出引脚。
<b>端口 D</b>									
102	80	52	45	8A	PD0 或 FD[8]	I/O/Z	I (PD0)	Z (PD0)	通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (全局) 位来选择函数的复用式引脚。 <b>FD[8]</b> 是双向 FIFO/GPIF 数据总线。
103	81	53	46	7A	PD1 或 FD[9]	I/O/Z	I (PD1)	Z (PD1)	通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (全局) 位来选择函数的复用式引脚。 <b>FD[9]</b> 是双向 FIFO/GPIF 数据总线。
104	82	54	47	6B	PD2 或 FD[10]	I/O/Z	I (PD2)	Z (PD2)	通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (全局) 位来选择函数的复用式引脚。 <b>FD[10]</b> 是双向 FIFO/GPIF 数据总线。
105	83	55	48	6A	PD3 或 FD[11]	I/O/Z	I (PD3)	Z (PD3)	通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (全局) 位来选择函数的复用式引脚。 <b>FD[11]</b> 是双向 FIFO/GPIF 数据总线。
121	95	56	49	3B	PD4 或 FD[12]	I/O/Z	I (PD4)	Z (PD4)	通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (全局) 位来选择函数的复用式引脚。 <b>FD[12]</b> 是双向 FIFO/GPIF 数据总线。
122	96	1	50	3A	PD5 或 FD[13]	I/O/Z	I (PD5)	Z (PD5)	通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (全局) 位来选择函数的复用式引脚。 <b>FD[13]</b> 是双向 FIFO/GPIF 数据总线。
123	97	2	51	3C	PD6 或 FD[14]	I/O/Z	I (PD6)	Z (PD6)	通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (全局) 位来选择函数的复用式引脚。 <b>FD[14]</b> 是双向 FIFO/GPIF 数据总线。



表 11. FX2LP 引脚描述<sup>[14]</sup> (5/8)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56VFB-GA	名称	类型	默认值	复位 <sup>[15]</sup>	说明
124	98	3	52	2A	PD7 或 FD[15]	I/O/Z	I (PD7)	Z (PD7)	通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (全局) 位来选择函数的复用式引脚。 <b>FD[15]</b> 是双向 FIFO/GPIF 数据总线。
<b>端口 E</b>									
108	86	–	–	–	PE0 或 T0OUT	I/O/Z	I (PE0)	Z (PE0)	通过 PORTECFG.0 位来选择函数的复用式引脚。 <b>PE0</b> 是双向 I/O 端口引脚。 <b>T0OUT</b> 是 8051 定时器 - 计数器 0 的高电平有效信号。当计时器 0 溢出时, T0OUT 会在一个 CLKOUT 时钟周期内输出一个高电平信号。如果在模式 3 (两个单独的定时器 / 计数器) 下运行定时器 0, 则 T0OUT 在低位字节定时器 / 计数器溢出时有效。
109	87	–	–	–	PE1 或 T1OUT	I/O/Z	I (PE1)	Z (PE1)	通过 PORTECFG.1 位来选择函数的复用式引脚。 <b>PE1</b> 是双向 I/O 端口引脚。 <b>T1OUT</b> 是 8051 定时器 - 计数器 1 的高电平有效信号。当定时器 1 溢出时, T1OUT 会在一个 CLKOUT 时钟周期内输出一个高电平信号。如果在模式 3 (两个单独的定时器 / 计数器) 下运行定时器 1, 则 T1OUT 在低位字节定时器 / 计数器溢出时有效。
110	88	–	–	–	PE2 或 T2OUT	I/O/Z	I (PE2)	Z (PE2)	通过 PORTECFG.2 位来选择函数的复用式引脚。 <b>PE2</b> 是双向 I/O 端口引脚。 <b>T2OUT</b> 是 8051 定时器 2 的高电平有效输出信号。T2OUT 对定时器 / 计数器 2 溢出时的一个时钟周期有效 (高电平)。
111	89	–	–	–	PE3 或 RXD0OUT	I/O/Z	I (PE3)	Z (PE3)	通过 PORTECFG.3 位来选择函数的复用式引脚。 <b>PE3</b> 是双向 I/O 端口引脚。 <b>RXD0OUT</b> 是 8051 UART0 的高电平有效信号。若选择 RXD0OUT 且 UART0 设置为模式 0, 该引脚只会在同步模式下为 UART0 提供输出数据。否则, 它处于 1 模式。
112	90	–	–	–	PE4 或 RXD1OUT	I/O/Z	I (PE4)	Z (PE4)	通过 PORTECFG.4 位来选择函数的复用式引脚。 <b>PE4</b> 是双向 I/O 端口引脚。 <b>RXD1OUT</b> 是 8051 UART1 的高电平有效输出。如果选择 RXD1OUT 且 UART1 处于模式 0 下, 则该引脚仅在处于同步模式时才为 UART1 提供输出数据。在模式 1, 2 和 3 下, 该引脚为高电平。
113	91	–	–	–	PE5 或 INT6	I/O/Z	I (PE5)	Z (PE5)	通过 PORTECFG.5 位来选择函数的复用式引脚。 <b>PE5</b> 是双向 I/O 端口引脚。 <b>INT6</b> 是 8051 INT6 中断请求输入信号。INT6 引脚是边沿敏感型、有效的高电平。
114	92	–	–	–	PE6 或 T2EX	I/O/Z	I (PE6)	Z (PE6)	通过 PORTECFG.6 位来选择函数的复用式引脚。 <b>PE6</b> 是双向 I/O 端口引脚。 <b>T2EX</b> 是输入到 8051 定时器 2 的高电平有效输入信号。T2EX 在其下降沿上重载定时器 2。只有 EXEN2 位设置在 T2CON 中时, T2EX 才有效。
115	93	–	–	–	PE7 或 GPIFAD R8	I/O/Z	I (PE7)	Z (PE7)	通过 PORTECFG.7 位来选择函数的复用式引脚。 <b>PE7</b> 是双向 I/O 端口引脚。 <b>GPIFADR8</b> 是 GPIF 地址输出引脚。
4	3	8	1	1A	RDY0 或 SLRD	输入	不可用	不可用	通过以下位来选择函数的复用式引脚: IFCONFIG[1..0]。 <b>RDY0</b> 是 GPIF 输入信号。 <b>SLRD</b> 是仅输入读取探针, 带有与 FD[7..0] 或 FD[15..0] 连接的从机 FIFO 可编程极性 (FIFOPINPOLAR.3)。

表 11. FX2LP 引脚描述<sup>[14]</sup> (6/8)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56VFB-GA	名称	类型	默认值	复位 <sup>[15]</sup>	说明
5	4	9	2	1B	RDY1 或 SLWR	输入	不可用	不可用	通过以下位来选择函数的复用式引脚： IFCONFIG[1..0]。 <b>RDY1</b> 是 GPIF 输入信号。 <b>SLWR</b> 是仅输入写入探针，带有与 FD[7..0] 或 FD[15..0] 连接的从机 FIFO 可编程极性 (FIFOPINPOLAR.2)。
6	5	—	—	—	RDY2	输入	不可用	不可用	<b>RDY2</b> 是 GPIF 输入信号。
7	6	—	—	—	RDY3	输入	不可用	不可用	<b>RDY3</b> 是 GPIF 输入信号。
8	7	—	—	—	RDY4	输入	不可用	不可用	<b>RDY4</b> 是 GPIF 输入信号。
9	8	—	—	—	RDY5	输入	不可用	不可用	<b>RDY5</b> 是 GPIF 输入信号。
69	54	36	29	7H	CTL0 或 FLAGA	O/Z	H	L	通过以下位来选择函数的复用式引脚： IFCONFIG[1..0]。 <b>CTL0</b> 是 GPIF 控制输出。 <b>FLAGA</b> 是可编程的从机 FIFO 输出状态标志信号。 通过 FIFOADR[1:0] 引脚选择的 FIFO 默认为可编程。
70	55	37	30	7G	CTL1 或 FLAGB	O/Z	H	L	通过以下位来选择函数的复用式引脚： IFCONFIG[1..0]。 <b>CTL1</b> 是 GPIF 控制输出。 <b>FLAGB</b> 是可编程的从机 FIFO 输出状态标志信号。 通过 FIFOADR[1:0] 引脚选择的 FIFO 默认为 FULL (全速)。
71	56	38	31	8H	CTL2 或 FLAGC	O/Z	H	L	通过以下位来选择函数的复用式引脚： IFCONFIG[1..0]。 <b>CTL2</b> 是 GPIF 控制输出。 <b>FLAGC</b> 是可编程的从机 FIFO 输出状态标志信号。 通过 FIFOADR[1:0] 引脚选择的 FIFO 默认为 EMPTY (空)。
66	51	—	—	—	CTL3	O/Z	H	L	<b>CTL3</b> 是 GPIF 控制输出。
67	52	—	—	—	CTL4	输出	H	L	<b>CTL4</b> 是 GPIF 控制输出。
98	76	—	—	—	CTL5	输出	H	L	<b>CTL5</b> 是 GPIF 控制输出。
32	26	20	13	2G	CY7C68 013A 上的 IFCLK 和 CY7C68 014A  PE0 在 CY7C68 015A 和 CY7C68 016A	I/O/Z  ----- - I/O/Z	Z  ----- I	Z  ----- Z	接口时钟，用于脉冲进入或输出从机 FIFO 的同步时钟数据。IFCLK 还用作所有从机 FIFO 控制信号和 GPIF 的时序基准。使用内部时钟 (IFCONFIG.7 = 1) 时，IFCLK 引脚可以通过 IFCONFIG.5 和 IFCONFIG.6 位配置到输出 (30/48 MHz)。不论是内部源还是外部源，均可通过设定 IFCONFIG.4 = 1 来反转 IFCLK 信号。  PE0 是双向 I/O 端口引脚。
28	22	—	—	—	INT4	输入	不可用	不可用	<b>INT4</b> 是 8051 INT4 中断请求输入信号。INT4 引脚是边沿敏感型、有效高电平。
106	84	—	—	—	INT5#	输入	不可用	不可用	<b>INT5#</b> 是 8051 INT5 中断请求输入信号。INT5 引脚是边沿敏感型、有效的低电平。
31	25	—	—	—	T2	输入	不可用	不可用	<b>T2</b> 是输入到 8051 定时器 2 的有效高电平 T2。当 C/T2 = 1 时，T2 为定时器 2 提供输入。当 C/T2 = 0 时，定时器 2 不予使用此引脚。

表 11. FX2LP 引脚描述<sup>[14]</sup> (7/8)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56VFB-GA	名称	类型	默认值	复位 <sup>[15]</sup>	说明
30	24	—	—	—	T1	输入	不可用	不可用	<b>T1</b> 是 8051 定时器 1 的有效高电平 T1。当 C/T1 = 1 时，T1 为定时器 1 提供输入。当 C/T1 = 0 时，定时器 1 不予使用该位。
29	23	—	—	—	T0	输入	不可用	不可用	<b>T0</b> 是 8051 定时器 0 的有效高电平 T0。当 C/T0 = 1 时，T0 为定时器 0 提供输入。当 C/T0 = 0 时，定时器 0 不予使用该位。
53	43	—	—	—	RXD1	输入	不可用	不可用	<b>RXD1</b> 是 8051 UART1 的有效高电平输入信号。在所有模式下，RXD1 均可以向 UART 提供数据。
52	42	—	—	—	TXD1	输出	H	L	<b>TXD1</b> 是 8051 UART1 的有效高电平输出引脚，可以在同步模式下提供输出时钟，在异步模式下提供输出数据。
51	41	—	—	—	RXD0	输入	不可用	不可用	<b>RXD0</b> 是输入到 8051 UART0 的有效高电平 RXD0 输入。在所有模式下，RXD0 均可以向 UART 提供数据。
50	40	—	—	—	TXD0	输出	H	L	<b>TXD0</b> 是 8051 UART0 的有效高电平 TXD0 输出，可以在同步模式下提供输出时钟，在异步模式下提供输出数据。
42		—	—	—	CS#	输出	H	H	<b>CS#</b> 是针对外部存储器选择的有效低电平芯片。
41	32	—	—	—	WR#	输出	H	H	<b>WR#</b> 是针对外部存储器的有效低电平写入探针输出。
40	31	—	—	—	RD#	输出	H	H	<b>RD#</b> 是针对外部存储器的有效低电平读取探针输出。
38		—	—	—	OE#	输出	H	H	<b>OE#</b> 是针对外部存储器的有效低电平输出使能。
33	27	21	14	2H	已保留	输入	不可用	不可用	<b>已保留。</b> 连接至接地。
101	79	51	44	7B	唤醒 (WAKEUP)	输入	不可用	不可用	<b>USB 唤醒。</b> 如果 8051 处于暂停模式，激活此引脚可以启动振荡器，中断 8051 以使其退出暂停模式。保持 WAKEUP (唤醒) 为激活状态，这样将阻止 EZ-USB 芯片暂停。此引脚具有可编程极性 (WAKEUP.4)。
36	29	22	15	3F	SCL	OD	Z	Z (如果引导结束)	<b>I<sup>2</sup>C 接口的时钟。</b> 连接至 VCC，电阻为 2.2-kΩ，不考虑是否安装 I <sup>2</sup> C 外设。
37	30	23	16	3G	SDA	OD	Z	Z (如果引导结束)	<b>I<sup>2</sup>C 兼容接口的数据。</b> 连接至 VCC，电阻为 2.2 KΩ，不考虑是否安装 I <sup>2</sup> C 兼容外设。
2	1	6	55	5A	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
26	20	18	11	1G	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
43	33	24	17	7E	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
48	38	—	—	—	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
64	49	34	27	8E	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
68	53	—	—	—	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
81	66	39	32	5C	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
100	78	50	43	5B	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
107	85	—	—	—	VCC	功耗	不适用	不适用	<b>VCC。</b> 连接至 3.3 V 电源。
3	2	7	56	4B	GND	接地	不适用	不适用	<b>接地</b>
27	21	19	12	1H	GND	接地	不适用	不适用	<b>接地</b>
49	39	—	—	—	GND	接地	不适用	不适用	<b>接地</b>
58	48	33	26	7D	GND	接地	不适用	不适用	<b>接地</b>
65	50	35	28	8D	GND	接地	不适用	不适用	<b>接地</b>

**表 11. FX2LP 引脚描述<sup>[14]</sup> ( 8/8 )**

128 TQFP	100 TQFP	56 SSOP	56 QFN	56VFB- GA	名称	类型	默认值	复位 <sup>[15]</sup>	说明
80	65	—	—	—	GND	接地	不适用	不适用	接地
93	75	48	41	4C	GND	接地	不适用	不适用	接地
116	94	—	—	—	GND	接地	不适用	不适用	接地
125	99	4	53	4A	GND	接地	不适用	不适用	接地
14	13	—	—	—	NC	不适用	不适用	不适用	未连接。此引脚必须保持为开路状态。
15	14	—	—	—	NC	不适用	不适用	不适用	未连接。此引脚必须保持为开路状态。
16	15	—	—	—	NC	不适用	不适用	不适用	未连接。此引脚必须保持为开路状态。

## 寄存器摘要

FX2LP 寄存器位的定义在 FX2LP 技术参考手册 (TRM) 中有更为详尽的阐述。

表 12. FX2LP 寄存器概要 (1/7)

Hex	大小	名称	说明	b7	b6	b5	b4	b3	b2	b1	b0	默认值	访问
		GPIO 波形存储器											
E400	128	WAVEDATA	GPIO 波形描述符 0, 1, 2, 3 数据	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E480	128	保留											
		通用配置 (GENERAL CONFIGURATION)											
E50D		GPCR2	通用配置寄存器 2	保留	保留	保留	FULL_SPEED_ONLY	保留	保留	保留	保留	00000000	R
E600	1	CPUCS	CPU 控制与状态	0	0	PORTCSTB	CLKSPD1	CLKSPD0	CLKINV	CLKOE	8051RES	00000010	rrbbbbb
E601	1	IFCONFIG	接口配置 (端口、GPIO、从机 FIFO)	IFCLKSRC	3048MHZ	IFCLKOE	IFCLKPOL	ASYNC	GSTATE	IFCFG1	IFCFG0	10000000	RW
E602	1	PINFLAGSA <sup>[16]</sup>	从机 FIFO FLAGA 和 FLAGB 引脚配置	FLAGB3	FLAGB2	FLAGB1	FLAGB0	FLAGA3	FLAGA2	FLAGA1	FLAGA0	00000000	RW
E603	1	PINFLAGSCD <sup>[16]</sup>	从机 FIFO FLAGC 和 FLAGD 引脚配置	FLAGD3	FLAGD2	FLAGD1	FLAGD0	FLAGC3	FLAGC2	FLAGC1	FLAGC0	00000000	RW
E604	1	FIFORESET <sup>[16]</sup>	将 FIFOs 恢复到默认状态	NAKALL	0	0	0	EP3	EP2	EP1	EP0	xxxxxxx	W
E605	1	BREAKPT	断点控制	0	0	0	0	BREAK (断点)	BPPULSE	BPEN	0	00000000	rrrrbbbr
E606	1	BPADDRH	断点地址 H	A15	A14	A13	A12	A11	A10	A9	A8	xxxxxxx	RW
E607	1	BPADDRL	断点地址 L	A7	A6	A5	A4	A3	A2	A1	A0	xxxxxxx	RW
E608	1	UART230	230 Kbaud 的内部生成参考时钟	0	0	0	0	0	0	230UART1	230UART0	00000000	rrrrrbb
E609	1	FIFOPINPOLAR <sup>[16]</sup>	从机 FIFO 接口引脚极性	0	0	PKTEND	SLOE	SLRD	SLWR	EF	FF	00000000	rrbbbbb
E60A	1	REVID	芯片修订版	rv7	rv6	rv5	rv4	rv3	rv2	rv1	rv0	RevA 00000001	R
E60B	1	REVCTL <sup>[16]</sup>	芯片修订版控制	0	0	0	0	0	0	dyn_out	enh_pkt	00000000	rrrrrbb
		UDMA											
E60C	1	GPIOHOLDAMOUNT	MSTB 保持时间 (针对 UDMA)	0	0	0	0	0	0	HOLDTIME1	HOLDTIME0	00000000	rrrrrbb
	3	保留											
		端点配置											
E610	1	EP1OUTCFG	端点 1-OUT 配置	VALID (有效期)	0	TYPE1	TYPE0 (行 17)	0	0	0	0	10100000	brbrrrr
E611	1	EP1INCFG	端点 1-IN 配置	VALID (有效期)	0	TYPE1	TYPE0 (行 17)	0	0	0	0	10100000	brbrrrr
E612	1	EP2CFG	端点 2 配置	VALID (有效期)	DIR	TYPE1	TYPE0	SIZE	0	BUF1	BUF0	10100010	bbbbbbrb
E613	1	EP4CFG	端点 4 配置	VALID (有效期)	DIR	TYPE1	TYPE0	0	0	0	0	10100000	bbbbbrrr
E614	1	EP6CFG	端点 6 配置	VALID (有效期)	DIR	TYPE1	TYPE0 (行 17)	SIZE	0	BUF1	BUF0	11100010	bbbbbbrb
E615	1	EP8CFG	端点 8 配置	VALID (有效期)	DIR	TYPE1	TYPE0	0	0	0	0	11100000	bbbbbrrr
	2	保留											
E618	1	EP2FIFOCFG <sup>[16]</sup>	端点 2/ 从机 FIFO 配置	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWIDE	00000101	rbbbbbrb
E619	1	EP4FIFOCFG <sup>[16]</sup>	端点 4/ 从机 FIFO 配置	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWIDE	00000101	rbbbbbrb
E61A	1	EP6FIFOCFG <sup>[16]</sup>	端点 6/ 从机 FIFO 配置	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWIDE	00000101	rbbbbbrb
E61B	1	EP8FIFOCFG <sup>[16]</sup>	端点 8/ 从机 FIFO 配置	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWIDE	00000101	rbbbbbrb
E61C	4	保留											
E620	1	EP2AUTOINLENH <sup>[16]</sup>	端点 2 AUTOIN 数据包长度	0	0	0	0	0	PL10	PL9	PL8	00000010	rrrrbbb
E621	1	EP2AUTOINLENL <sup>[16]</sup>	端点 2 AUTOIN 数据包长度	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E622	1	EP4AUTOINLENH <sup>[16]</sup>	端点 4 AUTOIN 数据包长度	0	0	0	0	0	0	PL9	PL8	00000010	rrrrrbb
E623	1	EP4AUTOINLENL <sup>[16]</sup>	端点 4 AUTOIN 数据包长度	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E624	1	EP6AUTOINLENH <sup>[16]</sup>	端点 6 AUTOIN 数据包长度	0	0	0	0	0	PL10	PL9	PL8	00000010	rrrrbbb
E625	1	EP6AUTOINLENL <sup>[16]</sup>	端点 6 AUTOIN 数据包长度	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E626	1	EP8AUTOINLENH <sup>[16]</sup>	端点 8 AUTOIN 数据包长度	0	0	0	0	0	0	PL9	PL8	00000010	rrrrrbb
E627	1	EP8AUTOINLENL <sup>[16]</sup>	端点 8 AUTOIN 数据包长度	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E628	1	ECCCFG	ECC 配置	0	0	0	0	0	0	0	ECCM	00000000	rrrrrrb
E629	1	ECCRESET	ECC 复位	x	x	x	x	x	x	x	x	00000000	W
E62A	1	ECC1B0	ECC1 字节 0 地址	LINE15	LINE14	LINE13	LINE12	LINE11	LINE10	LINE9	LINE8	00000000	R

### 注释

16. 对寄存器进行读写操作可能需要设定同步延时。有关“同步延时”的具体内容，请参照对应的技术参考手册 (TRM)。

**表 12. FX2LP 寄存器概要 (2/7)**

Hex	大小	名称	说明	b7	b6	b5	b4	b3	b2	b1	b0	默认值	访问
E62B	1	ECC1B1	ECC1 字节 1 地址	LINE7	LINE6	LINE5	LINE4	LINE3	LINE2	LINE1	LINE0	00000000	R
E62C	1	ECC1B2	ECC1 字节 2 地址	COL5	COL4	COL3	COL2	COL1	COL0	LINE17	LINE16	00000000	R
E62D	1	ECC2B0	ECC2 字节 0 地址	LINE15	LINE14	LINE13	LINE12	LINE11	LINE10	LINE9	LINE8	00000000	R
E62E	1	ECC2B1	ECC2 字节 1 地址	LINE7	LINE6 (行 17)	LINE5	LINE4	LINE3	LINE2	LINE1	LINE0	00000000	R
E62F	1	ECC2B2	ECC2 字节 2 地址	COL5	COL4	COL3	COL2	COL1	COL0	0	0	00000000	R
E630	1	EP2FIFOPTH <sup>[17]</sup>	端点 2/ 从机 FIFO 可编程标志 H	DECIS	PKTSTAT	IN:PKTS[2] OUT:PFC12	IN:PKTS[1] OUT:PFC11	IN:PKTS[0] OUT:PFC10	0	PFC9	PFC8	10001000	bbbbrrbb
E630	1	EP2FIFOPTH <sup>[17]</sup>	端点 2/ 从机 FIFO 可编程标志 H	DECIS	PKTSTAT	OUT:PFC12	OUT:PFC11	OUT:PFC10	0	PFC9	IN:PKTS[2] OUT:PFC8	10001000	bbbbrrbb
E631	1	EP2FIFOPL <sup>[17]</sup>	端点 2/ 从机 FIFO 可编程标志 L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E631	1	EP2FIFOPL <sup>[17]</sup>	端点 2/ 从机 FIFO 可编程标志 L	IN:PKTS[1] OUT:PFC7	IN:PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E632	1	EP4FIFOPTH <sup>[17]</sup>	端点 4/ 从机 FIFO 可编程标志 H	DECIS	PKTSTAT	0	IN: PKTS[1] OUT:PFC10	IN: PKTS[0] OUT:PFC9	0	0	PFC8	10001000	bbrbrrbb
E632	1	EP4FIFOPTH <sup>[17]</sup>	端点 4/ 从机 FIFO 可编程标志 H	DECIS	PKTSTAT	0	OUT:PFC10	OUT:PFC9	0	0	PFC8	10001000	bbrbrrbb
E633	1	EP4FIFOPL <sup>[17]</sup>	端点 4/ 从机 FIFO 可编程标志 L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E633	1	EP4FIFOPL <sup>[17]</sup>	端点 4/ 从机 FIFO 可编程标志 L	IN: PKTS[1] OUT:PFC7	IN: PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E634	1	EP6FIFOPTH <sup>[17]</sup>	端点 6/ 从机 FIFO 可编程标志 H	DECIS	PKTSTAT	IN:PKTS[2] OUT:PFC12	IN:PKTS[1] OUT:PFC11	IN:PKTS[0] OUT:PFC10	0	PFC9	PFC8	00001000	bbbbrrbb
E634	1	EP6FIFOPTH <sup>[17]</sup>	端点 6/ 从机 FIFO 可编程标志 H	DECIS	PKTSTAT	OUT:PFC12	OUT:PFC11	OUT:PFC10	0	PFC9	IN:PKTS[2] OUT:PFC8	00001000	bbbbrrbb
E635	1	EP6FIFOPL <sup>[17]</sup>	端点 6/ 从机 FIFO 可编程标志 L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E635	1	EP6FIFOPL <sup>[17]</sup>	端点 6/ 从机 FIFO 可编程标志 L	IN:PKTS[1] OUT:PFC7	IN:PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E636	1	EP8FIFOPTH <sup>[17]</sup>	端点 8/ 从机 FIFO 可编程标志 H	DECIS	PKTSTAT	0	IN: PKTS[1] OUT:PFC10	IN: PKTS[0] OUT:PFC9	0	0	PFC8	00001000	bbrbrrbb
E636	1	EP8FIFOPTH <sup>[17]</sup>	端点 8/ 从机 FIFO 可编程标志 H	DECIS	PKTSTAT	0	OUT:PFC10	OUT:PFC9	0	0	PFC8	00001000	bbrbrrbb
E637	1	EP8FIFOPL <sup>[17]</sup>	端点 8/ 从机 FIFO 可编程标志 L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E637	1	EP8FIFOPL <sup>[17]</sup>	端点 8/ 从机 FIFO 可编程标志 L	IN: PKTS[1] OUT:PFC7	IN: PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
	8	保留											
E640	1	EP2ISOINPKTS	EP2 (为 ISO 时) 每个帧可以包含 1-3 个 IN 数据包	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrbb
E641	1	EP4ISOINPKTS	EP4 (为 ISO 时) 每个帧可以包含 1-3 个 IN 数据包	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrrr
E642	1	EP6ISOINPKTS	EP6 (为 ISO 时) 每个帧可以包含 1-3 个 IN 数据包	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrbb
E643	1	EP8ISOINPKTS	EP8 (为 ISO 时) 每个帧可以包含 1-3 个 IN 数据包	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrrr
E644	4	保留											
E648	1	INPKTEND <sup>[17]</sup>	强制结束 IN 数据包传输	跳过	0	0	0	EP3	EP2	EP1	EP0	xxxxxxx	W
E649	7	OUTPKTEND <sup>[17]</sup>	强制结束 OUT 数据包传输	跳过	0	0	0	EP3	EP2	EP1	EP0	xxxxxxx	W
		中断											
E650	1	EP2FIFOIE <sup>[17]</sup>	端点 2/ 从机 FIFO 标志中断使能	0	0	0	0	EDGEPF	PF	EF	FF	00000000	RW
E651	1	EP2FIFOIRQ <sup>[17,18]</sup>	端点 2/ 从机 FIFO 标志中断请求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb
E652	1	EP4FIFOIE <sup>[17]</sup>	端点 4/ 从机 FIFO 标志中断使能	0	0	0	0	EDGEPF	PF	EF	FF	00000000	RW
E653	1	EP4FIFOIRQ <sup>[17,18]</sup>	端点 4/ 从机 FIFO 标志中断请求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb
E654	1	EP6FIFOIE <sup>[17]</sup>	端点 6/ 从机 FIFO 标志中断使能	0	0	0	0	EDGEPF	PF	EF	FF	00000000	RW
E655	1	EP6FIFOIRQ <sup>[17,18]</sup>	端点 6/ 从机 FIFO 标志中断请求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb
E656	1	EP8FIFOIE <sup>[17]</sup>	端点 8/ 从机 FIFO 标志中断使能	0	0	0	0	EDGEPF	PF	EF	FF	00000000	RW
E657	1	EP8FIFOIRQ <sup>[17,18]</sup>	端点 8/ 从机 FIFO 标志中断请求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb
E658	1	IBNIE	IN-BULK-NAK 中断使能	0	0	EP8	EP6	EP4	EP2	EP1	EP0	00000000	RW
E659	1	IBNIRQ <sup>[18]</sup>	IN-BULK-NAK 中断请求	0	0	EP8	EP6	EP4	EP2	EP1	EP0	00xxxxxx	rrrrrrbb
E65A	1	NAKIE	端点 Ping-NAK/IBN 中断使能	EP8	EP6	EP4	EP2	EP1	EP0	0	IBN	00000000	RW
E65B	1	NAKIRQ <sup>[18]</sup>	端点 Ping-NAK/IBN 中断请求	EP8	EP6	EP4	EP2	EP1	EP0	0	IBN	xxxxxx0x	bbbbrrbb
E65C	1	USBIE	USB 中断使能	0	EP0ACK	HSGRANT	URES	SUSP	SUTOK	SOF	SUDAV	00000000	RW

**注释:**

17. 对寄存器进行读写操作可能需要设定同步延时。有关“同步延时”的具体内容，请参照对应的技术参考手册 (TRM)。

18. 读写器可重置，但不可配置。



**表 12. FX2LP 寄存器概要 (3/7)**

Hex	大小	名称	说明	b7	b6	b5	b4	b3	b2	b1	b0	默认值	访问
E65D	1	USBIRQ <sup>[19]</sup>	USB 中断请求	0	EP0ACK	HSGRANT	URES	SUSP	SUTOK	SOF	SUDAV	0xxxxxxx	rbbbbbbb
E65E	1	EPIE	端点中断使能	EP8	EP6	EP4	EP2	EP1OUT	EP1IN	EP0OUT	EP0IN	00000000	RW
E65F	1	EPIRQ <sup>[19]</sup>	端点中断请求	EP8	EP6	EP4	EP2	EP1OUT	EP1IN	EP0OUT	EP0IN	0	RW
E660	1	GPPIE <sup>[20]</sup>	GPPIF 中断使能	0	0	0	0	0	0	GPPIFWF	GPPIFDONE	00000000	RW
E661	1	GPPIRQ <sup>[20]</sup>	GPPIF 中断请求	0	0	0	0	0	0	GPPIFWF	GPPIFDONE	000000xx	RW
E662	1	USBERRIE	USB 错误中断使能	ISOEP8	ISOEP6	ISOEP4	ISOEP2	0	0	0	ERRLIMIT	00000000	RW
E663	1	USBERRIRQ <sup>[19]</sup>	USB 错误中断请求	ISOEP8	ISOEP6	ISOEP4	ISOEP2	0	0	0	ERRLIMIT	0000000x	bbbbrrrb
E664	1	ERRCNTLIM	USB 错误计数器和限值	EC3	EC2	EC1	EC0	LIMIT3	LIMIT2	LIMIT1	LIMIT0	xxxx0100	rrrrbbbb
E665	1	CLRERRCNT	清除错误计数器 EC3:0	x	x	x	x	x	x	x	x	xxxxxxx	W
E666	1	INT2IVEC	中断 2 (USB) 自动矢量	0	I2V4	I2V3	I2V2	I2V1	I2V0	0	0	00000000	R
E667	1	INT4IVEC	中断 4 (从机 FIFO 和 GPPIF) 自动矢量	1	0	I4V3	I4V2	I4V1	I4V0	0	0	10000000	R
E668	1	INTSET-UP	中断 2 和 4 设置	0	0	0	0	AV2EN	0	INT4SRC	AV4EN	00000000	RW
E669	7	保留											
		INPUT/OUTPUT (输入/输出)											
E670	1	PORTACFG	I/O PORTA 备用配置	FLAGD	SLCS	0	0	0	0	INT1	INT0	00000000	RW
E671	1	PORTCCFG	I/O PORTC 备用配置	GPIFA7	GPIFA6	GPIFA5	GPIFA4	GPIFA3	GPIFA2	GPIFA1	GPIFA0	00000000	RW
E672	1	PORTECFG	I/O PORTE 备用配置	GPIFA8	T2EX	INT6	RXD1OUT	RXD0OUT	T2OUT	T1OUT	T0OUT	00000000	RW
E673	4	保留											
E677	1	保留											
E678	1	I <sup>2</sup> CS	I <sup>2</sup> C 总线控制与状态	START	STOP (停止)	LASTRD	ID1	ID0	BERR	ACK	DONE (完成)	000xx000	bbrrrrrr
E679	1	I2DAT	I <sup>2</sup> C 总线 Data	d7	d6	d5	d4	d3	d2	d1	d0	xxxxxxx	RW
E67A	1	I <sup>2</sup> CTL	I <sup>2</sup> C 总线控制	0	0	0	0	0	0	STOPIE	400KHZ	00000000	RW
E67B	1	XAUTODAT1	当 APTREN=1 时, 启用 Autopt1 MOVX 访问	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E67C	1	XAUTODAT2	当 APTREN=1 时, 启用 Autopt2 MOVX 访问	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
		UDMA CRC											
E67D	1	UDMACRCH <sup>[20]</sup>	UDMA CRC MSB	CRC15	CRC14	CRC13	CRC12	CRC11	CRC10	CRC9	CRC8	01001010	RW
E67E	1	UDMACRCL <sup>[20]</sup>	UDMA CRC LSB	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0	10111010	RW
E67F	1	UDMACRC-QUALIFIER	UDMA CRC 限定符	QENABLE	0	0	0	QSTATE	QSIGNA2	QSIGNA1	QSIGNA0	00000000	brrrrrrr
		USB 控制 (USB CONTROL)											
E680	1	USBCS	USB 控制与状态	HSM	0	0	0	DISCON	NOSYNSOF	RENUM	SIGRSUME	x0000000	rrrrrrrr
E681	1	SUSPEND	将芯片置于暂停	x	x	x	x	x	x	x	x	xxxxxxx	W
E682	1	WAKEUPCS	唤醒控制与状态	WU2	WU	WU2POL	WUPOL	0	DPEN	WU2EN	WUEN	xx000101	bbrrrrrr
E683	1	TOGCTL	切换控制	Q	S	R	I/O	EP3	EP2	EP1	EP0	x0000000	rrrrrrrr
E684	1	USBFRAMEH	USB 帧计数 H	0	0	0	0	0	FC10	FC9	FC8	00000xxx	R
E685	1	USBFRAMEL	USB 帧计数 L	FC7	FC6	FC5	FC4	FC3	FC2	FC1	FC0	xxxxxxx	R
E686	1	MICROFRAME	微帧计数, 0-7	0	0	0	0	0	MF2	MF1	MF0	00000xxx	R
E687	1	FNADDR	USB 函数地址	0	FA6	FA5	FA4	FA3	FA2	FA1	FA0	0xxxxxxx	R
E688	2	保留											
		ENDPOINTS (端点)											
E68A	1	EP0BCH <sup>[20]</sup>	端点 0 字节计数 H	(BC15)	(BC14)	(BC13)	(BC12)	(BC11)	(BC10)	(BC9)	(BC8)	xxxxxxx	RW
E68B	1	EP0BCL <sup>[20]</sup>	端点 0 字节计数 L	(BC7)	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW
E68C	1	保留											
E68D	1	EP1OUTBC	端点 1 OUT (输出) 字节计数	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	0xxxxxxx	RW
E68E	1	保留											
E68F	1	EP1INBC	端点 1 IN 字节计数	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	0xxxxxxx	RW
E690	1	EP2BCH <sup>[20]</sup>	端点 2 字节计数 H	0	0	0	0	0	BC10	BC9	BC8	00000xxx	RW
E691	1	EP2BCL <sup>[20]</sup>	端点 2 字节计数 L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW
E692	2	保留											
E694	1	EP4BCH <sup>[20]</sup>	端点 4 字节计数 H	0	0	0	0	0	0	BC9	BC8	00000xxx	RW
E695	1	EP4BCL <sup>[20]</sup>	端点 4 字节计数 L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW
E696	2	保留											
E698	1	EP6BCH <sup>[20]</sup>	端点 6 字节计数 H	0	0	0	0	0	BC10	BC9	BC8	00000xxx	RW
E699	1	EP6BCL <sup>[20]</sup>	端点 6 字节计数 L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW

**注释:**

19. 读写器可重置, 但不可配置。
20. 对寄存器进行读写操作可能需要设定同步延时。有关“同步延时”的具体内容, 请参照对应的技术参考手册 (TRM)。



**表 12. FX2LP 寄存器概要 (4/7)**

Hex	大小	名称	说明	b7	b6	b5	b4	b3	b2	b1	b0	默认值	访问
E69A	2	保留											
E69C	1	EP8BCH <sup>[21]</sup>	端点 8 字节计数 H	0	0	0	0	0	0	BC9	BC8	000000xx	RW
E69D	1	EP8BCL <sup>[21]</sup>	端点 8 字节计数 L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW
E69E	2	保留											
E6A0	1	EP0CS	端点 0 控制和状态	HSNAK	0	0	0	0	0	BUSY	STALL	10000000	bbbbbbbrb
E6A1	1	EP1OUTCS	端点 1 OUT 控制和状态	0	0	0	0	0	0	BUSY	STALL	00000000	bbbbbbbrb
E6A2	1	EP1INCS	端点 1 IN 控制和状态	0	0	0	0	0	0	BUSY	STALL	00000000	bbbbbbbrb
E6A3	1	EP2CS	端点 2 控制和状态	0	NPAK2	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00101000	rrrrrrb
E6A4	1	EP4CS	端点 4 控制和状态	0	0	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00101000	rrrrrrb
E6A5	1	EP6CS	端点 6 控制和状态	0	NPAK2	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00000100	rrrrrrb
E6A6	1	EP8CS	端点 8 控制和状态	0	0	NPAK1	NPAK0	FULL	EMPTY (空)	0	STALL	00000100	rrrrrrb
E6A7	1	EP2FIFOFLGS	端点 2/ 从机 FIFO 标志	0	0	0	0	0	PF	EF	FF	00000010	R
E6A8	1	EP4FIFOFLGS	端点 4/ 从机 FIFO 标志	0	0	0	0	0	PF	EF	FF	00000010	R
E6A9	1	EP6FIFOFLGS	端点 6/ 从机 FIFO 标志	0	0	0	0	0	PF	EF	FF	00000110	R
E6AA	1	EP8FIFOFLGS	端点 8/ 从机 FIFO 标志	0	0	0	0	0	PF	EF	FF	00000110	R
E6AB	1	EP2FIFOBCH	端点 2/ 从机 FIFO 总字节计数 H	0	0	0	BC12	BC11	BC10	BC9	BC8	00000000	R
E6AC	1	EP2FIFOBCL	端点 2/ 从机 FIFO 总字节计数 L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6AD	1	EP4FIFOBCH	端点 4/ 从机 FIFO 总字节计数 H	0	0	0	0	0	BC10	BC9	BC8	00000000	R
E6AE	1	EP4FIFOBCL	端点 4/ 从机 FIFO 总字节计数 L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6AF	1	EP6FIFOBCH	端点 6/ 从机 FIFO 总字节计数 H	0	0	0	0	BC11	BC10	BC9	BC8	00000000	R
E6B0	1	EP6FIFOBCL	端点 6/ 从机 FIFO 总字节计数 L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6B1	1	EP8FIFOBCH	端点 8/ 从机 FIFO 总字节计数 H	0	0	0	0	0	BC10	BC9	BC8	00000000	R
E6B2	1	EP8FIFOBCL	端点 8/ 从机 FIFO 总字节计数 L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6B3	1	SUDPTRH	设置数据指针地址高字节	A15	A14	A13	A12	A11	A10	A9	A8	xxxxxxx	RW
E6B4	1	SUDPTL	设置数据指针地址低字节	A7	A6	A5	A4	A3	A2	A1	0	xxxxxxx0	bbbbbbbrb
E6B5	1	SUDPTRCTL	设置数据指针自动模式	0	0	0	0	0	0	0	SDPAUTO	00000001	RW
	2	保留											
E6B8	8	SET-UPDAT	8 个字节的设置数据	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	R
			SET-UPDAT[0] = bmRequestType										
			SET-UPDAT[1] = bmRequest										
			SET-UPDAT[2:3] = wValue										
			SET-UPDAT[4:5] = wIndex										
			SET-UPDAT[6:7] = wLength										
		GPIOF											
E6C0	1	GPIOFWFSELECT	波形选择器	SINGLEWR1	SINGLEWR0	SINGLERD1	SINGLERD0	FIFOWR1	FIFOWR0	FIFORD1	FIFORD0	11100100	RW
E6C1	1	GPIOFIDLECS	GPIO 已完成, GPIOF IDLE 驱动模式	DONE	0	0	0	0	0	0	IDLEDRV	10000000	RW
E6C2	1	GPIOFIDLECTL	静态总线, CTL 状态	0	0	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	11111111	RW
E6C3	1	GPIOFCTLCFG	CTL 驱动类型	TRICTL	0	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW
E6C4	1	GPIOFADRH <sup>[21]</sup>	GPIOF 地址 H	0	0	0	0	0	0	0	GPIOFA8	00000000	RW
E6C5	1	GPIOFADRL <sup>[21]</sup>	GPIOF 地址 L	GPIOFA7	GPIOFA6	GPIOFA5	GPIOFA4	GPIOFA3	GPIOFA2	GPIOFA1	GPIOFA0	00000000	RW
		FLOWSTATE											
E6C6	1	FLOWSTATE	流态使能和选择器	FSE	0	0	0	0	FS2	FS1	FS0	00000000	brrrrrbbb
E6C7	1	FLOWLOGIC	流态逻辑	LFUNC1	LFUNC0	TERMA2	TERMA1	TERMA0	TERMB2	TERMB1	TERMB0	00000000	RW
E6C8	1	FLOWEQ0CTL	(Logic = 0 时) CTL 引脚在流态中的状态	CTL0E3	CTL0E2	CTL0E1/CTL5	CTL0E0/CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW

**注释**

21. 对寄存器进行读写操作可能需要设定同步延时。有关“同步延时”的具体内容, 请参照对应的技术参考手册 (TRM)。

**表 12. FX2LP 寄存器概要 (5/7)**

Hex	大小	名称	说明	b7	b6	b5	b4	b3	b2	b1	b0	默认值	访问
E6C9	1	FLOWEQ1CTL	(Logic = 0 时) CTL 引脚在流态中的状态	CTL0E3	CTL0E2	CTL0E1/CTL5	CTL0E0/CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW
E6CA	1	FLOWHOLDOFF	触发抑制配置	HOPERIOD3	HOPERIOD2	HOPERIOD1	HOPERIOD0	HOSTATE	HOCTL2	HOCTL1	HOCTL0	00010010	RW
E6CB	1	FLOWSTB	触发抑制探针配置	SLAVE (从机)	RDYASYNC	CTLTOGL	SUSTAIN	0	MSTB2	MSTB1	MSTB0	00100000	RW
E6CC	1	FLOWSTBEDGE	流态上升 / 下降沿配置	0	0	0	0	0	0	FALLING	RISING	00000001	rrrrrrbb
E6CD	1	FLOWSTBPERIOD	主控 - 探针半周期	D7	D6	D5	D4	D3	D2	D1	D0	00000010	RW
E6CE	1	GPIFTCB3 <sup>[22]</sup>	GPIF 任务计数字节 3	TC31	TC30	TC29	TC28	TC27	TC26	TC25	TC24	00000000	RW
E6CF	1	GPIFTCB2 <sup>[22]</sup>	GPIF 任务计数字节 2	TC23	TC22	TC21	TC20	TC19	TC18	TC17	TC16	00000000	RW
E6D0	1	GPIFTCB1 <sup>[22]</sup>	GPIF 任务计数字节 1	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	00000000	RW
E6D1	1	GPIFTCB0 <sup>[22]</sup>	GPIF 任务计数字节 0	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	00000001	RW
	2	保留										00000000	RW
		保留											
		保留											
E6D2	1	EP2GPIFFLGSEL <sup>[22]</sup>	端点 2 GPIF 标志选择	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6D3	1	EP2GPIFPFSTOP	端点 2 GPIF 在传输标志上停止操作	0	0	0	0	0	0	0	FIFO2FLAG	00000000	RW
E6D4	1	EP2GPIFTRIG <sup>[22]</sup>	端点 2 GPIF 触发器	x	x	x	x	x	x	x	x	xxxxxxx	W
	3	保留											
		保留											
		保留											
E6DA	1	EP4GPIFFLGSEL <sup>[22]</sup>	端点 4 GPIF 标志选择	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6DB	1	EP4GPIFPFSTOP	端点 4 GPIF 在 GPIF 标志上停止操作	0	0	0	0	0	0	0	FIFO4FLAG	00000000	RW
E6DC	1	EP4GPIFTRIG <sup>[22]</sup>	端点 4 GPIF 触发器	x	x	x	x	x	x	x	x	xxxxxxx	W
	3	保留											
		保留											
		保留											
E6E2	1	EP6GPIFFLGSEL <sup>[22]</sup>	端点 6 GPIF 标志选择	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6E3	1	EP6GPIFPFSTOP	端点 6 GPIF 在传输标志上停止操作	0	0	0	0	0	0	0	FIFO6FLAG	00000000	RW
E6E4	1	EP6GPIFTRIG <sup>[22]</sup>	端点 6 GPIF 触发器	x	x	x	x	x	x	x	x	xxxxxxx	W
	3	保留											
		保留											
		保留											
E6EA	1	EP8GPIFFLGSEL <sup>[22]</sup>	端点 8 GPIF 标志选择	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6EB	1	EP8GPIFPFSTOP	端点 8 GPIF 在传输标志上停止操作	0	0	0	0	0	0	0	FIFO8FLAG	00000000	RW
E6EC	1	EP8GPIFTRIG <sup>[22]</sup>	端点 8 GPIF 触发器	x	x	x	x	x	x	x	x	xxxxxxx	W
	3	保留											
E6F0	1	XGPIFSGLDATH	GPIF 数据 H (仅限 16 位模式)	D15	D14	D13	D12	D11	D10	D9	D8	xxxxxxx	RW
E6F1	1	XGPIFSGLDATLX	读取 / 写入 GPIF 数据 L 和操作触发	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E6F2	1	XGPIFSGLDATLNOX	读取 / 写入 GPIF 数据 L 和触发操作	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	R
E6F3	1	GPIFREADYCFG	内部 RDY, 同步 / 异步, RDY 引脚状态	INTRDY	SAS	TCXRDY5	0	0	0	0	0	00000000	bbrrrr
E6F4	1	GPIFREADYSTAT	GPIF 就绪状态	0	0	RDY5	RDY4	RDY3	RDY2	RDY1	RDY0	00xxxxxx	R
E6F5	1	GPIFABORT	中止 GPIF 波形	x	x	x	x	x	x	x	x	xxxxxxx	W
E6F6	2	保留											
		ENDPOINT BUFFERS (端点缓冲区)											
E740	64	EP0BUF	EP0-IN/-OUT 缓冲区	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E780	64	EP10UTBUF	EP1-OUT 缓冲区	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E7C0	64	EP1INBUF	EP1-IN 缓冲区	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E800	2048	保留											
F000	1024	EP2FIFOBUF	512/1024 字节 EP 2/ 从机 FIFO 缓冲区 (输入或输出)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
F400	512	EP4FIFOBUF	512 字节 EP 4/ 从机 FIFO 缓冲区 (输入或输出)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
F600	512	保留											

**注释**

22. 对寄存器进行读写操作可能需要设定同步延时。有关“同步延时”的具体内容，请参照对应的技术参考手册 (TRM)。

**表 12. FX2LP 寄存器概要 (6/7)**

Hex	大小	名称	说明	b7	b6	b5	b4	b3	b2	b1	b0	默认值	访问
F800	1024	EP6FIFOBUF	512/1024 字节 EP 6/ 从机 FIFO 缓冲区 (输入或输出)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
FC00	512	EP8FIFOBUF	512 字节 EP 8/ 从机 FIFO 缓冲区 (输入或输出)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
FE00	512	保留											
xxxx		PC 配置字节		0	DISCON	0	0	0	0	0	400KHZ	xxxxxxx <sup>23)</sup>	不适用
		特殊功能寄存器 (SFR)											
80	1	IOA <sup>[24]</sup>	端口 A (位寻址)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
81	1	SP	堆栈指针	D7	D6	D5	D4	D3	D2	D1	D0	00000111	RW
82	1	DPL0	数据指针 0 L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
83	1	DPH0	数据指针 0 H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
84	1	DPL1 <sup>[24]</sup>	数据指针 1 L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
85	1	DPH1 <sup>[24]</sup>	数据指针 1 H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
86	1	DPS <sup>[24]</sup>	数据指针 0/1 选择	0	0	0	0	0	0	0	SEL	00000000	RW
87	1	PCON	电源控制	SMOD0	x	1	1	x	x	x	IDLE	00110000	RW
88	1	TCON	定时器 / 计数器控制 (位寻址)	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00000000	RW
89	1	TMOD	定时器 / 计数器模式控制	GATE	CT	M1	M0	GATE	CT	M1	M0	00000000	RW
8A	1	TL0	定时器 0 重载 L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
8B	1	TL1	定时器 1 重载 L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
8C	1	TH0	定时器 0 重载 H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
8D	1	TH1	定时器 1 重载 H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
8E	1	CKCON <sup>[24]</sup>	时钟控制	x	x	T2M	T1M	T0M	MD2	MD1	MD0	00000001	RW
8F	1	保留											
90	1	IOB <sup>[24]</sup>	端口 B (位寻址)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
91	1	EXIF <sup>[24]</sup>	外部中断标志	IE5	IE4	I <sup>2</sup> CINT	USBNT	1	0	0	0	00001000	RW
92	1	MPAGE <sup>[24]</sup>	使用 @R0/ @R1 MOVX 上位地址字节	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
93	5	保留											
98	1	SCON0	串行端口 0 控制 (位寻址)	SM0_0	SM1_0	SM2_0	REN_0	TB8_0	RB8_0	TL_0	RI_0	00000000	RW
99	1	SBUF0	串行端口 0 数据缓冲区	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
9A	1	AUTOPTRH1 <sup>[24]</sup>	自动指针 1 地址 H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
9B	1	AUTOPTRL1 <sup>[24]</sup>	自动指针 1 地址 L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
9C	1	保留											
9D	1	AUTOPTRH2 <sup>[24]</sup>	自动指针 2 地址 H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
9E	1	AUTOPTRL2 <sup>[24]</sup>	自动指针 2 地址 L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
9F	1	保留											
A0	1	IOC <sup>[24]</sup>	端口 C (位寻址)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
A1	1	INT2CLR <sup>[24]</sup>	中断 2 清除	x	x	x	x	x	x	x	x	xxxxxxx	W
A2	1	INT4CLR <sup>[24]</sup>	中断 4 清除	x	x	x	x	x	x	x	x	xxxxxxx	W
A3	5	保留											
A8	1	IE	中断使能 (位寻址)	EA	ES1	ET2	ES0	ET1	EX1	ET0	EX0	00000000	RW
A9	1	保留											
AA	1	EP2468STAT <sup>[24]</sup>	端点 2、4、6、8 的状态标志	EP8F	EP8E	EP6F	EP6E	EP4F	EP4E	EP2F	EP2E	01011010	R
AB	1	EP24FIFOFLGS <sup>[24]</sup>	端点 2、4 的从机 FIFO 状态标志	0	EP4PF	EP4EF	EP4FF	0	EP2PF	EP2EF	EP2FF	00100010	R
AC	1	EP68FIFOFLGS <sup>[24]</sup>	端点 6、8 的从机 FIFO 状态标志	0	EP8PF	EP8EF	EP8FF	0	EP6PF	EP6EF	EP6FF	01100110	R
AD	2	保留											
AF	1	AUTOPTRSETUP <sup>[24]</sup>	自动指针 1 和 2 设置	0	0	0	0	0	APTR2INC	APTR1INC	APTREN	00000110	RW
B0	1	IOD <sup>[24]</sup>	端口 D (位寻址)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
B1	1	IOE <sup>[24]</sup>	端口 E (无位寻址)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
B2	1	OEA <sup>[24]</sup>	端口 A 输出使能	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B3	1	OEB <sup>[24]</sup>	端口 B 输出使能	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B4	1	OEC <sup>[24]</sup>	端口 C 输出使能	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B5	1	OED <sup>[24]</sup>	端口 D 输出使能	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B6	1	OEE <sup>[24]</sup>	端口 E 输出使能	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B7	1	保留											
B8	1	IP	中断优先级 (位寻址)	1	PS1	PT2	PS0	PT1	PX1	PT0	PX0	10000000	RW
B9	1	保留											

**注释:**

23. 若 SIE 未检测到 EEPROM, 则默认为 00000000。

24. SFR 不是标准的 8051 架构部件。

**表 12. FX2LP 寄存器概要 (7/7)**

Hex	大小	名称	说明	b7	b6	b5	b4	b3	b2	b1	b0	默认值	访问
BA	1	EP01STAT <sup>[25]</sup>	端点 0 和 1 的状态	0	0	0	0	0	EP1INBSY	EP1OUTBSY	EP0BSY	00000000	R
BB	1	GPIFTRIG <sup>[25, 26]</sup>	端点 2、4、6、8 的 GPIF 从机 FIFO 触发器	DONE (完成)	0	0	0	0	RW	EP1	EP0	10000xxx	brrrrbbb
BC	1	保留											
BD	1	GPIFSGLDATH <sup>[25]</sup>	GPIF 数据 H (仅限 16 位模式)	D15	D14	D13	D12	D11	D10	D9	D8	xxxxxxx	RW
BE	1	GPIFSGLDATLX <sup>[25]</sup>	GPIF 数据 L (带有触发器)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
BF	1	GPIFSGLDATLNOX <sup>[25]</sup>	GPIF 数据 L (不带有触发器)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	R
C0	1	SCON1 <sup>[25]</sup>	串行端口 1 控制 (位寻址)	SM0_1	SM1_1	SM2_1	REN_1	TB8_1	RB8_1	TI_1	RI_1	00000000	RW
C1	1	SBUF1 <sup>[25]</sup>	串行端口 1 数据缓冲区	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
C2	6	保留											
C8	1	T2CON	定时器 / 计数器 2 控制 (位寻址)	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2	CPRL2	00000000	RW
C9	1	保留											
CA	1	RCAP2L	捕捉定时器 2, 自动重新加载, 计数器增加	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CB	1	RCAP2H	捕捉定时器 2, 自动重新加载, 计数器增加	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CC	1	TL2	定时器 2 重载 L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CD	1	TH2	定时器 2 重载 H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
CE	2	保留											
D0	1	PSW	程序状态字 (位寻址)	CY	AC	F0	RS1	RS0	OV	F1	P	00000000	RW
D1	7	保留											
D8	1	EICON <sup>[25]</sup>	外部中断控制	SMOD1	1	ERES1	RES1	INT6	0	0	0	01000000	RW
D9	7	保留											
E0	1	ACC	累加器 (位寻址)	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
E1	7	保留											
E8	1	EIE <sup>[25]</sup>	外部中断使能	1	1	1	EX6	EX5	EX4	EIPc	EUSB	11100000	RW
E9	7	保留											
F0	1	B	B (位寻址)	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
F1	7	保留											
F8	1	EIP <sup>[25]</sup>	外部中断优先级控制	1	1	1	PX6	PX5	PX4	PIPC	PUSB	11100000	RW
F9	7	保留											

R = 所有只读字节  
 W = 所有只写字节  
 r = 只读字节  
 w = 只写字节  
 b = 可读写字节

**注释:**

25. SFR 不是标准的 8051 架构部件。

26. 对寄存器进行读写操作可能需要设定同步延时。有关“同步延时”的具体内容, 请参照对应的技术参考手册 (TRM)。

## 绝对最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指导未经过测试。

存储温度 ..... -65 °C 到 +150 °C  
 供电（商业级）环境温度 ..... 0 °C 到 +70 °C  
 供电环境温度（工业级） ..... -40 °C 到 +105 °C  
 接地潜能的供电电压 ..... 0.5 V 到 +4.0 V  
 任何输入引脚的直流输入电压<sup>[27]</sup> ..... 5.25 V  
 在高 Z 状态下用来输出的直流电压 0.5 V 到  $V_{CC} + 0.5 V$   
 功率耗散 ..... 300 mW  
 静态放电电压 ..... >2000 V  
 最大输出电流，每个 I/O 端口 ..... 10 mA  
 最大输出电流，所有 5 个 I/O 端口（128 引脚和 100 引脚的封装） ..... 50 mA

## 热特性

最高节温 ..... 125 °C

下表列出了各种封装的热特性：

**表 13. 热特性**

工具包	环境温度 (°C)	$\theta_{Jc}$ 壳温热电阻 (°C/W)	$\theta_{Ja}$ 结温热电阻 (°C/W)
56 SSOP	70	24.4	47.7
100 TQFP	70	11.9	45.9
128 TQFP	70	15.5	43.2
56 QFN	70	10.6	25.2
56 VFBGA	70	30.9	58.6

结温  $\theta_j$  可以通过下列公式计算： $\theta_j = P \cdot \theta_{Ja} + \theta_a$

其中：

$P$  = 功耗

$\theta_{Ja}$  = 结温 ( $\theta_{Jc} + \theta_{Ca}$ )

$\theta_a$  = 环境温度 (70 °C)

壳温  $\theta_c$  可以通过下列公式计算： $\theta_c = P \cdot \theta_{Ca} + \theta_a$

其中：

$P$  = 功耗

$\theta_{Ca}$  = 壳至环境温度

$\theta_a$  = 环境温度 (70 °C)

## 运行条件

$T_A$ （偏压环境温度）（商业级） ..... 0 °C 到 +70 °C

$T_A$ （偏压环境温度）（工业级） ..... -40 °C 到 +105 °C

供电电压 ..... +3.00 V 到 +3.60 V

接电电压 ..... 0 V

$F_{OSC}$ （振荡器或晶振频率）. 24 MHz  $\pm$  100 ppm，并行谐振

### 注释

27. 芯片电源关闭时，请勿为 I/O 供电。

## 直流电特性

表 14. DC 特性

参数	说明	条件	最小值	典型值	最大值	单位
VCC	供电电压	—	3.00	3.3	3.60	V
VCC 上升	0 - 3.3 V	—	200	—	—	μs
V <sub>IH</sub>	输入高电平电压	—	2	—	5.25	V
V <sub>IL</sub>	输入低电平电压	—	-0.5	—	0.8	V
V <sub>IH_X</sub>	晶振输入高电压	—	2	—	5.25	V
V <sub>IL_X</sub>	晶振输入低电压	—	-0.5	—	0.8	V
I <sub>I</sub>	输入漏电流	0 < V <sub>IN</sub> < VCC	—	—	±10	μA
V <sub>OH</sub>	输出电压高电平	I <sub>OUT</sub> = 4 mA	2.4	—	—	V
V <sub>OL</sub>	输出低电平电压	I <sub>OUT</sub> = -4 mA	—	—	0.4	V
I <sub>OH</sub>	输出电流偏高	—	—	—	4	mA
I <sub>OL</sub>	输出电流偏低	—	—	—	4	mA
C <sub>IN</sub>	输入引脚电容	D+/D- 除外	—	—	10	pF
		D+/D-	—	—	15	pF
I <sub>SUSP</sub>	暂停电流 CY7C68014/CY7C68016	已连接	—	300	380 <sup>[28]</sup>	μA
		已断开	—	100	150 <sup>[28]</sup>	μA
	暂停电流 CY7C68013/CY7C68015	已连接	—	0.5	1.2 <sup>[28]</sup>	mA
		已断开	—	0.3	1.0 <sup>[28]</sup>	mA
I <sub>CC</sub>	供电电流	8051 运行, 连接至 USB HS	—	50	85	mA
		8051 运行, 连接至 USB FS	—	35	65	mA
T <sub>RESET</sub>	有效功耗后的复位时间	V <sub>CC</sub> min = 3.0 V	5.0	—	—	ms
	引脚加电后复位		200	—	—	μs

## USB 收发器

USB 2.0 支持全速或高速模式。

### 注释

28. 测量条件: 25 °C 气温, 最高 VCC 电压。

## 交流电气特性

### USB 收发器

USB 2.0 支持全速或高速模式。

### 程序存储器读取

图 12. 程序存储器读取时序图

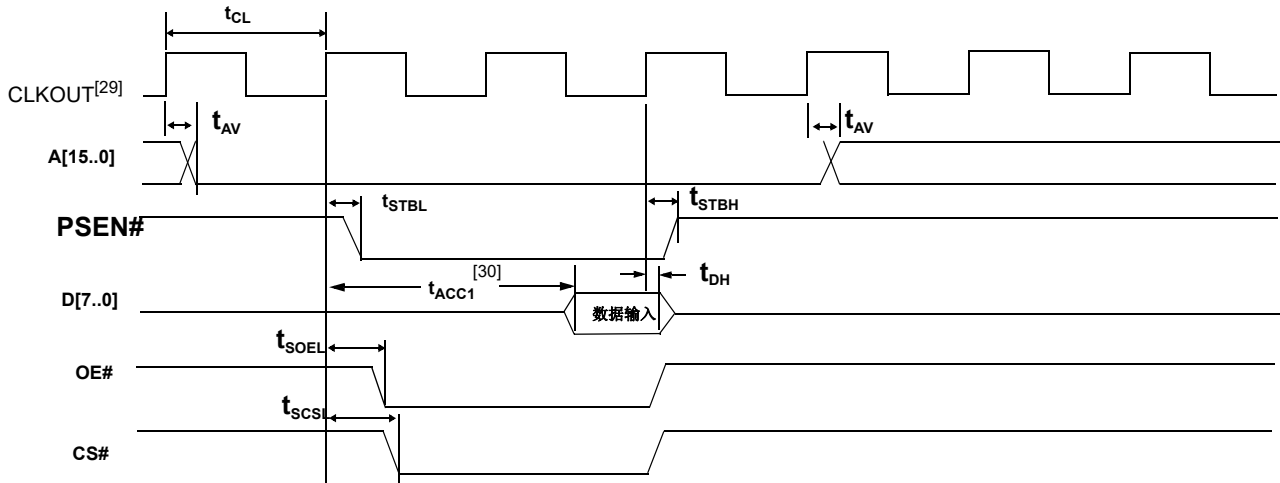


表 15. 程序存储器读取参数

参数	说明	最小值	典型值	最大值	单位	注意
$t_{CL}$	1/CLKOUT 频率	—	20.83	—	ns	48 MHz
		—	41.66	—	ns	24 MHz
		—	83.2	—	ns	12 MHz
$t_{AV}$	从时钟到有效地址的延迟	0	—	10.7	ns	—
$t_{STBL}$	从时钟到 PSEN 低电平	0	—	8	ns	—
$t_{STBH}$	从时钟到 PSEN 高电平	0	—	8	ns	—
$t_{SOEL}$	从时钟到 OE 低电平	—	—	11.1	ns	—
$t_{SCSL}$	从时钟到 CS 低电平	—	—	13	ns	—
$t_{DSU}$	从数据设置到时钟	9.6	—	—	ns	—
$t_{DH}$	数据保持时间	0	—	—	ns	—

**注释:**

29. CLKOUT i 显示为正极。

30.  $t_{ACC1}$  根据以下参数计算:

$$t_{ACC1}(24 \text{ MHz}) = 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 106 \text{ ns.}$$

$$t_{ACC1}(48 \text{ MHz}) = 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 43 \text{ ns.}$$

## 数据存储器读取<sup>[31]</sup>

图 13. 数据存储器读取时序图

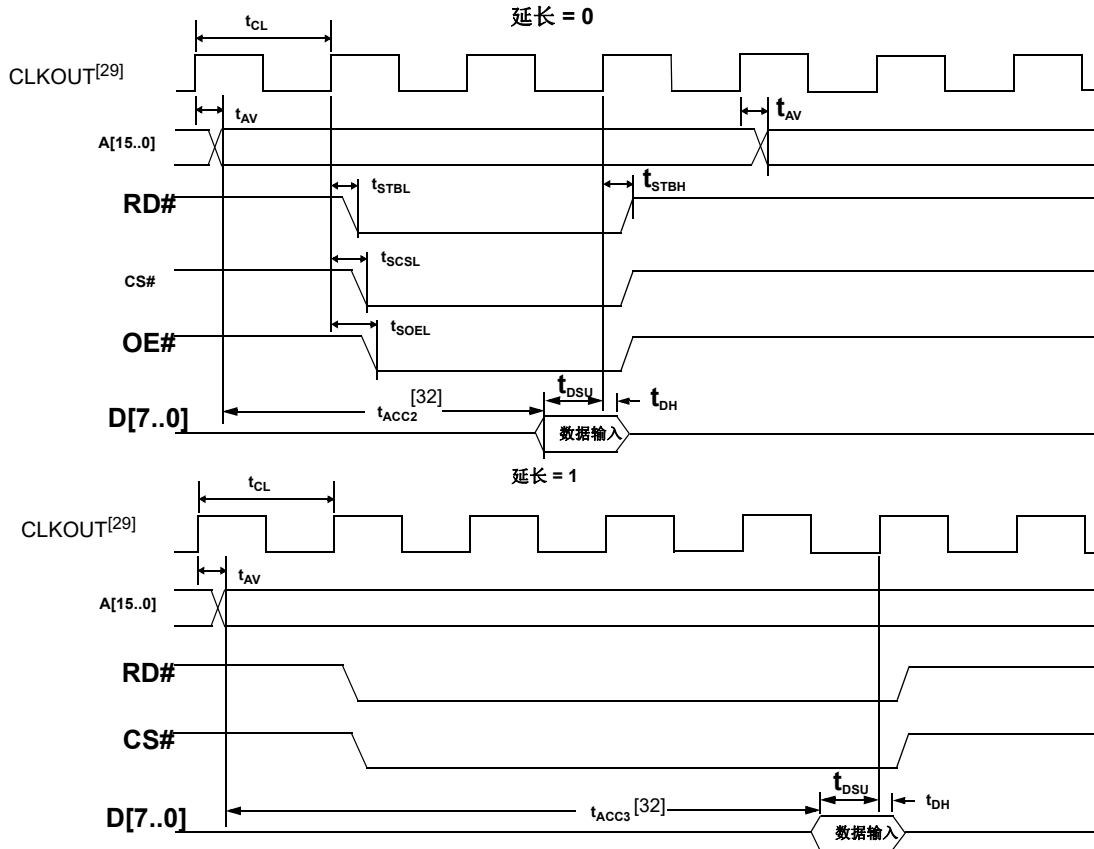


表 16. 数据存储器读取参数

参数	说明	最小值	典型值	最大值	单位	注意
$t_{CL}$	1/CLKOUT 频率	—	20.83	—	ns	48 MHz
		—	41.66	—	ns	24 MHz
		—	83.2	—	ns	12 MHz
$t_{AV}$	从时钟到有效地址的延迟	—	—	10.7	ns	—
$t_{STBL}$	从时钟 RD LOW	—	—	11	ns	—
$t_{STBH}$	从时钟 RD HIGH	—	—	11	ns	—
$t_{SCSL}$	从时钟到 CS 低电平	—	—	13	ns	—
$t_{SOEL}$	从时钟到 OE 低电平	—	—	11.1	ns	—
$t_{DSU}$	从数据设置到时钟	9.6	—	—	ns	—
$t_{DH}$	数据保持时间	0	—	—	ns	—

使用 AUTPOPTR1 或 AUTOPTTR2 来寻址外部存储器时，AUTOPTTR1 地址仅在 RD# 或 WR# 为活动时才有效。AUTOPTTR2 地址在整个周期内均有效，并满足基于延长值的地址有效时间。

### 注释：

31. 内存周期延长功能允许 EZ-USB 固件调节数据内存访问的速度，而不影响程序内存的访问速度。有关典型选通宽度时序的详细信息及其它技术细节，请参考 [技术手册](#) 第 12.1.2 节。地址周期宽度可以根据这些信息来确定。

32.  $t_{ACC2}$  和  $t_{ACC3}$  可通过以下参数计算：

$$\begin{aligned}
 t_{ACC2}(24 \text{ MHz}) &= 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 106 \text{ ns.} \\
 t_{ACC2}(48 \text{ MHz}) &= 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 43 \text{ ns.} \\
 t_{ACC3}(24 \text{ MHz}) &= 5 \cdot t_{CL} - t_{AV} - t_{DSU} = 190 \text{ ns.} \\
 t_{ACC3}(48 \text{ MHz}) &= 5 \cdot t_{CL} - t_{AV} - t_{DSU} = 86 \text{ ns.}
 \end{aligned}$$



## 数据存储器写入<sup>[33]</sup>

图 14. 数据存储器写入时序图

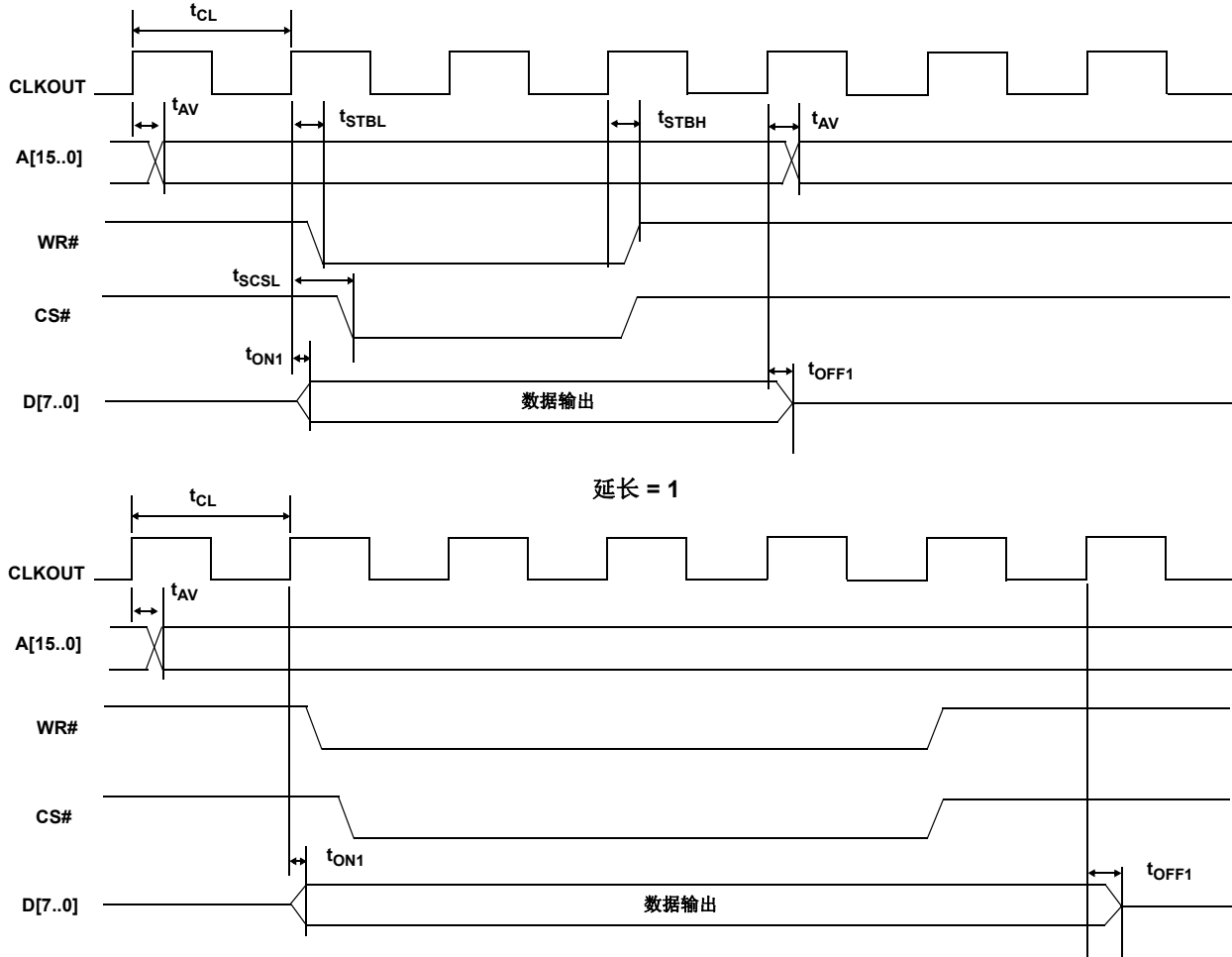


表 17. 数据存储器写入参数

参数	说明	最小值	最大值	单位	注意
$t_{AV}$	从时钟到有效地址的延迟	0	10.7	ns	—
$t_{STBL}$	从时钟到 WR 脉冲低电平	0	11.2	ns	—
$t_{STBH}$	从时钟到 WR 脉冲高电平	0	11.2	ns	—
$t_{SCSL}$	从时钟到 CS 脉冲低电平	—	13.0	ns	—
$t_{ON1}$	从时钟到数据启用	0	13.1	ns	—
$t_{OFF1}$	从时钟到数据保持时间	0	13.1	ns	—

使用 AUTOPTR1 或 AUTOPTR2 来寻址外部存储器时，AUTOPTR1 地址仅在 RD# 或 WR# 为活动时才有效。AUTOPTR2 地址在整个周期内均有效，并满足基于延长值的地址有效时间。

### 注释

33. EZ-USB 固件的内存周期延长特性允许调整数据存储访问速度而非代码存储访问速度。可在 [技术参考手册 12.1.2 章](#)中查找包括典型脉冲宽度时间在内的详细信息，也可从中解读出地址周期宽度。

## PORTC 探针特性时序

在 100 引脚版本和 128 引脚封装中提供 RD# 和 WR#。在 100 引脚和 128 引脚版本中，当 8051 读取 / 写入 PORTC 时，可以通过设置 8051 控制位来触发 RD# 和 WR# 引脚。此功能需要通过在 CPUCS 寄存器中设置 PORTCSTB 进行开启。

RD# 和 WR# 探针在访问 PORTC 时的两个 CLKOUT 周期内激活。

如图 16 所示，在 PORTC 更新之后，WR# 探针会激活，并在两个时钟周期内处于活动状态。

就读取来说，在激活 RD# 之前的 3 个时钟周期内，PORTC 的值是 8051 读取输入的值。当 8051 已完成读取 PORTC 函数时，从

该时间点开始算起，RD# 会在 3 个时钟周期后的 2 个时钟周期内被触发。

RD# 信号负责提示外部逻辑准备下一个数据字节。RD# 信号仅是一个用来获取下一个字节准备数据的预提取式信号层，所以激活 RD# 信号本身并不会触发内部采样。因此，使用该信号时要考虑是否满足延续到下一次读取的设置时间。

RD# 脉冲的设计意图是通知外部设备 8051 已经完成了对 PORTC 的读取工作，并且数据已在 RD# 信号激活前的三个 CLKOUT 时钟周期内被锁存入 PORTC。RD# 脉冲结束后，外部逻辑可以刷新 PORTC 上的数据。

以下是访问 PORTC 时读取和写入探针函数的时序图。有关 RD# 和 WR# 信号传输延迟的详细信息，请参阅 43 页的数据存储器读取 [31] 和 44 页的数据存储器写入 [33]。

图 16. 通过 8051 访问 PORTC 时的 WR# 探针函数

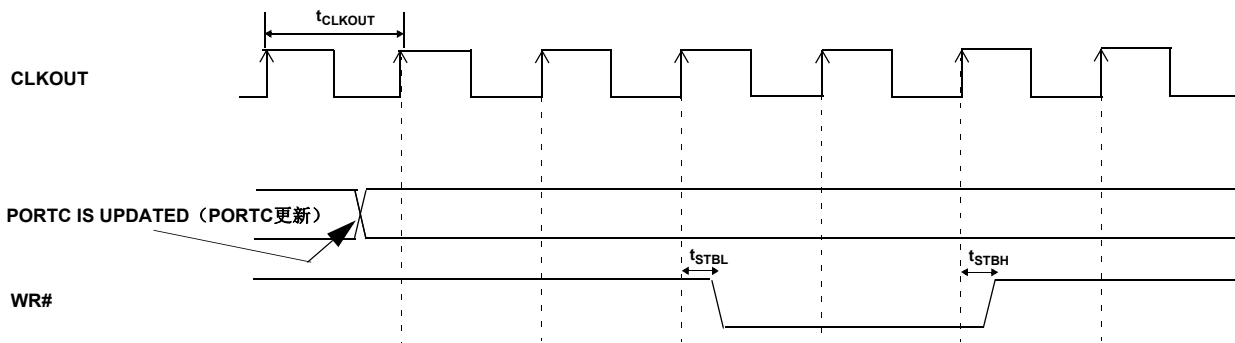
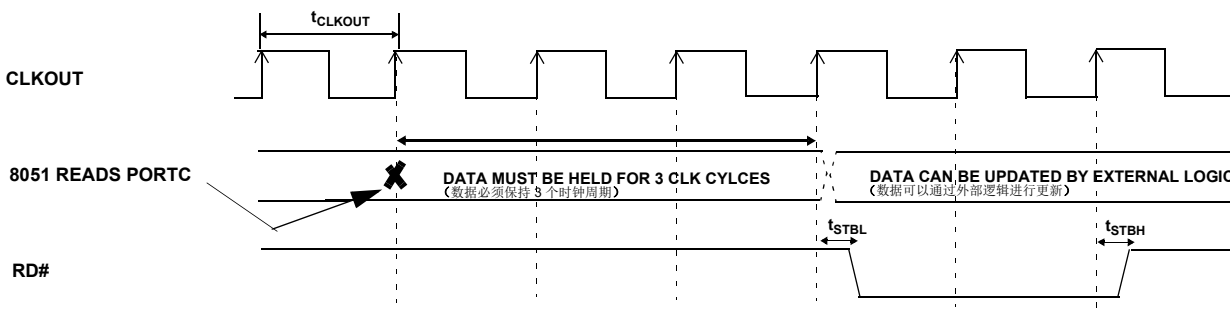


图 17. 通过 8051 访问 PORTC 时的 RD# 探针函数



## GPIF 同步信号

图 18. GPIF 同步信号时序图<sup>[34]</sup>

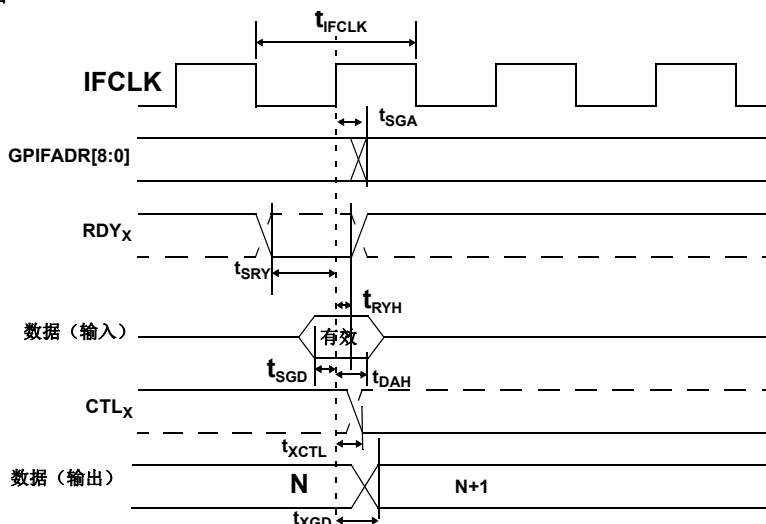


表 18. GPIF 同步信号参数（包含内部源 IFCLK）<sup>[34, 35]</sup>

参数	说明	最小值	最大值	典型值		单位
				最小值	最大值	
$t_{IFCLK}$	IFCLK 周期	20.83	—	—	—	ns
$t_{SRY}$	从 $RDY_x$ 到时钟设置时间	8.9	—	—	—	ns
$t_{RYH}$	从时钟到 $RDY_x$	0	—	—	—	ns
$t_{SGD}$	从 GPIF 数据到时钟设置时间	9.2	—	—	—	ns
$t_{DAH}$	GPIF 数据保持时间	0	—	—	—	ns
$t_{SGA}$	从时钟到 GPIF 地址的传输延迟	—	7.5	—	—	ns
$t_{XGD}$	从时钟到 GPIF 数据输出传输延迟	—	10	—	—	ns
$t_{XCTL}$	从时钟到 $CTL_x$ 输出传输延迟	—	6.7	—	—	ns
$t_{IFCLKR}$	IFCLK 上升时间	—	—	—	900	ps
$t_{IFCLKF}$	IFCLK 下降时间	—	—	—	900	ps
$t_{IFCLKOD}$	IFCLK 输出占空比	—	—	49	51	%
$t_{IFCLKJ}$	IFCLK 抖动（峰值到峰值）	—	—	—	300	ps

表 19. GPIF 同步信号参数（包含内部源 IFCLK）<sup>[35]</sup>

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期 <sup>[36]</sup>	20.83	200	ns
$t_{SRY}$	从 $RDY_x$ 到时钟设置时间	2.9	—	ns
$t_{RYH}$	从时钟到 $RDY_x$	3.7	—	ns
$t_{SGD}$	从 GPIF 数据到时钟设置时间	3.2	—	ns
$t_{DAH}$	GPIF 数据保持时间	4.5	—	ns
$t_{SGA}$	从时钟到 GPIF 地址的传输延迟	—	11.5	ns
$t_{XGD}$	从时钟到 GPIF 数据输出传输延迟	—	15	ns
$t_{XCTL}$	从时钟到 $CTL_x$ 输出传输延迟	—	10.7	ns

### 注释：

34. 短划线表示带有可编程极性的信号。

35. 使用内部 48 MHz IFCLK 时，GPIF 异步  $RDY_x$  最低设置时间为 50 ns。

36. IFCLK 必须不超过 48 MHz。

## 从机 FIFO 同步读取

图 19. 从机 FIFO 同步读取时序图<sup>[37]</sup>

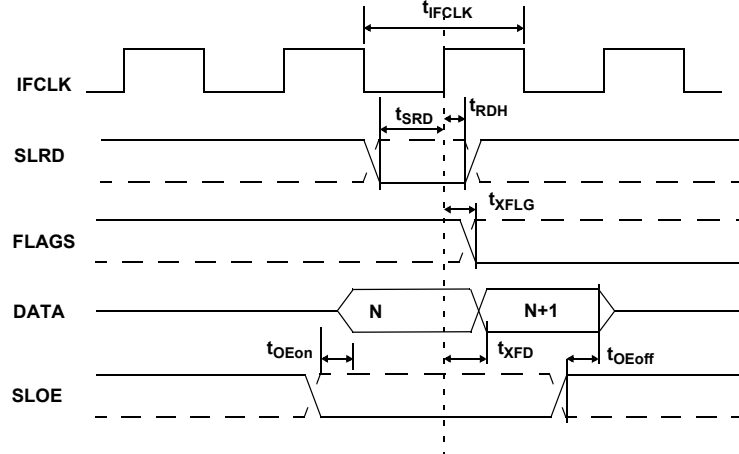


表 20. 从机 FIFO 同步读取参数（包含内部源 IFCLK）<sup>[38]</sup>

参数	说明	最小值	最大值	典型值		单位
				最小值	最大值	
$t_{IFCLK}$	IFCLK 周期	20.83	—	—	—	ns
$t_{SRD}$	从 SLRD 到时钟设置时间	18.7	—	—	—	ns
$t_{RDH}$	从时钟到 SLRD 保持时间	0	—	—	—	ns
$t_{OEon}$	从 SLOE 启用到 FIFO 数据生效	—	10.5	—	—	ns
$t_{OEoff}$	从 SLOE 关闭到 FIFO 数据保持	—	10.5	—	—	ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输延迟	—	9.5	—	—	ns
$t_{XFD}$	从时钟到 FIFO 数据输出传输延迟	—	11	—	—	ns
$t_{IFCLKR}$	IFCLK 上升时间	—	—	—	900	ps
$t_{IFCLKF}$	IFCLK 下降时间	—	—	—	900	ps
$t_{IFCLKOD}$	IFCLK 输出占空比	—	—	49	51	%
$t_{IFCLKJ}$	IFCLK 抖动（峰值到峰值）	—	—	—	300	ps

表 21. 从机 FIFO 同步读取参数（包含内部源 IFCLK）<sup>[38]</sup>

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83	200	ns
$t_{SRD}$	从 SLRD 到时钟设置时间	12.7	—	ns
$t_{RDH}$	从时钟到 SLRD 保持时间	3.7	—	ns
$t_{OEon}$	从 SLOE 启用到 FIFO 数据生效	—	10.5	ns
$t_{OEoff}$	从 SLOE 关闭到 FIFO 数据保持	—	10.5	ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输延迟	—	13.5	ns
$t_{XFD}$	从时钟到 FIFO 数据输出传输延迟	—	15	ns

### 注释：

37. 短划线表示信号带有可编程极性。

38. 使用内部 48 MHz IFCLK 时， GPIF 异步 RDY<sub>x</sub> 最低设置时间为 50 ns。

## 从机 FIFO 异步读取

图 20. 从机 FIFO 异步读取时序图<sup>[39]</sup>

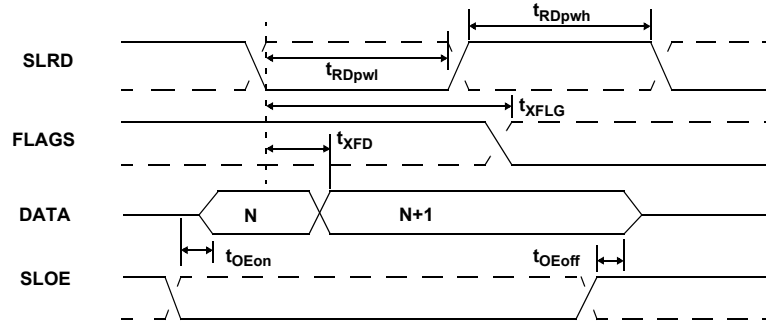


表 22. 从机 FIFO 异步读取参数<sup>[40]</sup>

参数	说明	最小值	最大值	单位
$t_{RDpwl}$	SLRD 脉冲宽度偏低	50	—	ns
$t_{RDpwh}$	SLRD 脉冲宽度偏高	50	—	ns
$t_{XFLG}$	从 SLRD 到 FLAGS 输出传输延迟	—	70	ns
$t_{XFD}$	从 SLRD 到 FIFO 数据输出传输延迟	—	15	ns
$t_{OEon}$	从 SLOE 启用到 FIFO 数据生效	—	10.5	ns
$t_{OEoff}$	从 SLOE 关闭到 FIFO 数据保持	—	10.5	ns

### 注释:

39. 短划线表示信号带有可编程极性。

40. 从机 FIFO 异步参数值在 48 MHz 时使用内部 IFCLK 设置。

## 从机 FIFO 同步写入

图 21. 从机 FIFO 同步写入时序图<sup>[41]</sup>

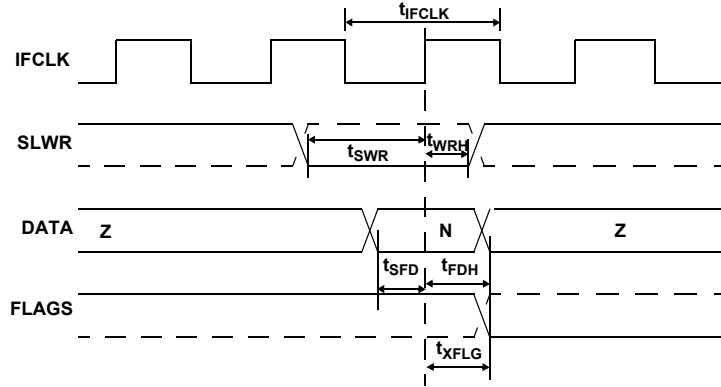


表 23. 从机 FIFO 同步写入参数（包含内部源 IFCLK）<sup>[42]</sup>

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83	—	ns
$t_{SWR}$	SLWR 至时钟设置时间	10.4	—	ns
$t_{WRH}$	从时钟到 SLWR 保持时间	0	—	ns
$t_{SFD}$	从 FIFO 数据到时钟设置时间	9.2	—	ns
$t_{FDH}$	从时钟到 FIFO 数据保持时间	0	—	ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输时间	—	9.5	ns

表 24. 从机 FIFO 同步写入参数（包含内部源 IFCLK）<sup>[42]</sup>

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83	200	ns
$t_{SWR}$	SLWR 至时钟设置时间	12.1	—	ns
$t_{WRH}$	从时钟到 SLWR 保持时间	3.6	—	ns
$t_{SFD}$	从 FIFO 数据到时钟设置时间	3.2	—	ns
$t_{FDH}$	从时钟到 FIFO 数据保持时间	4.5	—	ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输时间	—	13.5	ns

### 注释:

41. 短划线表示信号带有可编程极性。

42. 使用内部 48 MHz IFCLK 时，GPIF 异步 RDY<sub>x</sub> 最低设置时间为 50 ns。

## 从机 FIFO 异步写入

图 22. 从机 FIFO 异步写入时序图<sup>[43]</sup>

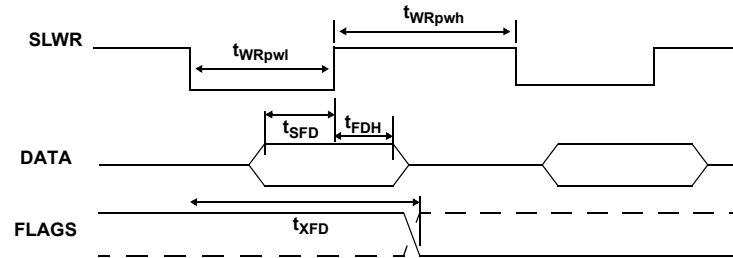


表 25. 从机 FIFO 异步写入参数（包含内部源 IFCLK）<sup>[44]</sup>

参数	说明	最小值	最大值	单位
$t_{WRpwl}$	SLWR 脉冲偏低	50	—	ns
$t_{WRpwh}$	SLWR 脉冲偏高	70	—	ns
$t_{SFD}$	从 SLWR 到 FIFO DATA 数据设置时间	10	—	ns
$t_{FDH}$	从 FIFO 数据到 SLWR 的保持时间	10	—	ns
$t_{XFD}$	从 SLWR 到 FLAGS 输出的传输时间延迟	—	70	ns

### 注释:

43. 短划线表示信号带有可编程极性。

44. 从机 FIFO 异步参数值在 48 MHz 时使用内部 IFCLK 设置。

## 从机 FIFO 同步数据包结束探针

图 23. 从机 FIFO 同步数据包结束探针时序图<sup>[45]</sup>

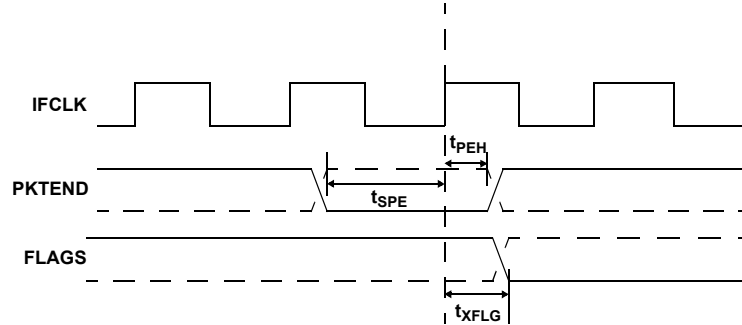


表 26. 从机 FIFO 同步数据包结束探针参数与 IFCLK 内部源<sup>[46]</sup>

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83	—	ns
$t_{SPE}$	PKTEND 至时钟设置时间	14.6	—	ns
$t_{PEH}$	从时钟到 PKTEND 的保持时间	0	—	ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输延迟	—	9.5	ns

表 27. 从机 FIFO 同步数据包结束探针参数与 IFCLK 外部源<sup>[46]</sup>

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83	200	ns
$t_{SPE}$	PKTEND 至时钟设置时间	8.6	—	ns
$t_{PEH}$	从时钟到 PKTEND 的保持时间	2.5	—	ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输延迟	—	13.5	ns

### 注释:

45. 短划线表示信号带有可编程极性。

46. 使用内部 48 MHz IFCLK 时， GPIF 异步 RDY<sub>x</sub> 最低设置时间为 50 ns。



从激活 PKTEND 引脚到激活 SLWR 的时间不满足任何特定时序要求。可以激活 PKTEND，包含时钟脉冲打入 FIFO 或 FIFO 之后的最终数据值。设置时间  $t_{SPE}$  和保持时间  $t_{PEH}$  必须满足条件。

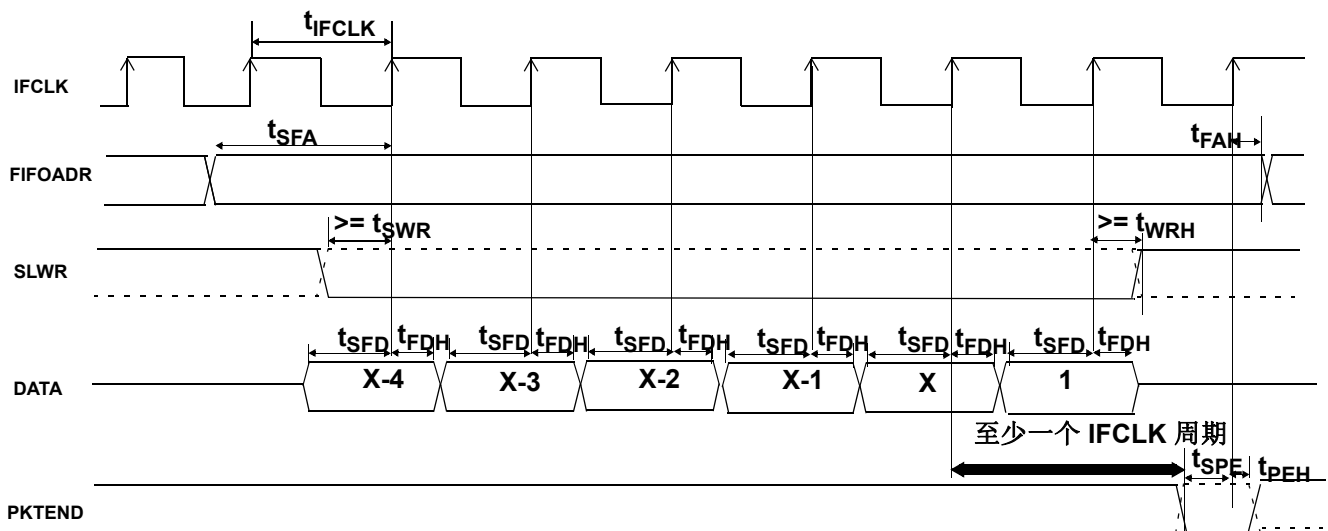
虽然激活 PKTEND 没有特定的时序要求，但是在使用 PKTEND 来提交一个字节或文字数据包时，需要注意特定边界的条件。当配置 FIFO 以实现在自动模式下运行时，需要满足额外的时序要求，即背对背发送两个数据包：完整数据包（FIFO 满足 AUTOINLEN 寄存器中设置的级别时全部定义为多字节数据包）自动提交，然后再使用 PKTEND 引脚手动提交一个字节或文字的简短数据包。若处于该场景，在上升沿将最后一个字节或文字

打入上一个自动提交数据包后，用户必须确保在一个周期内激活 PKTEND。图 24 展现了该场景。X 是 AUTOINLEN 寄存器在 IN 端点配置为自动模式时所设置的值。

图 24 展现的是在该场景下提交两个数据包的情形。当 FIFO 中的大量字节达到 X（在 AUTOINLEN 寄存器中设置的值）时，自动提交首个数据包，使用 PKTEND 手动提交第二个包含一个字节 / 文字的简短数据包。

注：在激活 PKTEND 与时钟打入上一个数据包的最后字节（导致自动提交该数据包）之间至少有一个 IFCLK 时钟时序。未遵守该时序会导致 FX2 发送一个字节或一个文字的简短数据包失败。

图 24. 从机 FIFO 同步写入序列和时序图<sup>[47]</sup>



#### 注释

47. 短划线表示信号带有可编程极性。

## 从机 FIFO 异步数据包结束探针

图 25. 从器件 FIFO 异步数据包结束探针时序图<sup>[48]</sup>

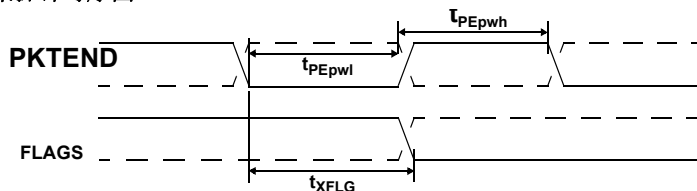


表 28. 从机 FIFO 异步数据包结束探针参数<sup>[49]</sup>

参数	说明	最小值	最大值	单位
$t_{PEpwl}$	PKTEND 脉冲宽度偏低	50	—	ns
$t_{PEpwh}$	PKTEND 脉冲宽度偏高	50	—	ns
$t_{XFLG}$	从 PKTEND 到 FLAGS 输出传输时间延迟	—	115	ns

## 从机 FIFO 输出使能

图 26. 从机 FIFO 输出使能时序图<sup>[48]</sup>

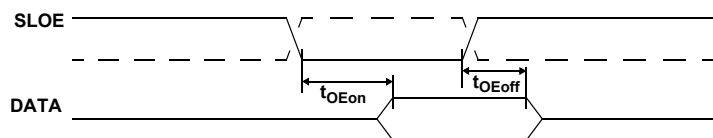


表 29. 从机 FIFO 输出使能参数

参数	说明	最小值	最大值	单位
$t_{OEon}$	激活 SLOE 至 FIFO DATA 数据输出	—	10.5	ns
$t_{OEoff}$	取消激活 SLOE 至 FIFO DATA 数据保持	—	10.5	ns

## 从机 FIFO 标志 / 数据寻址

图 27. 从机 FIFO 标志 / 数据时序图寻址<sup>[48]</sup>

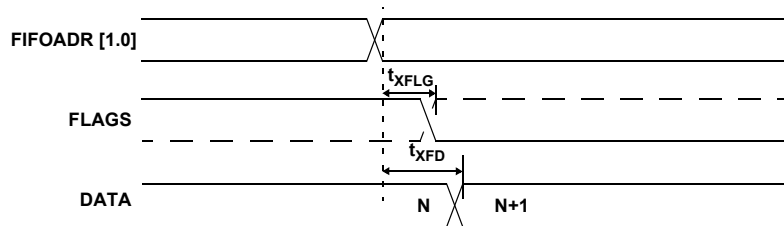


表 30. 从机 FIFO 标志 / 数据参数寻址

参数	说明	最小值	最大值	单位
$t_{XFLG}$	从 FIFOADR[1:0] 至 FLAGS 输出传输时间延迟	—	10.7	ns
$t_{XFD}$	从 FIFOADR[1:0] 至 FIFODATA 输出的传输时间延迟	—	14.3	ns

### 注释:

48. 短划线表示信号带有可编程极性。

49. 从机 FIFO 异步参数值在 48 MHz 时使用内部 IFCLK 设置。

## 从机 FIFO 异步地址

图 28. 从机 FIFO 同步寻址时序图<sup>[50]</sup>

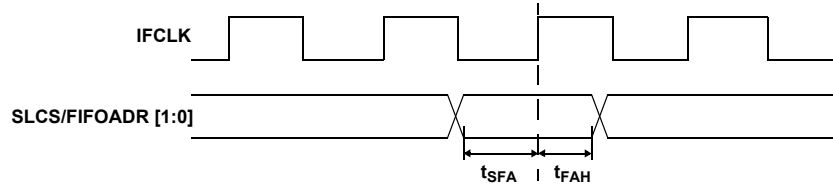


表 31. 从机 FIFO 同步寻址参数<sup>[51]</sup>

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	从 FIFOADR[1:0] 到 SLRD/SLWR/PKTEND 设置时间	20.83	200	ns
$t_{FAH}$	FIFOADR[1:0] 到时钟设置时间	25	—	ns
$t_{FAH}$	时钟到 FIFOADR[1:0] 保持时间	10	—	ns

## 从机 FIFO 异步寻址

图 29. 从机 FIFO 异步寻址时序图<sup>[50]</sup>

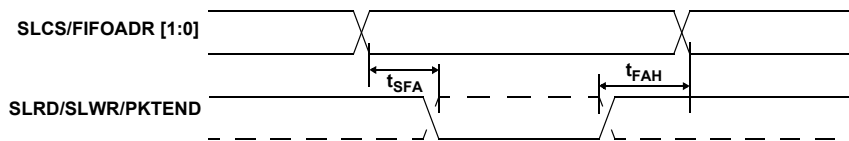


表 32. 从机 FIFO 异步寻址参数<sup>[52]</sup>

参数	说明	最小值	最大值	单位
$t_{FAH}$	FIFOADR[1:0] 到 SLRD/SLWR/PKTEND 设置时间	10	—	ns
$t_{FAH}$	RD/WR/PKTEND 到 FIFOADR[1:0] 保持时间	10	—	ns

### 注释:

50. 短划线表示信号带有可编程极性。  
 51. 使用内部 48 MHz IFCLK 时， GPIF 异步 RDY<sub>x</sub> 最低设置时间为 50 ns。  
 52. 从机 FIFO 异步参数值在 48 MHz 时使用内部 IFCLK 设置。

## 序列图

单个和突发同步读取示例

图 30. 从机 FIFO 同步读取序列图和时序图 [53]

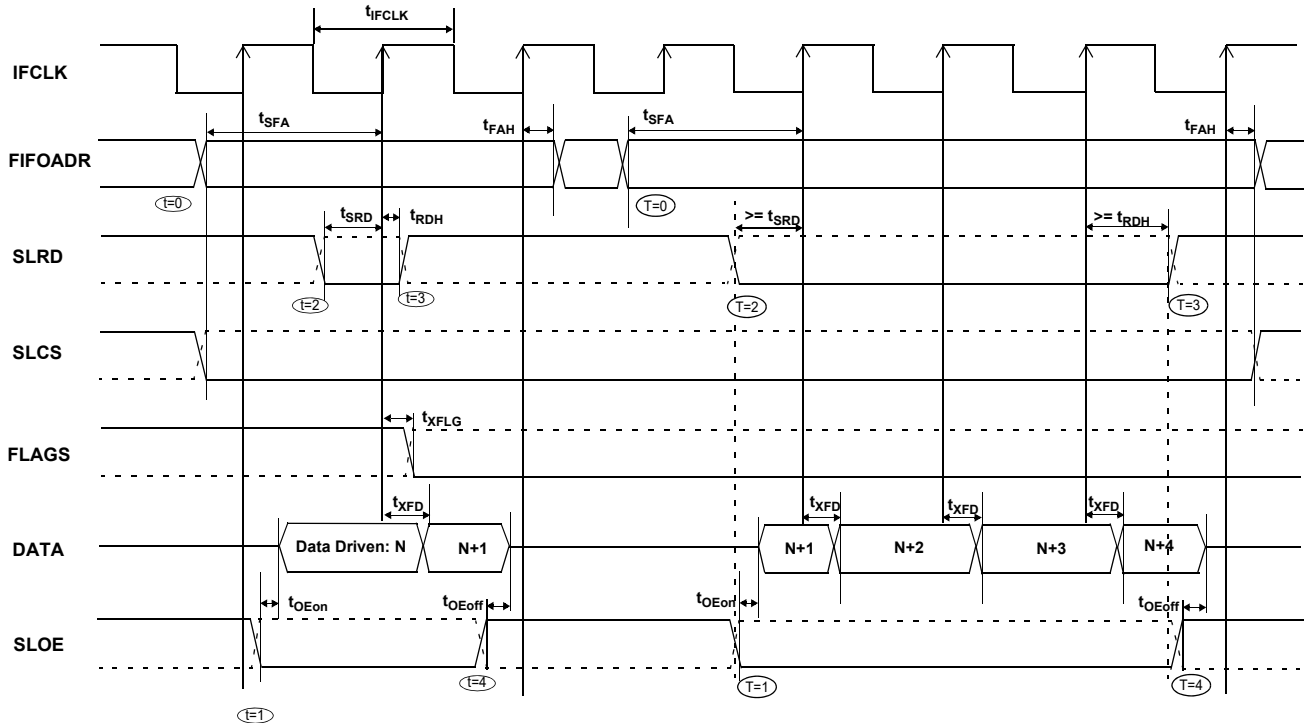


图 31. 从机 FIFO 同步事件时序图

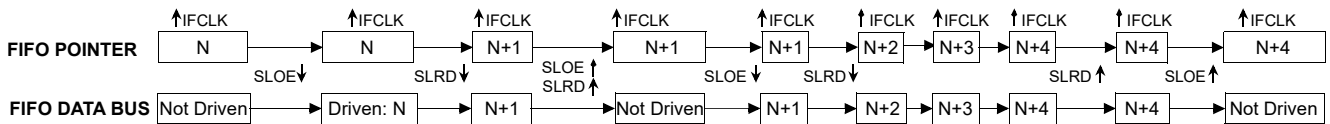


图 30 显示的是使用 IFCLK 作为同步化时钟来执行 FIFO 同步读取过程中从机 FIFO 信号之间的时序关系。该框图阐明了突发读取之前的单个读取操作。

- At  $t = 0$  时, FIFO 地址是稳定的, 信号 SLCS 已激活 (SLCS 可以连接到某些低电平应用中)。注意:  $t_{SFA}$  最低为 25 ns。这表明, 当 IFCLK 的运行频率为 48 MHz 时, FIFO 地址的建立时间将超过一个 IFCLK 时钟周期。
- At  $t = 1$  时, SLOE 激活。SLOE 仅是输入使能, 其唯一功能是驱动数据总线。总线上驱动的数据是内部 FIFO 指针当前指向的数据。在此示例中, 该数据是 FIFO 中的首个数据值。注意: 激活 SLOE 时, 数据在总线上进行驱动和预提取。
- At  $t = 2$  时, SLRD 激活。SLRD 必须满足  $t_{SRD}$  设置时间 (从激活 SLRD 信号到 IFCLK 上升沿之间的时间) 的要求, 并维持  $t_{RDH}$  最低保持时间 (从 IFCLK 沿到取消激活 SLRD 信号之间的时间)。如果使用 SLCS 信号, 则必须在激活 SLRD 前予以

激活该信号 (要同时激活 SLCS 和 SLRD 信号以启动有效读取条件)。

- FIFO 指针在 IFCLK 上升沿时得以更新, 同时 SLRD 被激活。这会启动从新寻址位置到数据总线之间的数据传输。 $t_{XFD}$  传输延迟 (从 IFCLK 的上升沿测得) 后即可显示新数据值。N 是自 FIFO 读取的首个数据值。要在 FIFO 数据总线上保留数据, 还必须同时激活 SLOE。

显示突发读取事件的相同序列, 用 T = 0 - 5 来标记该序列。

**注意** 对于突发模式而言, SLRD 和 SLOE 会留待读取的完整期间内激活。在突发模式下, 激活 SLOE 时, 由 FIFO 指针索引的数据位于数据总线上。在第一个读循环中, 更新时钟上升沿上的 FIFO 指针, 并增加 FIFO 指针, 使其指向地址 N+1。在 SLRD 信号被激活期间, 每遇到 IFCLK 的一个上升沿, FIFO 指针就会递增, 同时下一个数据值就会被送到数据总线上。

### 注释

53. 短划线表示信号带有可编程极性。

## 单个和突发的同步写入

图 32. 从机 FIFO 同步写入序列和时序图<sup>[54]</sup>

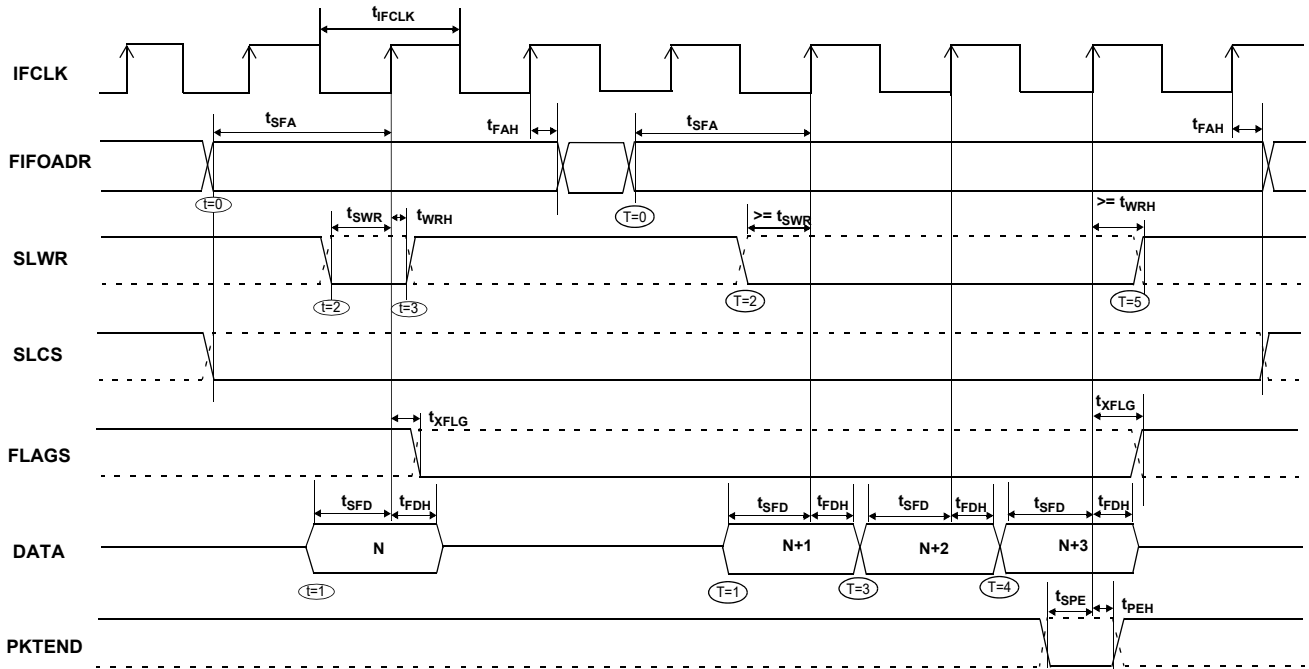


图 32 显示的是使用 IFCLK 作为同步化时钟来执行同步写入过程中从机 FIFO 信号之间的时序关系。此图说明了一个单字节写入操作，紧接着是三个字节的突发写入，并通过 PKTEND 引脚标志，将这四个字节作为一个短数据包进行提交。

- At  $t = 0$  时，FIFO 地址是稳定的，并且 SLCS 已激活，（SLCS 可能连接至某些低电平的应用中）请注意， $t_{SFA}$  最低为 25 ns。这意味着 IFCLK 以 48 MHz 运行，FIFO 地址设置时间超出一个 IFCLK 周期。
- At  $t = 1$  时，外部主控 / 外设必须在 IFCLK 升高沿之前，将数据值输出到数据总线上，最低设置时间为  $t_{SFD}$ 。
- At  $t = 2$  时，SLWR 激活。SLWR 必须满足  $t_{SWR}$  设置时间（从激活 SLWR 信号到 IFCLK 上升沿之间的时间）的要求，并维持  $t_{WRH}$  最低保持时间（从 IFCLK 边沿到取消激活 SLWR 信号之间的时间）。如果使用 SLCS 信号，则必须与 SLWR 同时激活或在激活 SLWR 前予以激活该信号（要同时激活 SLCS 和 SLWR 信号以启动有效写入条件）。
- 当 SLWR 被激活时，数据写至 FIFO 和 IFCLK 的上升沿上，FIFO 指针递增。此外，FIFO 标志也在  $t_{XFLG}$  从时钟上升沿开始延迟之后更新。

显示突发写入事件的相同序列，用时间指示符  $T = 0 - 5$  来标记该序列。

**注意** 对于突发模式，SLWR 和 SLCS 会留待写入所有所需数据值的完整期间内激活。在突发写入模式中，SLWR 被激活后，

FIFO 数据总线上的数据会写入 IFCLK 的每个上升沿的 FIFO 中。FIFO 指针在 IFCLK 的每个上升沿上更新。在图 32 中，4 个字节写入 FIFO，SLWR 被取消激活。可以通过激活 PKTEND 信号，将短的 4 字节数据包发送给主机。

在激活 PKTEND 信号时，相对于激活 SLWR 信号，没有特定的时序要求需要遵守。PKTEND 可以在最后一个数据值传输时或传输完成后被激活。唯一的要求是必须遵守设置时间  $t_{SPE}$  和保持时间  $t_{PEH}$  的规定。在图 32 所示的情况下，提交的数据量包括写入到 FIFO 中的最后一个数据值。在此示例中，在 IFCLK 上升沿是打入数据值与 PKTEND 信号的时钟脉冲。PKTEND 信号也可以在随后的几个时钟周期内被激活。FIFOADDR 线必须在 PKTEND 激活期间保持不变。

虽然激活 PKTEND 没有特定的时序要求，但是在使用 PKTEND 来提交一个字节或文字数据包时需要注意特定边界的条件。当配置 FIFO 以实现在自动模式下运行时，需要满足额外的时序要求，即要发送两个数据包：完整数据包（FIFO 满足 AUTOINLEN 寄存器中设置的级别时全部定义为多字节）自动提交，然后再使用 PKTEND 引脚手动提交一个字节或文字的简短数据包。

在此情况下，外部主控必须确保在最小时钟周期内激活 PKTEND，该周期要在触发以下条件的上升沿之后，即触发最终字节或文字的时钟脉冲打入上一个自动提交的数据包（该数据包的字节数等于 AUTOINLEN 寄存器中设置的字节数）。更多关于此时序的信息，请参阅第 52 页的图 24。

## 注释

54. 短划线表示信号带有可编程极性。

单个或突发异步读取的序列包

图 33. 从机 FIFO 异步读取序列时序图<sup>[55]</sup>

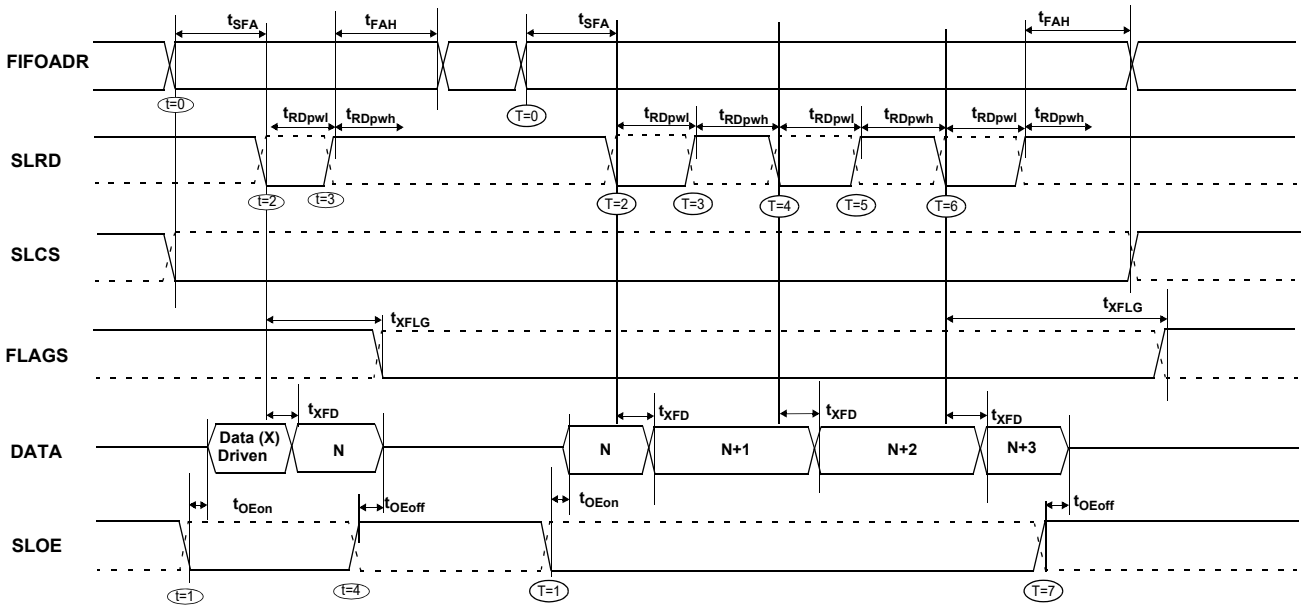


图 34. 从机 FIFO 异步读取事件序列图

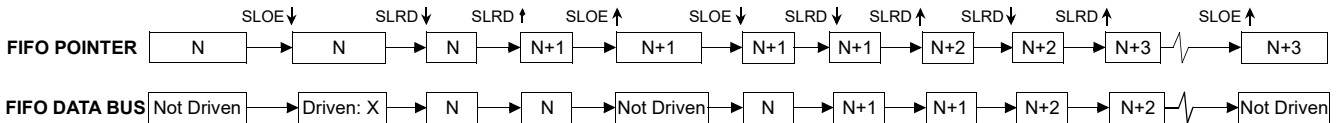


图 33 显示的是 FIFO 异步读取过程中，从机 FIFO 信号之间的时序关系。该图展现了突发读取之前的单个读取操作。

- At  $t = 0$  时，FIFO 地址稳定，且 SLCS 信号已激活。
- At  $t = 1$  时，SLOE 激活。该操作会驱动数据总线。总线上被驱动的数据是上一个数据，该数据位于上一个读循环的 FIFO 中。
- At  $t = 2$  时，SLRD 激活。SLRD 必须满足  $t_{RDpwl}$  的最低活动脉冲和  $t_{RDpwh}$  的最低去活动脉冲宽度的要求。如果使用 SLCS 信号，那么在激活 SLRD 前必须激活 SLCS（要同时激活 SLCS 和 SLRD 信号以启动有效读取条件）。

- 激活 SLRD 后被驱动的数据是源自 FIFO 的更新数据。该数据将在 SLRD 激活沿的  $t_{XFD}$  产生传输延迟后生效。在图 33 中，数据 N 是从 FIFO 读取的第一个有效数据。对于读循环（SLRD 被激活）数据总线上出现的数据而言，SLOE 必须处于激活状态。SLRD 和 SLOE 也可绑定在一起。

相同的事件序列也适用于以  $T = 0$  到 5 标记的突发读取过程。

**注意** 若处于突发读取模式下，在激活 SLOE 期间，数据总线会处于驱动状态，并输出上一个数据。SLRD 激活后，在数据总线上驱动 FIFO 的数据（SLOE 也必须被激活），然后，FIFO 指针递增。

#### 注释

55. 短划线表示信号带有可编程极性。

单个或突发异步写入的序列图

图 35. 从机 FIFO 异步写入序列时序图<sup>[56]</sup>

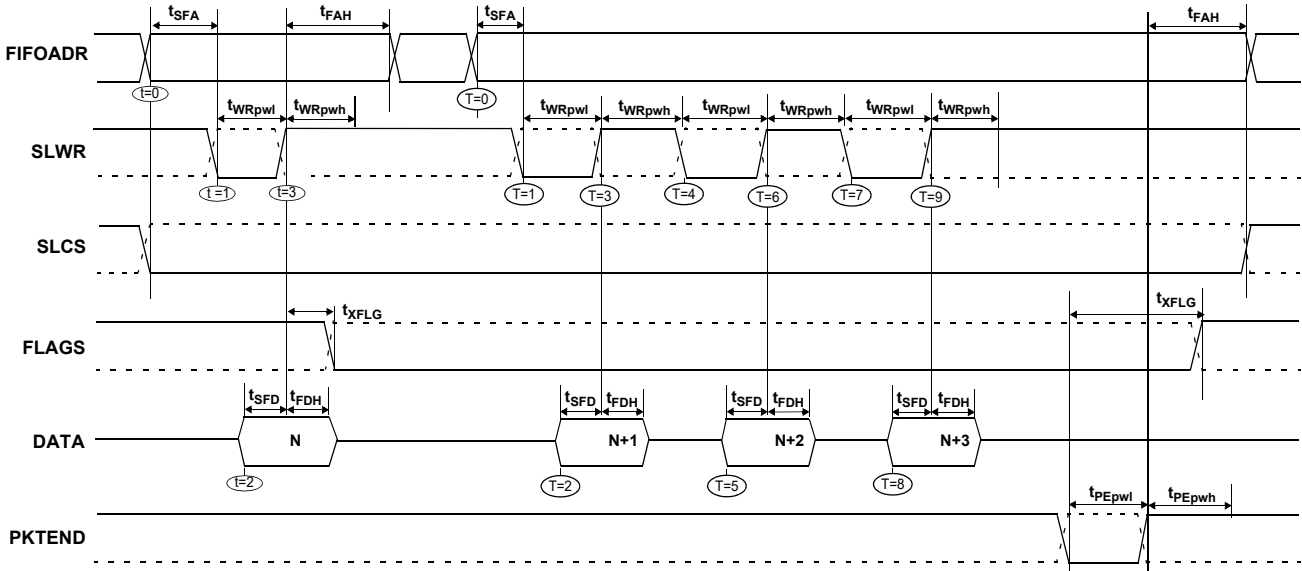


图 35 显示的是异步模式下，从机 FIFO 的写入时序关系。该图展现了单字节写入操作，随后是三字节的突发写入，并使用 PKTEND 信号提交这四字节的短数据包。

- At  $t = 0$  时，FIFO 地址被应用，以确保其满足  $t_{SFA}$  设置时间的要求。如果使用 SLCS，也要激活 SLCS（SLCS 可以连接至某些低电平的应用中）。
- At  $t = 1$  时，SLWR 被激活。SLWR 必须满足  $t_{WRpwl}$  的最低活动脉冲和  $t_{WRpwh}$  的最低去活脉冲宽度的要求。如果使用 SLCS，则必须与 SLWR 同时激活，或先于 SLWR 激活。
- At  $t = 2$  时，在取消激活 SLWR 边沿之前，数据必须显示在  $t_{SFD}$  总线上。

- At  $t = 3$  时，解除激活 SLWR 会使数据从数据总线写入 FIFO，然后 FIFO 指针递增。此外，FIFO 标志也在  $t_{XFLG}$  从 SLWR 解除激活沿开始之后更新。

突发写入过程的事件序列与之相同，并通过  $T = 0 - 5$  的时序标记进行了标示。

**注意** 在突发写入模式中，SLWR 解除激活后，该数据被写入 FIFO，然后 FIFO 指针递增到 FIFO 中的下一个字节。FIFO 指针后递增。

在图 35 中，四个字节写入 FIFO 且 SLWR 信号取消激活，在此之后可以利用 PKTEND 信号将这个 4 字节的短数据包提交给主机。设计外部器件，以便无法同时激活 SLWR 和 PKTEND 信号。该器件的设计原理应是在解除激活 SLWR 之后再行激活 PKTEND，并满足最低解除激活的脉冲宽度。FIFOADDR 线必须在 PKTEND 激活期间保持不变。

#### 注释

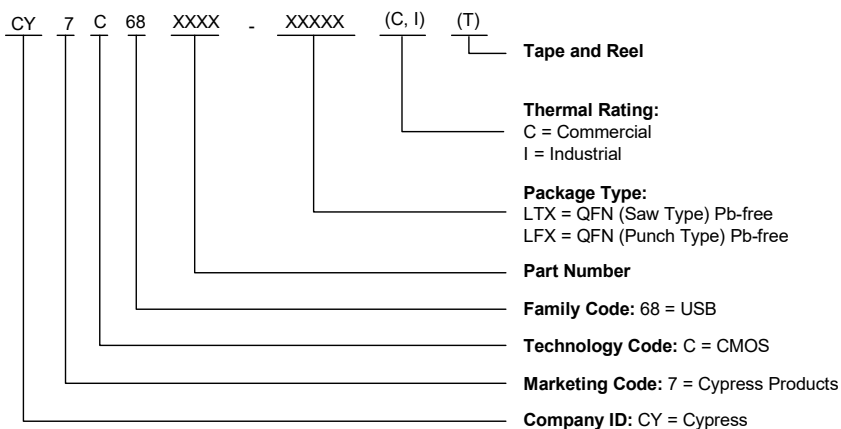
56. Dashed lines denote signals with programmable polarity.

## 订购信息

表 33. 订购信息

订购代码	封装类型	RAM 大小	可编程 I/O 编号	8051 地址 / 数据总线	串行调试 <sup>[57]</sup>
适用于电池供电应用					
CY7C68014A-128AXC	128 TQFP – 无铅	16K	40	16/8 位	Y
CY7C68014A-100AXC	100 TQFP – 无铅	16K	40	–	Y
CY7C68014A-56PVXC	56 SSOP – 无铅	16K	24	–	N
CY7C68014A-56LTXC	56 QFN – 无铅	16K	24	–	N
CY7C68016A-56LTXC	56 QFN – 无铅	16K	26	–	N
CY7C68016A-56LTXCT	56 QFN – 无铅	16K	26	–	N
适用于非电池供电应用					
CY7C68013A-128AXC	128 TQFP – 无铅	16K	40	16/8 位	Y
CY7C68013A-128AXI	128 TQFP – 无铅 (工业级)	16K	40	16/8 位	Y
CY7C68013A-100AXC	100 TQFP – 无铅	16K	40	–	Y
CY7C68013A-100AXI	100 TQFP – 无铅 (工业级)	16K	40	–	Y
CY7C68013A-56PVXC	56 SSOP – 无铅	16K	24	–	N
CY7C68013A-56PVXCT	56 SSOP – 无铅	16K	24	–	N
CY7C68013A-56PVXI	56 SSOP – 无铅 (工业级)	16K	24	–	N
CY7C68013A-56BAXC	56 VFBGA – 无铅	16K	24	–	N
CY7C68013A-56BAXCT	56 VFBGA – 无铅	16K	24	–	N
CY7C68013A-56LTXC	56 QFN – 无铅	16K	24	–	N
CY7C68013A-56LTXCT	56 QFN – 无铅	16K	24	–	N
CY7C68013A-56LTXI	56 QFN – 无铅 (工业级)	16K	24	–	N
CY7C68015A-56LTXC	56 QFN – 无铅	16K	26	–	N
开发工具包					
CY3684	EZ-USB FX2LP 开发套件				
CY3689	EZ-USB FX2LP 探索套件				

## 订购代码定义



## 注释

57. 由于 UART 不适用于 CY7C68013A 56 引脚封装, 因此使用 Keil 监测器调试的串行端口无法实现。

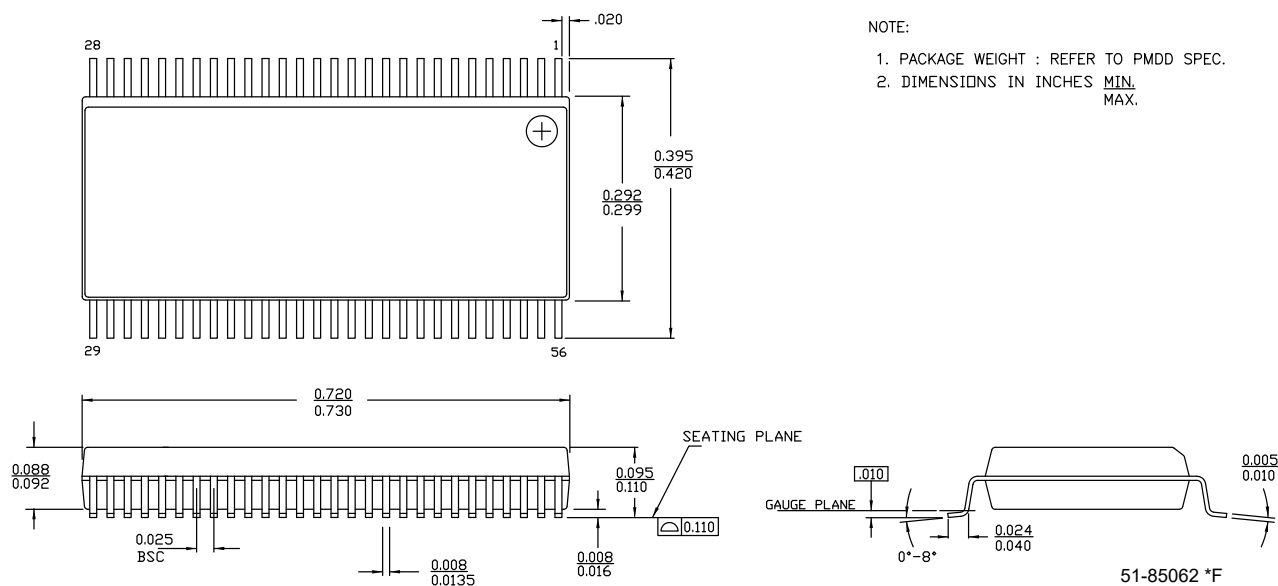


## 封装图

FX2LP 可用于 5 个封装:

- 56 引脚 SSOP
- 56 引脚 QFN
- 100 引脚 TQFP
- 128 引脚 TQFP
- 56 脚 VFBGA

图 36. 56 引脚紧缩小外形封装 O56 (51-85062)



NOTE:

1. PACKAGE WEIGHT : REFER TO PMDD SPEC.
2. DIMENSIONS IN INCHES MIN.  
MAX.

图 37. 56 引脚 QFN 8 × 8 mm Sawn 版本 (001-53450)

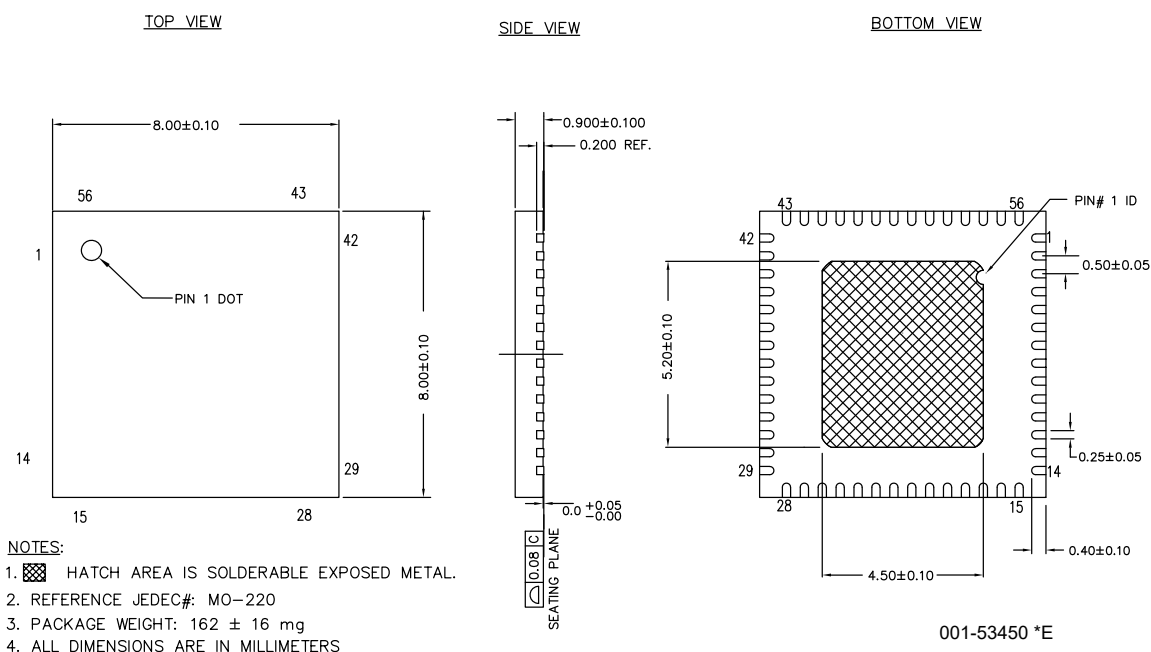
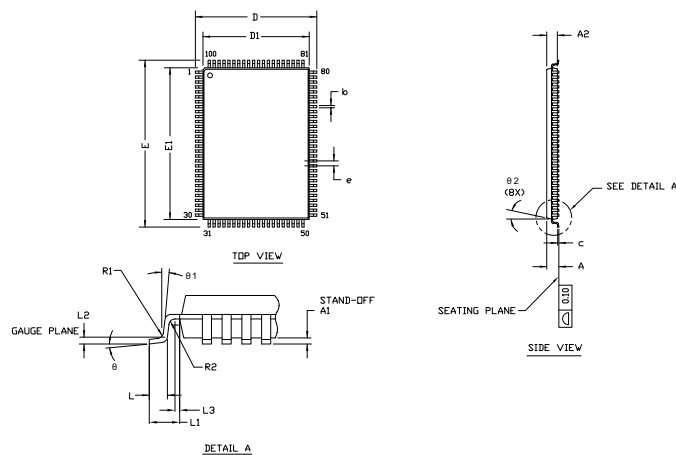


图 38. 100 引脚纤薄四方扁平塑料封装 (14 × 20 × 1.4 mm) A100RA (51-85050)



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
R1	0.08	—	0.20
R2	0.08	—	0.20
θ	0°	—	7°
θ1	0°	—	—
θ2	11°	12°	13°
e	—	—	0.20
b	0.22	0.30	0.38
L	0.45	0.60	0.75
L1	—	1.00 REF	—
L2	—	0.25 BSC	—
L3	0.20	—	—
e	—	0.65 TYP	—

图 39. 128 引脚纤薄四方扁平塑料封装 ( $14 \times 20 \times 1.4$  mm) A128 (51-85101)

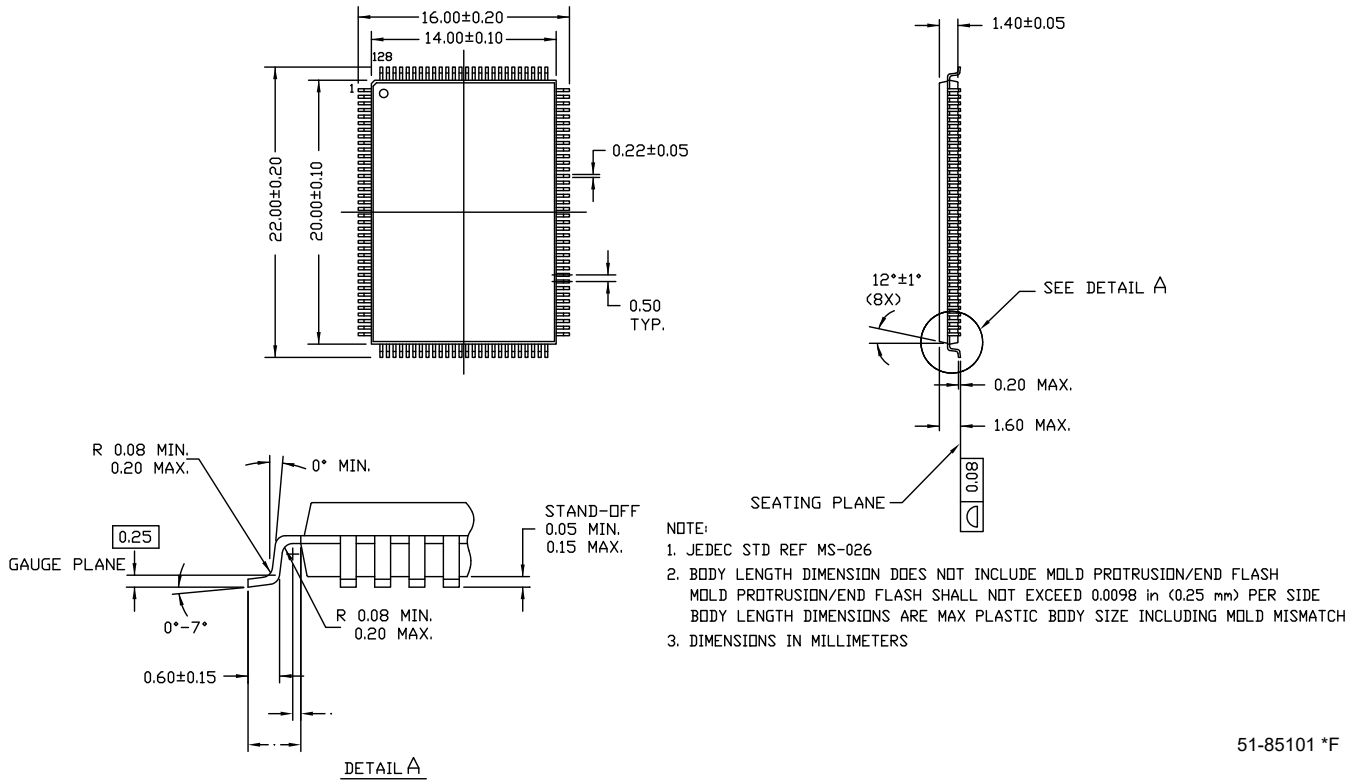
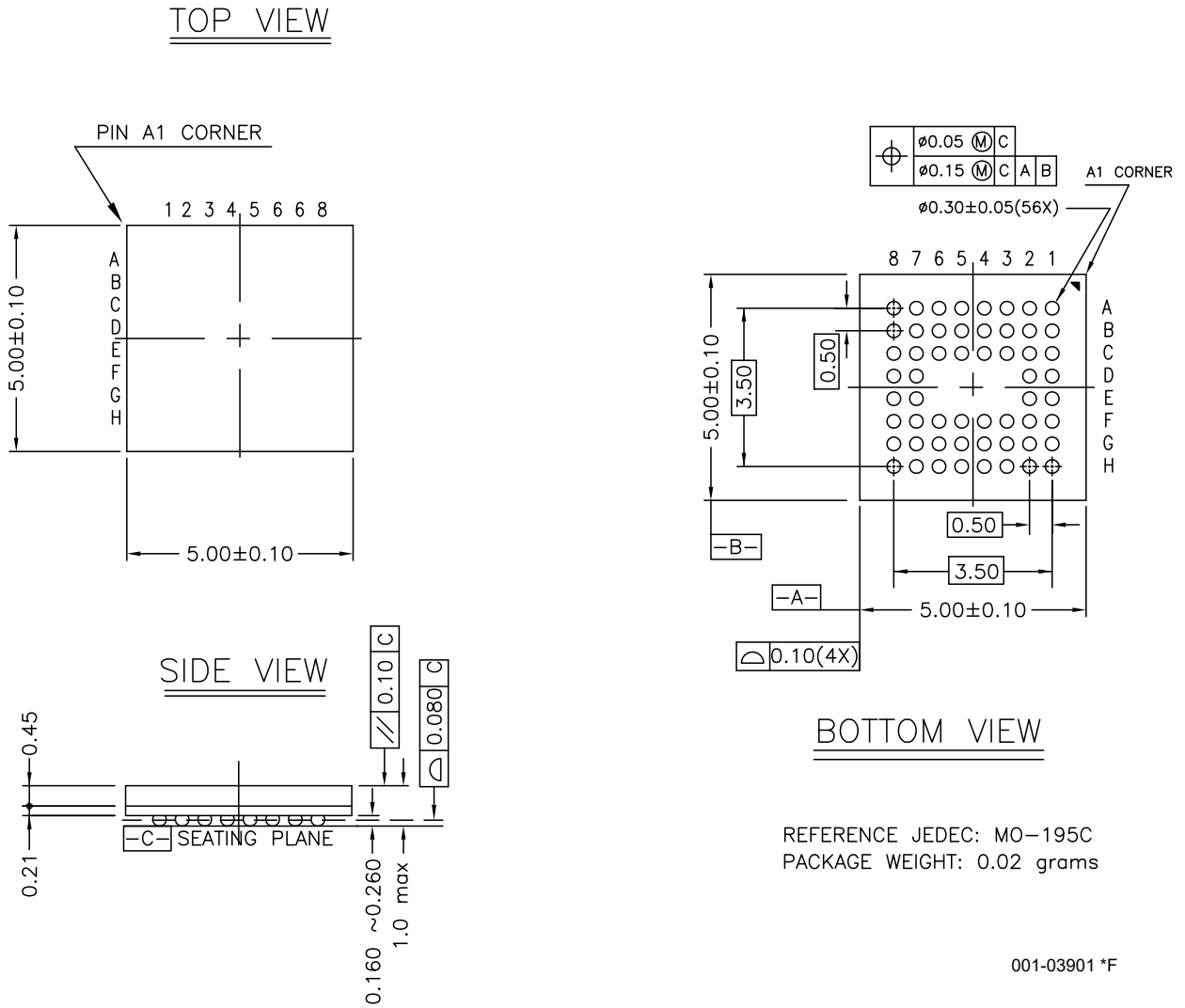


图 40. 56 引脚 VFBGA (5 × 5 × 1.0 mm) 0.50 间距, 0.30 脚 BZ56 (001-03901)



## PCB 布局建议

请遵循以下建议以确保设备可靠且高性能地运行：<sup>[58]</sup>

- 4 层阻抗控制电路板需要用来维持信号质量。
- 指定阻抗目标（询问您的电路板供应商能实现什么）。
- 为了控制阻抗，需保持信号走线的宽度和相互之间的间距不变。
- 最小化端点，以便最小化反射信号。
- USB 连接器外壳与信号接地之间的连接必须靠近 USB 连接器。
- 推荐在接近连接器处的 VBUS 上安装旁路和反馈电容。
- DPLUS 和 DMINUS 走线长度差应保持在 2 mm 以内，最适宜的长度应为 20 - 30 mm。
- 确保 DPLUS 和 DMINUS 信号线下有的坚固接地层。不允许开裂这两条走线下面的接地层。
- 请勿在 DPLUS 或 DMINUS 走线路由上放置过孔。
- DPLUS 和 DMINUS 走线要远离其他所有的信号走线，距离至少为 10 mm。

### 注释

58. 建议从以下渠道获取源数据：*EZ-USB FX2™ PCB 设计建议*，<https://www.infineon.com/cms/cn/> 和 高速 USB 平台设计指南，[http://www.usb.org/developers/docs/hs\\_usb\\_pdg\\_r1\\_0.pdf](http://www.usb.org/developers/docs/hs_usb_pdg_r1_0.pdf)。

## 四方扁平封装无引脚（QFN）封装设计说明

通过将封装下表面的引脚焊接到印刷电路板（PCB）上，可以完成 PCB 局部电气接触。因此，要特别注意封装下面的中心传输区域，以便为电路板提供良好的热量结合。在封装下面，将 PCB 中填充的铜（Cu）设计为热焊盘。在封装底侧，中心热量从 FX2LP 传输到器件的金属焊盘上。中心热量从此处传到热焊盘上的 PCB。热量通过一个  $5 \times 5$  的通孔阵列从热垫传递到 PCB 的内部接地层。过孔镀压穿透 PCB 成孔，直径为 13 mil。QFN 金属中心焊盘必须焊接到 PCB 的热焊盘上。焊接掩模置于电路板顶侧每个过孔上面，从而抵制焊接流入过孔。

要了解更多关于此类封装设计的信息，请参考 Amkor 的 MicroLeadFrame（MLF）封装的表面贴装技术应用笔记。详情请前往 Amkor 官网 <http://www.amkor.com> 查看。

该应用笔记提供了有关电路板安装指南、流焊和返工流程等的详细信息。

图 41 显示封装底部的横截面积。该横截面仅是一个过孔的横截面积。焊膏模板的设计应确保至少有 50% 的焊点区域能够被焊膏覆盖。焊膏模板的厚度应设置为 5 mil。安装元件时应使用 No Clean 类型 3 的焊膏。在回流过程中建议进行氮气吹洗。

图 42，是焊接掩模模式曲线图，图 43 显示该装配的 X 射线图（阴影部分表示焊接区）。

图 41. QFN 封装底部区域的横截面

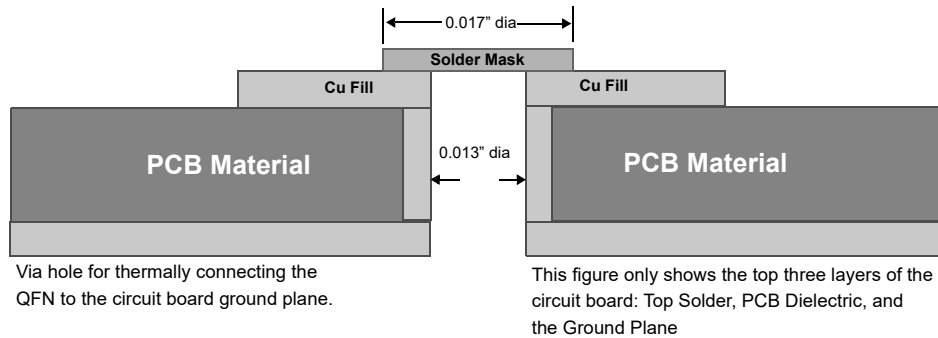


图 42. 焊接掩模曲线图（白色区域）

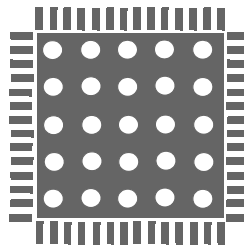
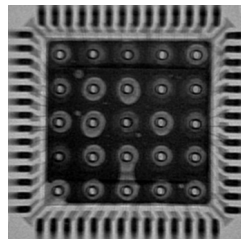


图 43. 组件的 X 射线图像



## 缩略语

表 34. 文档规范

缩略语	说明
ASIC	应用程序特定的集成电路
ATA	先进技术附件
DID	器件标识符
DSL	数据服务线路
DSP	数据信号处理器
ECC	错误更正代码
EEPROM	电可擦可编程只读存储器
EPP	增强型并行端口
FIFO	先进先出
GPIF	通用编程接口
GPIO	通用输入 / 输出
I/O	输入 / 输出
LAN	局域网
MPEG	移动图像专家组
PCMCIA	个人计算机内存卡国际联盟
PID	产品标识符
PLL	锁相环
QFN	四方扁平无引脚器件
随机访问内存	随机存取存储器
SIE	串行接口引擎
SOF	帧起始
SSOP	超小型封装
TQFP	纤薄四方扁平封装
USARTS	通用串行异步接收器 / 发射器
USB	通用串行总线
UTOPIA	通用测试和操作物理层接口
VFBGA	超细间距 BGA
VID	供应商标识符

## 文档惯例

### 测量单位

表 35. 测量单位

符号	测量单位
kHz	千赫兹
mA	毫安
Mbps	每秒兆位数
MBPs	每秒兆字节
MHz	兆赫兹
uA	微安
V	伏特



## 勘误表

本节是 EZ-USB® FX2LP™ CY7C68013A/14A/15A/16A Rev. B 版本勘误表说明。具体包括了错误触发条件，影响范围，可用的处理方法，以及芯片版本可用性。

如果您有任何疑问，请联系当地的英飞凌销售代表。

### 零件号受影响

器件型号	封装类型	工作范围
CY7C68013A	All	Commercial
CY7C68014A	All	Commercial
CY7C68015A	All	Commercial
CY7C68016A	All	Commercial

### CY7C68013A/14A/15A/16A 资质状态:

生产中

### CY7C68013A/14A/15A/16A 勘误总结:

下表界定了可以使用的 CY7C68013A/14A/15A/16A 家族器件勘误。“X”表示错误属于对应的器件。

条目	CY7C68013A/14A/15A/16A	硅片版本	修正状态
[1.] 空标志的激活	X	B	当前没有硅片修复计划，需使用替代方案。

#### 1. 空标志的激活

##### ■ 问题定义

在从器件 FIFO 异步字款模式下，如果一个单字宽数据从主 USB 向 EP2 传送，并在第一次处理中配置为 OUT 端点，会导致 Empty 标志错误。如果第一次传送数据多于一个字，该错误不会发生。

##### ■ 受影响的参数

不适用

##### ■ 触发条件

在从器件 FIFO 异步字宽模式，固件启动和初始化后，EP2 OUT 端点空标志表示状态为空。当 EP2 接收到数据，其状态将变更为“Not-Empty”。但是，如果传输到 EP2 的数据只有一个字，即使 EP2 中有数据（或数据未被处理），只要 SLRD 被激活并且 FIFOADR 指向其他任何端点，EP2 的状态就会从“Not-Empty”错误地变为“Empty”。这种情况仅在第一次处理为单字且第一次处理后未跟随多字包的状态下发生。

##### ■ 影响范围

外部接口可能无法检测到 EP2 OUT 端点中的可用数据，结果可能导致流程一直停留在等待读取数据步骤。

##### ■ 处理办法

可以采用以下几种解决方案中的一种：

- 初始化固件后、在从主机向 EP2 传输数据之前或之后，当 FIFOADR 引脚指向非 EP2 的其他端点时，向 SLWR 引脚发送一个脉冲信号。
- 将发送至 EP2 的首批数据长度设置为一个字以上。
- 当涉及多个 OUT 端点以及向 EP2 写入单个字的操作时，优先考虑从主端读取 EP2 的数据。
- 在从主端读取 EP2 以外的其他 OUT 端点之前，如果有 IN 端点存在，则应该优先从主端向这些 IN 端点写入数据。

##### ■ 修正状态

当前没有硅片修复计划，需应用提供的替代方案。

## 文档修订记录页

文档标题: CY7C68013A, CY7C68014A, CY7C68015A, CY7C68016A, EZ-USB™ FX2LP™ USB 微控制器高速 USB 外设控制器 文档编号: 001-78668			
修订版本	ECN 编号	提交日期	变更说明
**	3598306	2012-04-24	初始中文版。
*A	4753787	2015-05-04	无变更 (Sunset ECN)。
*B	6173563	2018-05-14	本文档版本号为 Rev. *B, 译自英文版 38-08032 版本 AA。
*C	7110909	2021-03-26	本文档版本号为 Rev. *C, 译自英文版 38-08032 版本 AC。
*D	8061500	2024-08-09	本文档版本号为 *D, 译自英文版 38-08032 版本 AD。 英文版 38-08032 版本 AD 更新内容如下: ■ 更新 <a href="#">更多信息</a> 的 <a href="#">EX-USB FX2LP 开发套件</a> 。 ■ 在 <a href="#">订购信息</a> 中添加“CY3689”。

关于符合通用串行总线规范的注意事项。英飞凌提供经认证符合通用串行总线规范、USB Type-C™ 电缆和连接器规范以及其他 USB 实施者论坛 (USB-IF) 规范的固件和硬件解决方案。您可以使用英飞凌或第三方软件工具 (包括示例代码) 修改英飞凌 USB 产品的固件。这种固件的修改可能导致固件 / 硬件组合不再符合相关的 USB-IF 规范。您完全负责确保您进行任何修改的合规性, 并且在使用任何 USB-IF 商标或徽标进行任意修改前必须遵循 USB-IF 的合规要求。此外, 如果英飞凌根据您的规范修改固件, 那么您有责任确保您所进行的修改符合所要求的标准或规范。英飞凌将不对您所修改的英飞凌认证产品付出责任, 并且这些已被修改的产品将不再符合相关的 USB-IF 规范。

© 英飞凌科技公司, 2020-2024 年。本文件是英飞凌科技旗下英飞凌科技公司及其关联公司 (“英飞凌”) 的财产。本文件, 包括其包含或引用的任何软件或固件 (“软件”), 根据全球范围内的知识产权法律以及美国与其他国家签署条约由英飞凌所有。除非在本款中另有明确规定, 英飞凌保留在该等法律和条约下的所有权利, 且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与英飞凌签署关于使用软件的书面协议, 英飞凌特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在英飞凌持软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件, 仅出于在英飞凌硬件产品上使用之目的且仅在贵方集团内部修改和复制软件, 和 (二) 仅限于在有关英飞凌硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供), 和 (2) 在被软件 (由英飞凌公司提供, 且未经修改) 侵犯的英飞凌专利的权利主张项下, 仅出于在英飞凌硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内, 英飞凌未对本文件或任何软件或任何伴随的硬件作出任何明示或暗示的担保, 包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此, 尽管英飞凌在其硬件和软件产品中采取了必要的安全措施, 但是英飞凌不承担由于任何安全漏洞而产生的责任, 例如未经授权的访问或使用英飞凌产品。英飞凌未陈述、保证和担保英飞凌产品或使用英飞凌产品创建的系统将免于损坏、攻击、病毒、干扰、黑客、数据丢失或失窃或其他安全入侵 (统称为 “安全漏洞”)。英飞凌对任何安全漏洞不承担任何责任, 并且贵方应特此免除英飞凌因任何安全漏洞引起的任何索赔、损失或其他责任。此外, 本材料中所介绍的英飞凌产品有可能存在设计缺陷或设计错误, 从而导致产品的性能与公布的规格不一致。英飞凌保留更改本文件的权利, 届时将不另行通知。在适用法律允许的限度内, 英飞凌不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件, 包括任何样本设计信息或程序代码信息, 仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。“高风险设备” 是指, 若其故障后可能导致人身伤害、死亡或财产损失的任何设备或系统。高风险设备的例子是武器, 核装置, 外科植入物和其他医疗设备。“关键部件” 是指, 若其发生故障后, 经合理预期会直接或间接地导致高风险设备故障或会影响高风险设备安全性和有效性的任何高风险设备部件。英飞凌不承担全部或部分, 且贵方应特此免除英飞凌因在高风险设备中使用英飞凌产品作为关键部件而引起的任何索赔、损失或其他责任。贵方应赔偿英飞凌及其董事、职员、雇员、代理方、关联公司、经销商和受让方因在高风险设备中使用英飞凌产品作为关键部件而产生的所有索赔、成本、损失和费用, 包括因产品责任、人身伤害或死亡或财产损失引起的主张, 并使之免受损失。英飞凌产品非被设定或被授权作为高风险设备中的关键部件使用, 除非限于 (i) 英飞凌公布的关于该产品的数据表明明确指出该产品适格于特定的高风险设备, 或 (ii) 英飞凌已事先书面授权贵方, 允许将该产品用作特定高风险设备中的关键部件, 并且贵方已签署单独的赔偿协议。

英飞凌、英飞凌徽标及上述项目的组合, PSoc、CapSense、EZ-USB、F-RAM、Traveo、WICED 和 ModusToolbox 为英飞凌或英飞凌的子公司在美国或在其他国家的商标或注册商标。请访问 [infineon.com](http://infineon.com) 获取英飞凌商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。