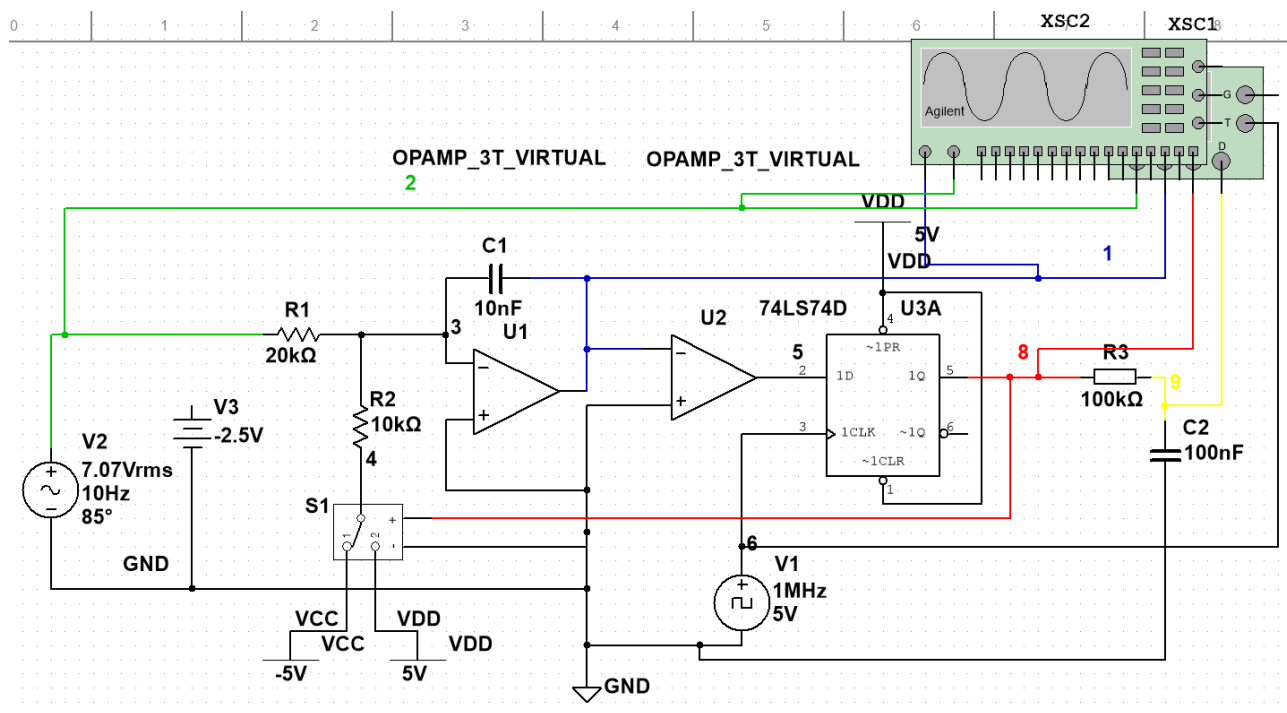


OTE Domáci úkol 9 – $\Sigma\Delta$ modulace

Vojtěch Michal

25. května 2022

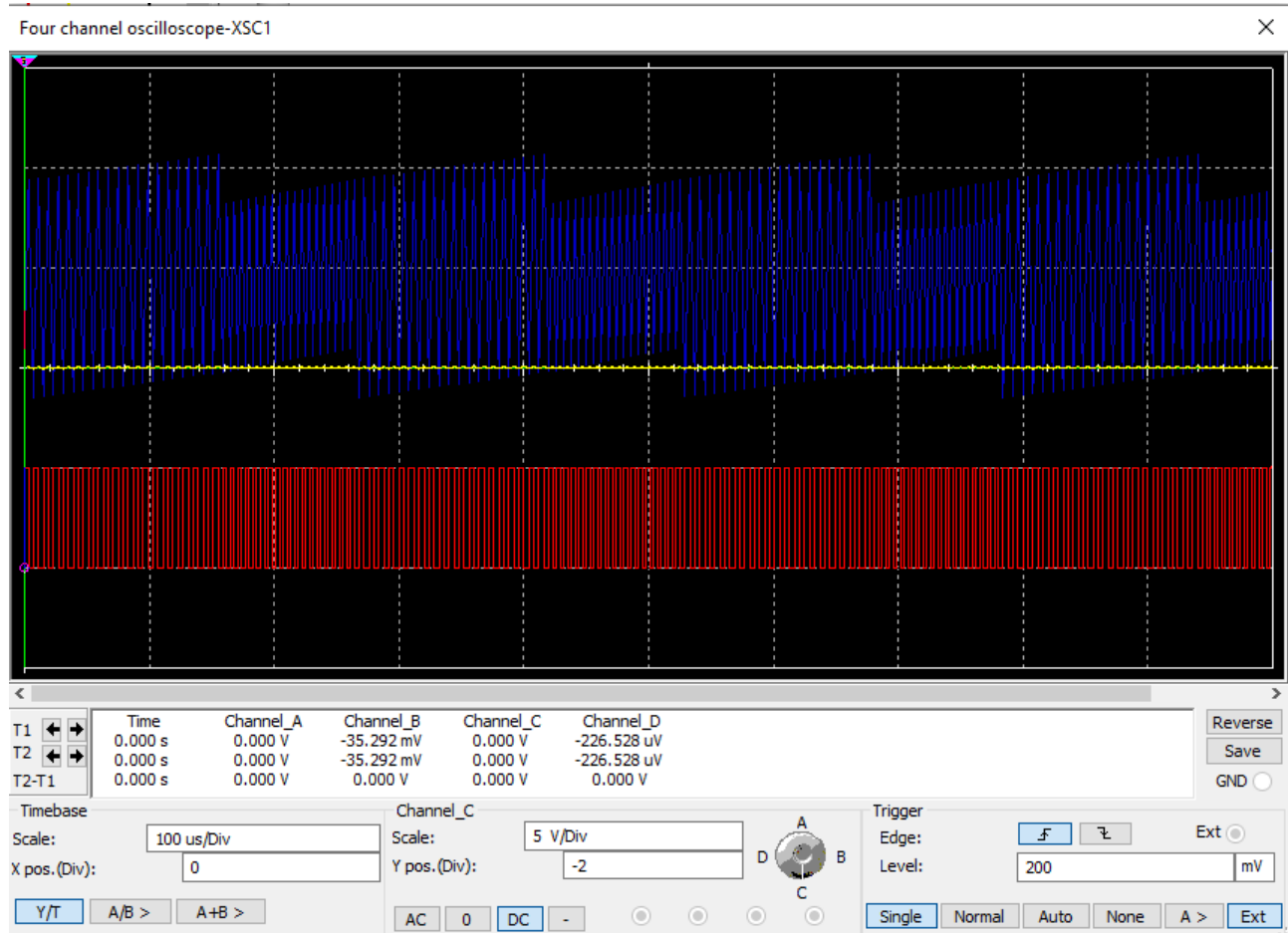
Simulační schéma $\Sigma\Delta$ modulátoru je zachyceno na obrázku 1. Jako vzorkovací signál je použit *clock voltage* o frekvenci 1 MHz.



Obrázek 1: Simulační schéma

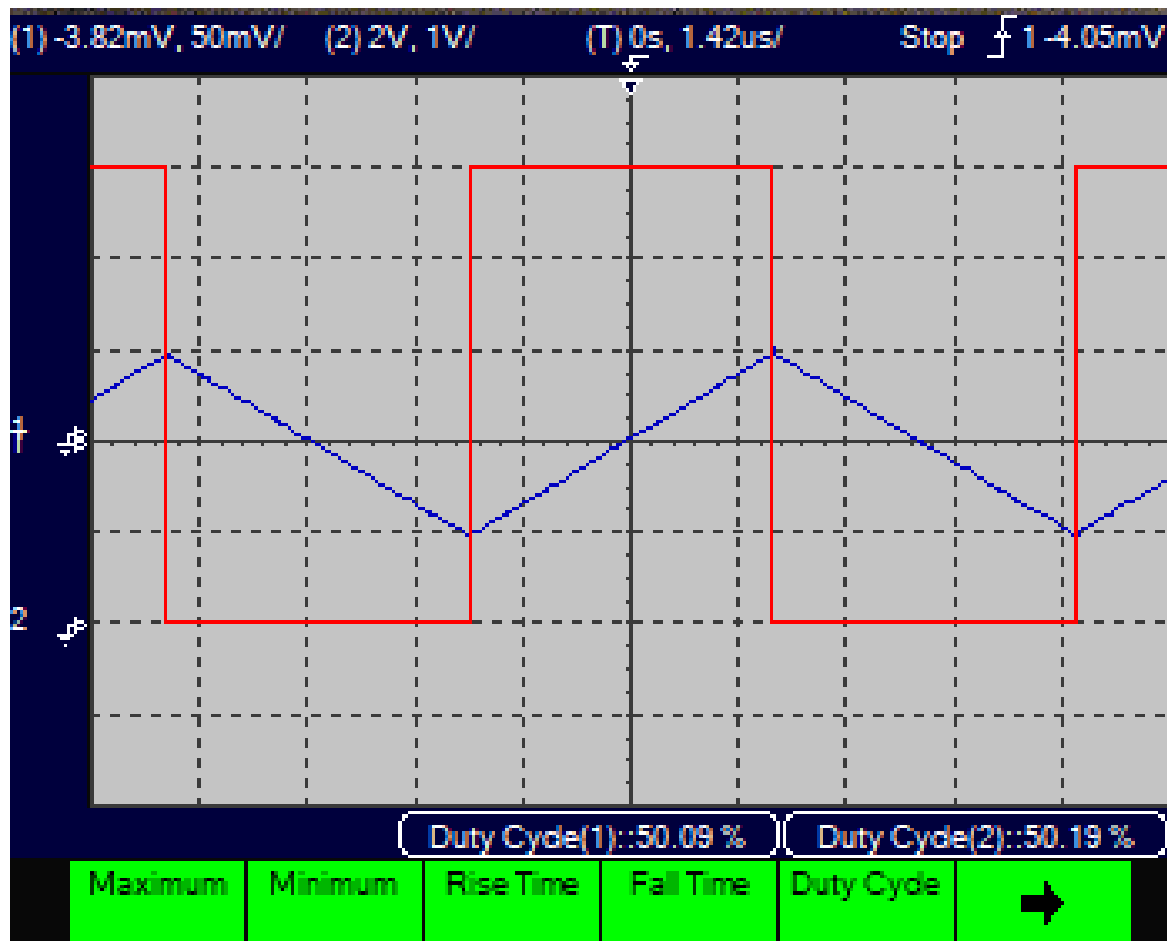
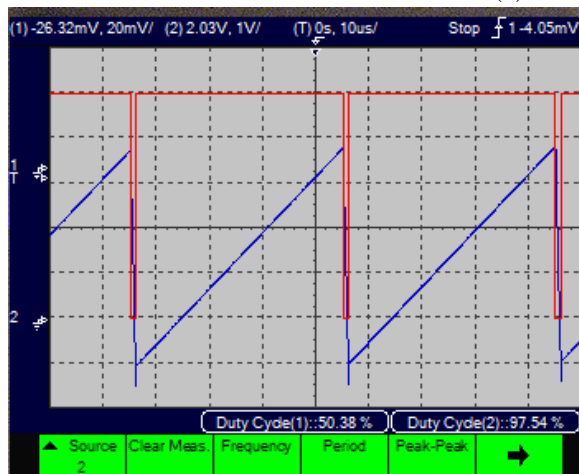
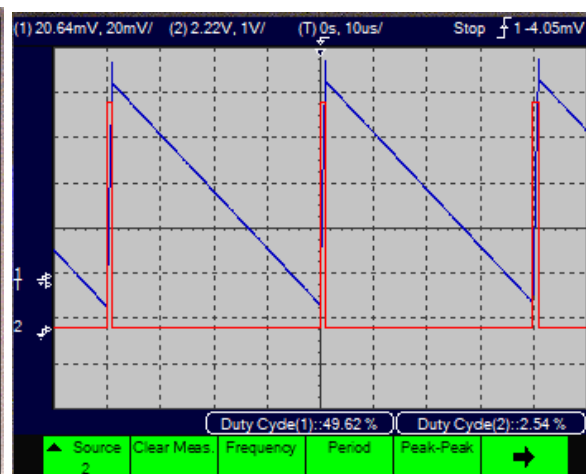
1 Ověření funkce obvodu

Po zkratování vstupů modulátoru byly zachyceny průběhy na obrázku 2. Je na nich patrná subharmonická složka na výstupu integrátoru. Ta je způsobena faktem, že přepínání spínače S je řízeno na konečné vzorkovací frekvenci. Tím pádem není střední hodnota napětí integrátoru vždy dokonale nulová, ale má tendenci driftovat od nuly. Když se naintegruje dostatečný offset, jeden modulační cyklus vrátí střední hodnotu zpět k nule.



Obrázek 2: Výstup integrátoru (modře) a klopného obvodu (červeně) při zkratovaném vstupu

Detail signálů pro různé vstupní napětí je vidět na obrázcích 3a, 3b a 3c. Střída obdélníkového signálu na výstupu klopného obvodu je dle očekávání 50 % pro zkratované vstupy, a blízko k nule či jedničce pro vstupní napětí blízko hranic rozsahu.

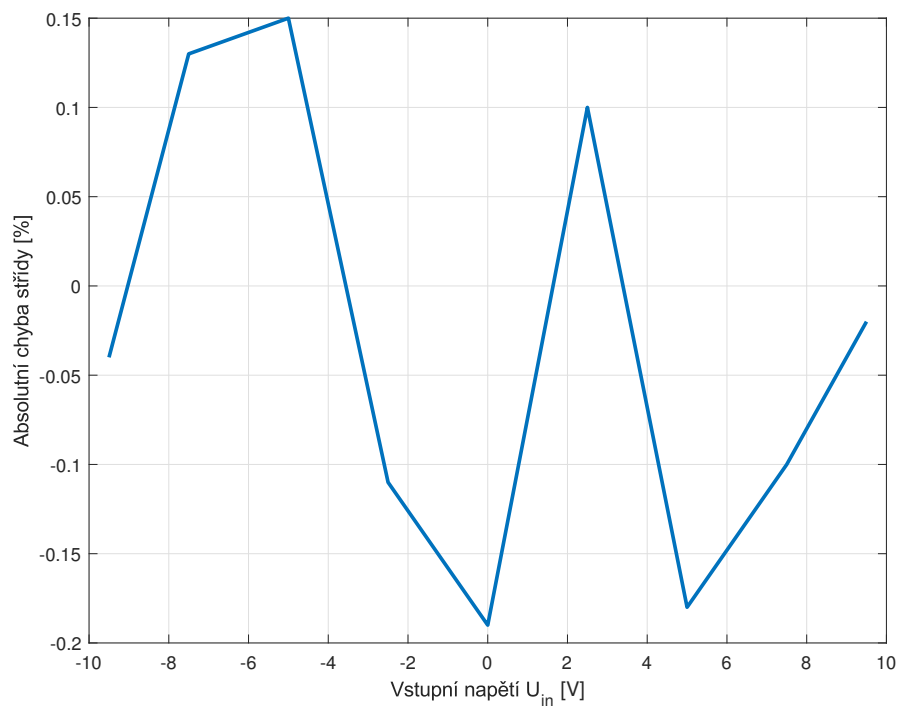
(a) Pro $U_{in} = 0V$.(b) Pro $U_{in} = 9.5V$.(c) Pro $U_{in} = -9.5V$.Obrázek 3: Detail výstupu integrátoru (modře) a klopného obvodu (červeně) pro různá vstupní napětí U_{in} .

2 Převodní charakteristika

Postupným připojením různých napětí v intervalu $[-10, 10]$ V na vstup modulátoru byla pomocí osciloskopu změřena závislost střidy výstupu klopného obvodu na velikosti vstupního napětí. Změřené hodnoty jsou uvedeny v tabulce 1. Srovnání s ideální lineární převodní charakteristikou je vykresleno na obrázku 4.

U_{in} [V]	střída výstupu klopného obvodu [%]
-9.5	2.54
-7.5	12.37
-5.0	24.85
-2.5	37.61
0.0	50.19
2.5	62.40
5.0	75.18
7.5	87.60
9.5	97.52

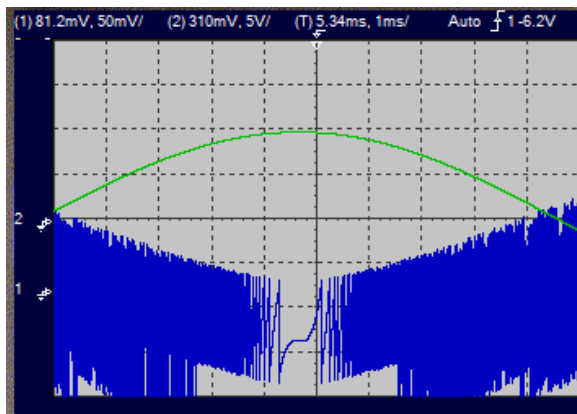
Tabulka 1: Závislost střidy výstupu $\Sigma\Delta$ modulátoru na vstupním napětí



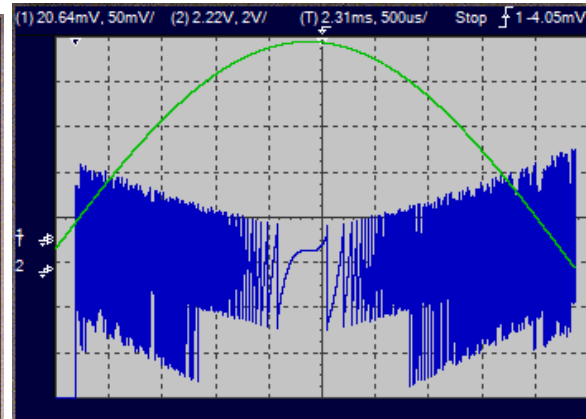
Obrázek 4: Abolutní chyba střidy $\Sigma\Delta$ modulovaného signálu v závislosti na vstupním napětí

3 Harmonické vstupní signály

Na vstup modulátoru byly přivedeny harmonické signály o frekvencích 1 Hz až 10 kHz 100 a 1000 Hz. Příslušné průběhy jsou vykresleny na obrázcích 6. Zeleně je vynesena vstupní harmonický signál, modře je výstup integrátoru. Z deformací výstupu integrátoru v době, kdy je vstupní signál v maximu, je patrné, že $\Sigma\Delta$ modulátor má problémy pracovat se vstupním napětím příliš blízkým hranicím rozsahu. Pro vstupní frekvenci 10 kHz pak jsou již vidět značné deformace kvůli klesajícímu poměru vstupní frekvence a modulační frekvence.

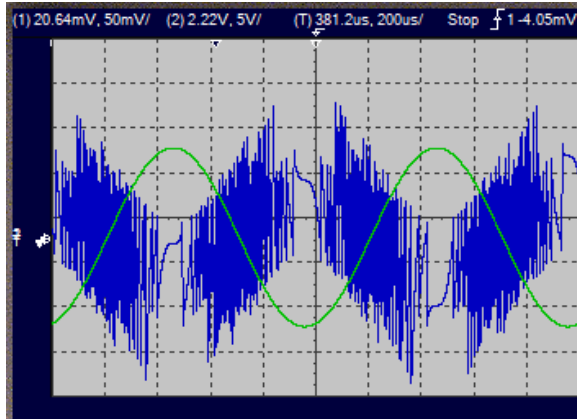


(a) Pro $f_{in} = 10$ Hz.

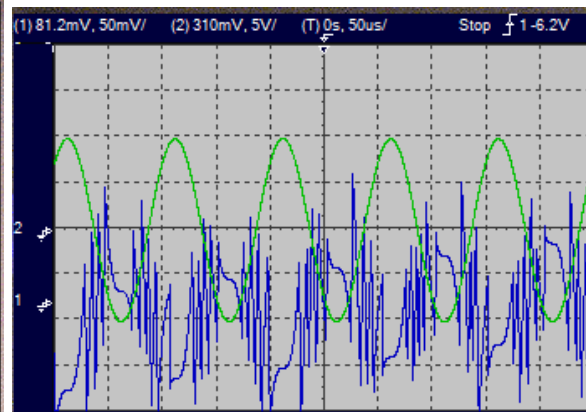


(b) Pro $f_{in} = 100$ Hz.

Obrázek 5: Výstup integrátoru (modře) v závislosti na vstupním napětí (zeleně)



(a) Pro $f_{in} = 1$ kHz.



(b) Pro $f_{in} = 10$ kHz.

Obrázek 6: Výstup integrátoru (modře) v závislosti na vstupním napětí (zeleně)