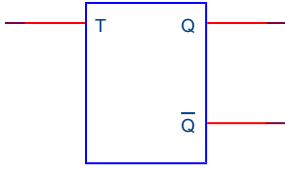


TÓM TẮT FLIP-FLOP, MẠCH ĐẾM VÀ THANH GHI

I. Tóm tắt các Flip-Flop

FF-T:



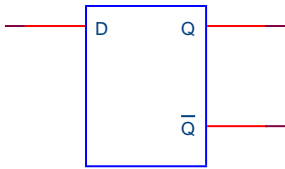
BTT FF-T:

T_n	Q_{n+1}	$Q_{n+1} = T_n \cdot \overline{Q_n} + Q_n \cdot \overline{T_n}$
0	Q_n	
1	$\overline{Q_n}$	

BKT(Bảng kích thích) FF-T:

Q_n	Q_{n+1}	T_n
0	0	0
0	1	1
1	0	1
1	1	0

T_n	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

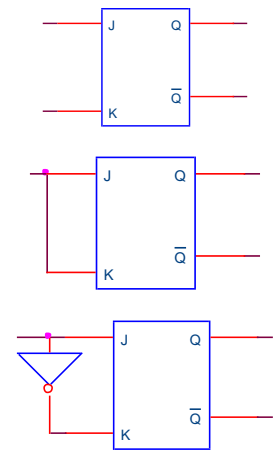


BTT FF-D:

D_n	Q_{n+1}	$Q_{n+1} = D_n$
0	0	
1	1	

BKT FF-D:

Q_n	Q_{n+1}	D_n
0	0	0
0	1	1
1	0	0
1	1	1



BTT FF-JK:

J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

$Q_{n+1} = ??$

BKT FF-JK:

Q_n	Q_{n+1}	J_n	K_n
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

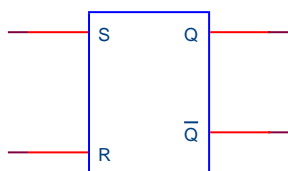
Nếu $J_n = K_n$ thì FF-JK sẽ tương đương FF-T.

Nếu $K_n = \overline{J_n}$ thì FF-JK sẽ tương đương FF-D.

J_n	K_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1

Q_n	Q_{n+1}	J_n	K_n
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

1 1 1 | 0



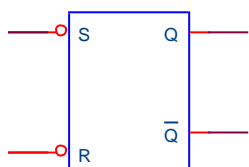
BTT FF-RS (NOR)

S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Cấm

$Q_{n+1} = ??$

BKT FF-RS:

Q_n	Q_{n+1}	S_n	R_n
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

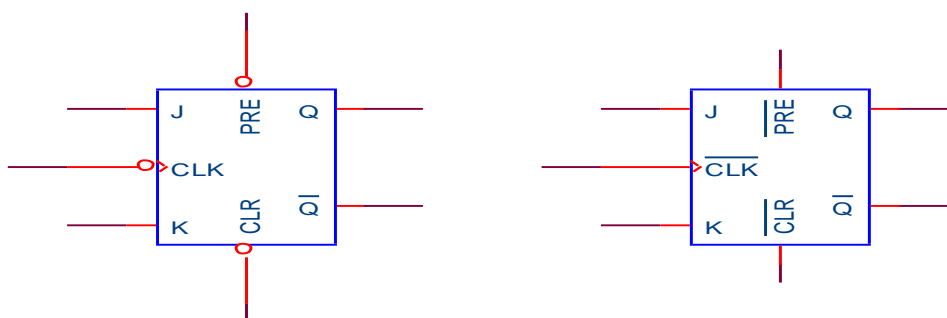


BTT FF-RS (NAND)

\overline{S}_n	\overline{R}_n	Q_{n+1}
0	0	Cấm
0	1	1
1	0	0
1	1	Q_n

$Q_{n+1} = ??$

+ Bảng trạng thái FF JK (IC 74112):



Bảng trạng thái FF JK (74112)

TT	Inputs					Outputs		Chú thích
1.	\overline{PRE}	\overline{CLR}	CK	J	K	Q_{n+1}	\overline{Q}_{n+1}	
2.	0	0	X	X	X	1	1	Trạng thái cấm
3.	0	1	X	X	X	1	0	Set Q
4.	1	0	X	X	X	0	1	Reset Q
5.	1	1	0; 1; ↑	X	X	Q_n	\overline{Q}_n	Không cho phép đổi trạng thái
6.	1	1	↓	0	0	Q_n	\overline{Q}_n	Giữ nguyên trạng thái
7.	1	1	↓	0	1	0	1	Xóa Q
8.	1	1	↓	1	0	1	0	Làm Q bằng 1
9.	1	1	↓	1	1	\overline{Q}_n	Q_n	Đảo trạng thái (Toggle)

Chú ý:

Ngõ vào điều khiển Pre, Clr có thể tích cực mức thấp (L), hoặc mức cao (H) tùy theo từng FF ; có ưu tiên cao nhất trong FF.

- Khi Pre tích cực và Clr không tích cực thì ngõ ra Q=1 (Bất chấp ngõ vào data và CK)
- Khi Clr tích cực và Pre không tích cực thì ngõ ra Q=0.
- Khi Clr và Pre không tích cực thì ngõ ra Q phụ thuộc vào ngõ CK và các ngõ vào dữ liệu.
- Clr và Pre không được điều khiển tích cực đồng thời

+ Sự tương đương giữa các FF:

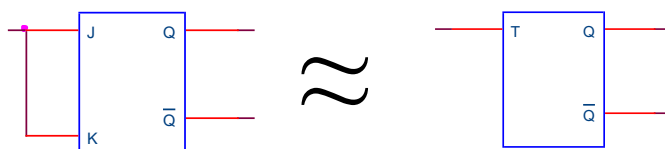
(1)	(2)	(3)	(4)	(5)	(6)
Q_n	Q_{n+1}	T_n	D_n	J_n	K_n
0	0	0	0	0	X
0	1	1	1	1	X
1	0	1	0	X	1
1	1	0	1	X	0

+ Dùng FF- JK để thiết kế thành FF-T:

Q_n	T_n	J_n	K_n
0	0	0	X
0	1	1	X
1	1	X	1
1	0	X	0

Suy ra $J_n = T_n$ và $K_n = T_n$

Nếu $J_n = K_n$ thì FF-JK sẽ tương đương FF-T.

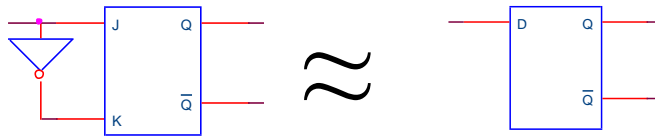


+ Dùng FF -JK để thiết kế thành FF-D:

Q_n	D_n	J_n	K_n
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Suy ra $J_n = D_n$ và $K_n = \overline{D_n}$

Nếu $J_n = D_n$ và $K_n = \overline{D_n}$ thì FF-JK sẽ tương đương FF-D.

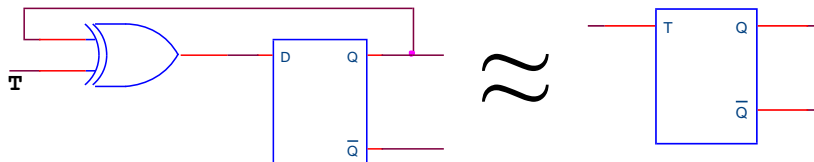


+ Dùng FF -D để thiết kế thành FF-T:

Q_n	T_n	D_n
0	0	0
0	1	1
1	1	0
1	0	1

Suy ra $D_n = Q_n \overline{T_n} + T_n \overline{Q_n} = Q_n \oplus T_n$

Nếu $D_n = Q_n \oplus T_n$ thì FF-D sẽ tương đương FF-T.

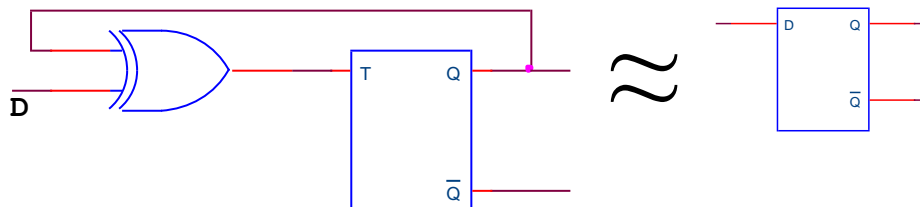


+ Dùng FF -T để thiết kế thành FF-D:

Q_n	D_n	T_n
0	0	0
0	1	1
1	0	1
1	1	0

Suy ra $T_n = Q_n \overline{D_n} + D_n \overline{Q_n} = Q_n \oplus D_n$

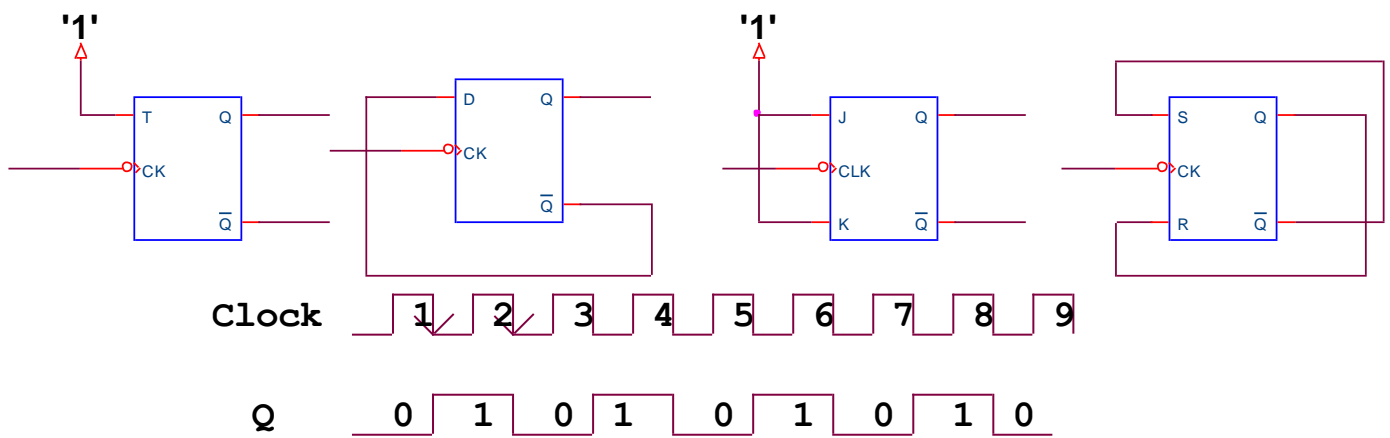
Nếu $T_n = Q_n \oplus D_n$ thì FF-T sẽ tương đương FF-D.



II. FF và ứng dụng

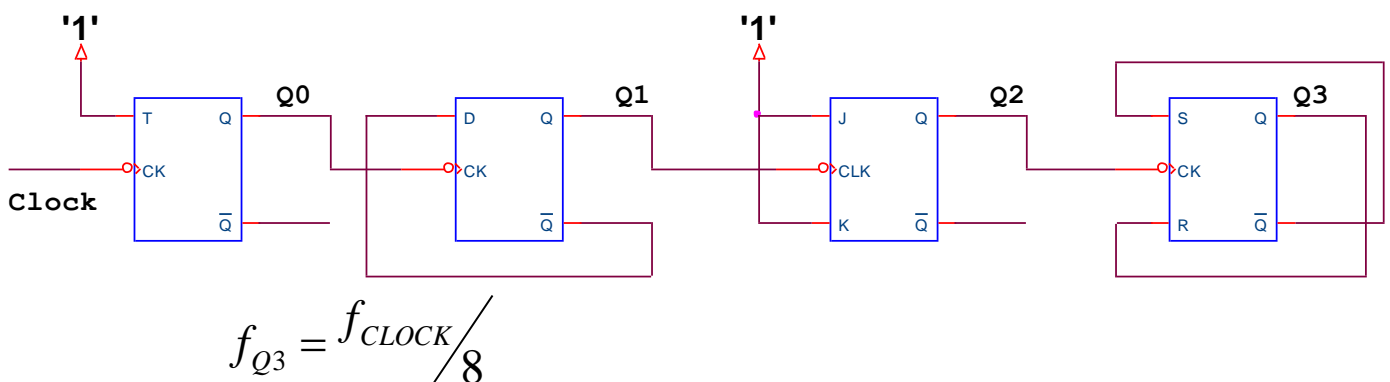
Ứng dụng:

+ Chia tần số:

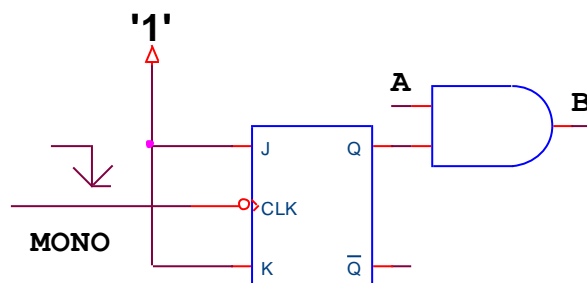


Mạch này có chức năng chia 2 tần số: $f_{CLOCK} = 2 \cdot f_Q$

Hay $f_Q = f_{CLOCK} / 2$



+ Mạch ON/OFF



Mạch này có chức năng cho phép/không cho phép xung A qua cổng AND.

- Khi ngõ ra $Q = 1$ thì cổng AND được phép cho A qua và $B = A$
- Khi ngõ ra $Q = 0$ thì cổng AND không cho phép A qua và $B = 0$
- Muốn cho phép hay không cho phép A cổng AND ta dùng xung mono (đơn ổn) để điều khiển.
- Mạch này có thể dùng để điều khiển cho phép mạch/hệ thống hoạt động/dừng hoạt động

III. Mạch đếm:

+ **Khái niệm:** Bộ đếm là một mạch tuần tự mà nó tạo ra một chuỗi các trạng thái được xác định trước khi có xung đồng hồ đưa vào.

+ **Ứng dụng:** Mạch đếm sử dụng trong các bộ định thời, mạch điều khiển, máy phát tín hiệu và một số thiết bị số khác.

+ **Phân loại:**

- Dựa vào ngõ CK của các FF: Mạch đếm không đồng bộ và mạch đếm đồng bộ.

Synchronous because all flip-flop operate from the same clock

Asynchronous because the flip-flops do not operate from the same clock. Therefore, not all FFs change at the same time

Digital systems can operate either *asynchronously* or *synchronously*.

- **Asynchronous system**—outputs can change state at any time the input(s) change.
- **Synchronous system**—output can change state only at a specific time in the clock cycle.
- **Dựa vào ngõ ra của các FF:** Mạch đếm nhị phân hoặc không phải nhị phân.
 - Mạch đếm nhị phân: Giá trị nhị phân ngõ ra tăng dần (đếm lên-up counter), giá trị nhị phân ngõ ra giảm dần (đếm xuống-down counter)
 - Mạch đếm không phải nhị phân: Mạch đếm vòng, Johnson
- Một số dạng mạch đếm nhị phân:
 - Mạch đếm lên không đồng bộ
 - Mạch đếm xuống không đồng bộ
 - Mạch đếm lên đồng bộ (Synchronous binary up/forward counter)
 - Mạch đếm xuống đồng bộ (Synchronous binary down/backward counter)

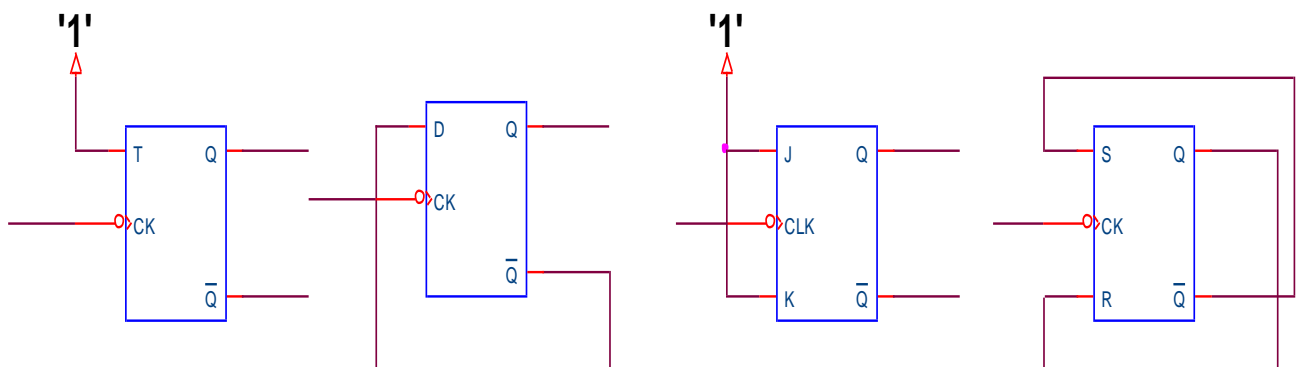
1. Mạch đếm không đồng bộ:

a. Mạch đếm bất đồng bộ Mod $M=2^n$:

+ Mod (**Modulus**) là số trạng thái của bộ đếm

Nguyên tắc nhận dạng mạch đếm không đồng bộ:

- + **Các ngõ vào dữ liệu của FF:** Để thực hiện mạch đếm không đồng bộ thì tất cả các FF phải được kết nối theo **chia 2 tần số** (mạch đếm mod 2, kiểu lật trạng thái ngõ ra khi có xung kích)
 - FF-T: $T = '1'$;
 - FF-JK: $J = K = '1'$;
 - FF-D: $D_i = \overline{Q}_i$;
 - FF-SR: $S_i = \overline{Q}_i$, $R_i = Q_i$



- + **Các ngõ vào xung kích (CK) của FF:** Vì mạch đếm không đồng bộ nên các FF trong mạch đếm **không được nối chung ngõ CK với nhau**. Các ngõ vào CK của FF với ngõ ra trọng số cao sẽ **được kích** bởi các ngõ ra Q hoặc \overline{Q} của FF với ngõ ra trọng số thấp hơn **tùy theo** mạch đếm lên hoặc đếm xuống:

- **Mạch đếm lên** (Giá trị số nhị phân $Q_{n-1}Q_{n-2}...Q_3Q_2Q_1Q_0$ tăng dần theo xung kích Clock của mạch đếm):
 - ✓ Nếu FF có **CK tác động cạnh xuống** (\downarrow) thì lấy ngõ ra của FF thứ i (Q_i) kết nối với ngõ clock của FF thứ i+1 (CK_{i+1}).
 $Q_i = CK_{i+1}$
 - ✓ Nếu FF có **CK tác động cạnh lên** (\uparrow) thì lấy ngõ ra đảo của FF thứ i (\overline{Q}_i) kết nối với ngõ clock của FF thứ i+1 (CK_{i+1}).

$$\overline{Q}_i = CK_{i+1}$$

- **Mạch đếm xuống** (Giá trị số nhị phân $Q_{n-1}Q_{n-2}...Q_3Q_2Q_1Q_0$ giảm dần theo xung kích Clock của mạch đếm):

✓ Nếu FF có CK tác động cạnh xuống (\downarrow) thì lấy ngõ ra đảo của FF thứ i (\overline{Q}_i) kết nối với ngõ clock của FF thứ i+1 (CK_{i+1}).

$$\overline{Q}_i = CK_{i+1}$$

✓ Nếu FF có CK tác động cạnh lên (\uparrow) thì lấy ngõ ra của FF thứ i (Q_i) kết nối với ngõ clock của FF thứ i+1 (CK_{i+1}).

$$Q_i = CK_{i+1}$$

- Xung Clock đưa vào FF đầu tiên (Ngõ ra trọng số thấp nhất-LSB)

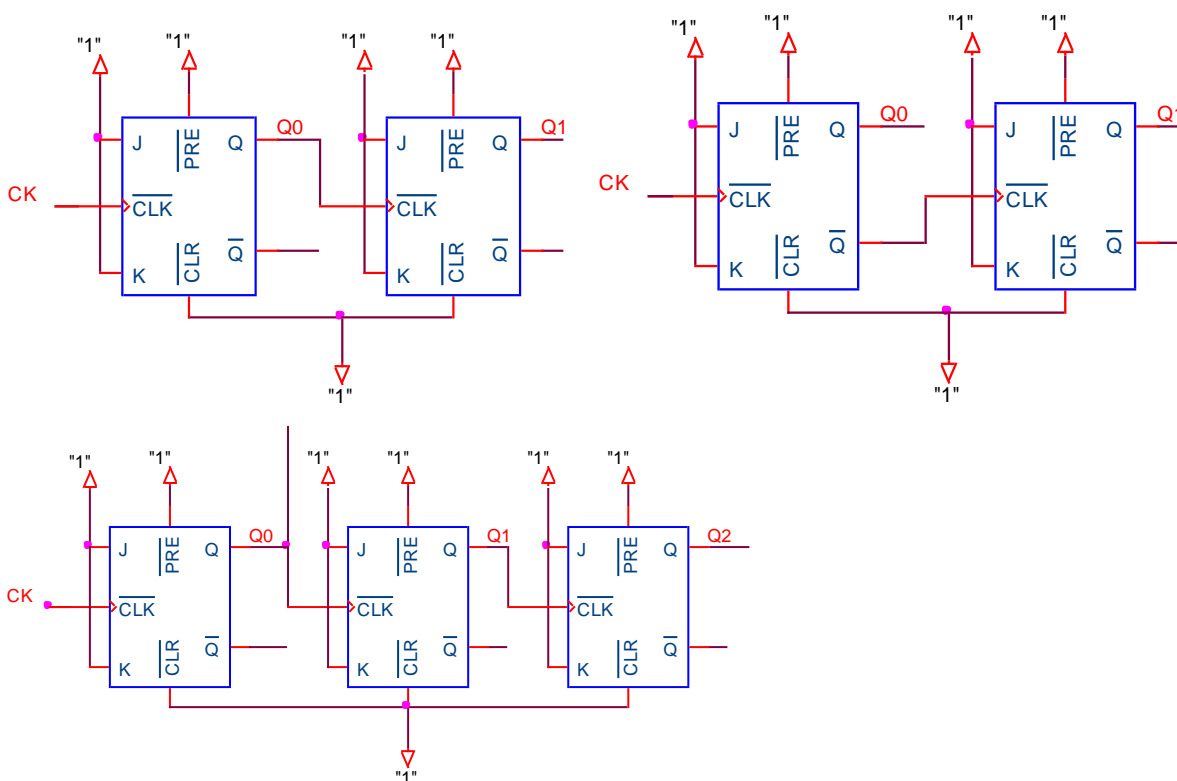
$$Clock = CK = CK_0$$

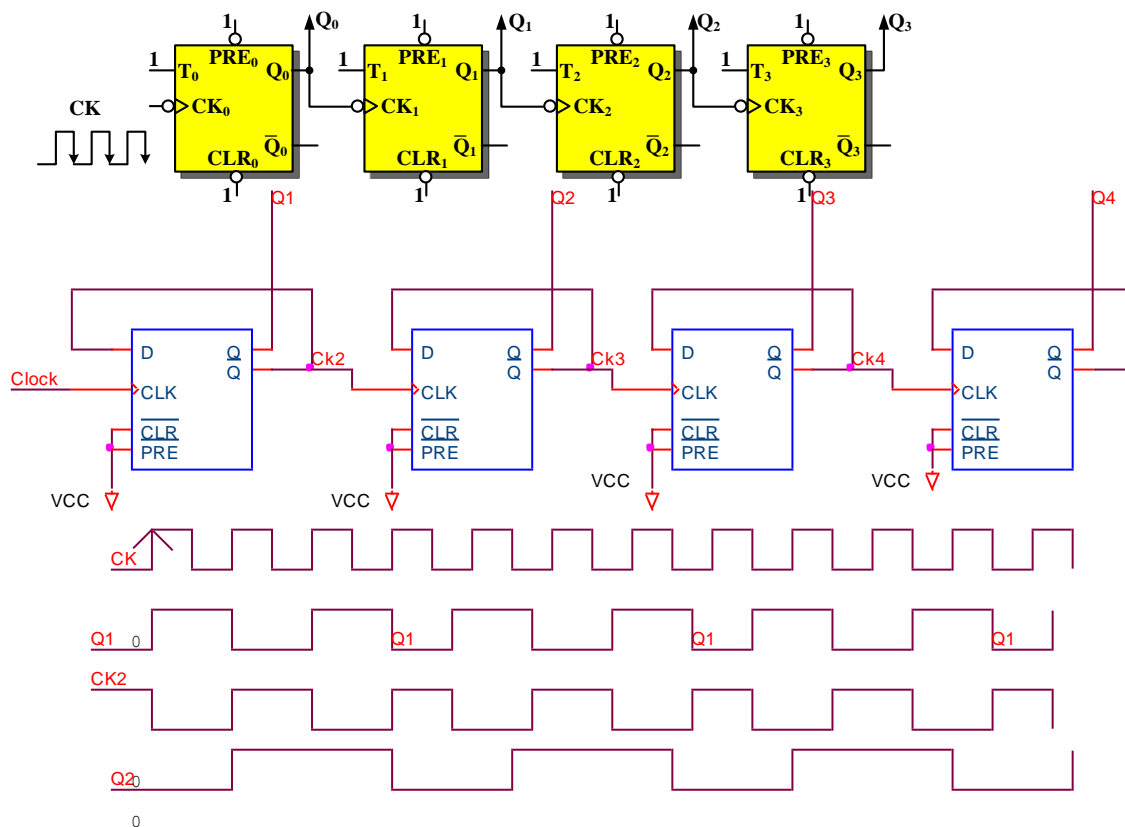
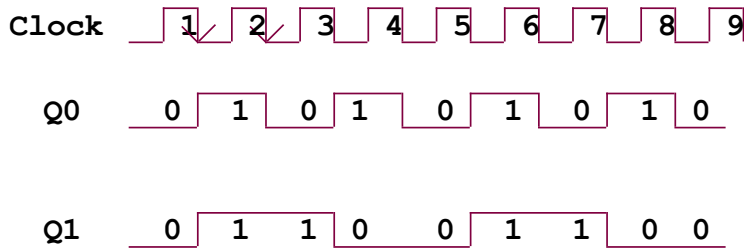
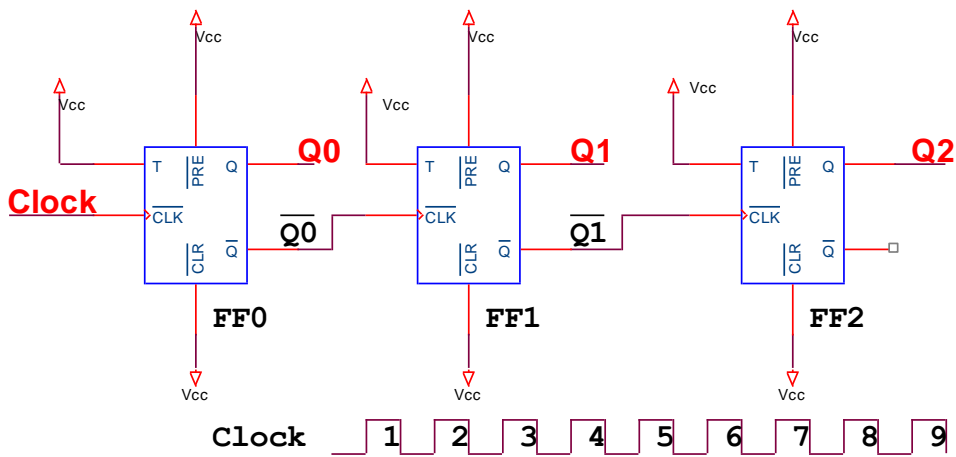
+ **Các ngõ vào Pre, Clear (không đồng bộ) của FF:** Các ngõ **Pre, Clear** không sử dụng thì kết nối vào mức không tích cực.

Ví dụ: ngõ \overline{PRE}_2 của FF2 **tích cực mức thấp**, PRE_1 của FF1 **tích cực mức cao** không sử dụng để điều khiển ngõ ra Q_2 của FF2 và Q_1 của FF1 thì ta kết nối \overline{PRE}_2 vào mức cao ("1", V_{CC} , V_{DD}) và PRE_1 vào mức thấp ("0", GND).

+ Mod (**Modulus**) là số trạng thái của bộ đếm: $M=2^n$; n là số FF;

➤ **Khảo sát: Vẽ dạng sóng ngõ ra của các mạch sau. Giả sử có 8 chu kỳ xung clock và ban đầu các ngõ ra của FF ở mức thấp**





Các bước thiết kế chung mạch đếm không đồng bộ:

- **Bước 1: Xác định số FF**
Mod $M=2^n$, n là số FF. Vd: Mod $16=2^4$, $n=4$
(Biểu diễn các FF theo yêu cầu cho trước)
- **Bước 2: Kết nối ngõ vào các FF**
Mỗi FF phải kết nối theo dạng chia 2 tần số (Ngõ ra bị lật trạng thái khi gặp xung kích); FF-T: $T=1$, Tương tự: $J=K=1$, $D_i=\overline{Q_i}$, $S=\overline{Q_i}$, $R=Q_i$.
- **Bước 3: Kết nối ngõ vào CK của các FF**
Nguồn xung kích Clock được đưa vào FF đầu tiên.

Mạch đếm lên (Trạng thái nhị phân tăng dần):

+ Trường hợp CK tác động **cạnh xuống** (\downarrow): $Q_i = CK_{i+1}$

Vd: $Q_1 = CK_2, Q_2 = CK_3, Q_3 = CK_4$

+ Trường hợp CK tác động **cạnh lên** (\uparrow): $\overline{Q}_i = CK_{i+1}$

Mạch đếm xuống (Trạng thái nhị phân giảm dần):

+ Trường hợp CK tác động **cạnh xuống** (\downarrow): $\overline{Q}_i = CK_{i+1}$

+ Trường hợp CK tác động **cạnh lên** (\uparrow): $Q_i = CK_{i+1}$

- **Bước 4: Kết nối ngõ điều khiển Pre, Clr của các FF**

Các ngõ Pre, Clr được kết nối vào mức logic không tích cực. (không sử dụng)

- **Bước 5: Lập bảng trạng thái của mạch đếm hoặc vẽ giản đồ xung ngõ ra các FF theo xung Clock.**

Ngõ ra của FF cuối cùng có trọng số cao nhất (MSB), ngõ ra của FF đầu tiên có trọng số thấp nhất (LSB).

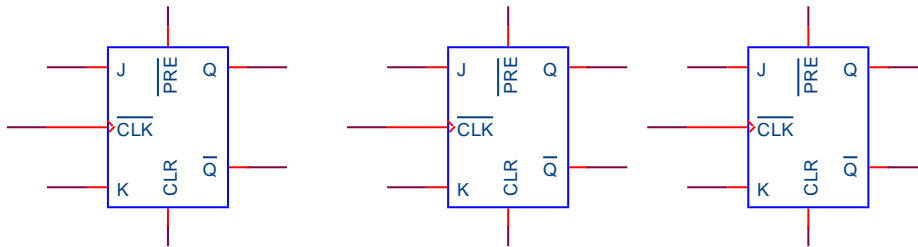
Ví dụ: Thiết kế mạch đếm lên bất đồng bộ mod 8 dùng flip-flop JK (CK tác động cạnh xuống; preset tích cực mức thấp và clear tích cực mức cao).

Ví dụ: Thực hiện mạch **đếm lên bất đồng bộ mod 8 dùng flip-flop JK** (CK tác động cạnh xuống; preset tích cực mức thấp và clear tích cực mức cao). Vẽ sơ đồ mạch, vẽ dạng sóng ngõ ra theo 9 chu kì xung Clock.

- **Bước 1: Xác định số FF**

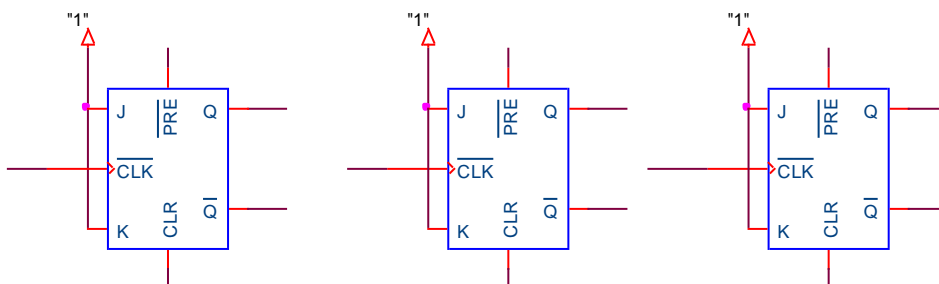
Mod $M=2^n=8=2^3$ nên $n=3$

(Biểu diễn các FF theo yêu cầu cho trước)



- **Bước 2: Kết nối ngõ vào các FF**

Mỗi FF phải kết nối theo dạng chia 2 tần số (Ngõ ra bị lật trạng thái khi gặp xung kích); FF-JK: $J=K='1'$

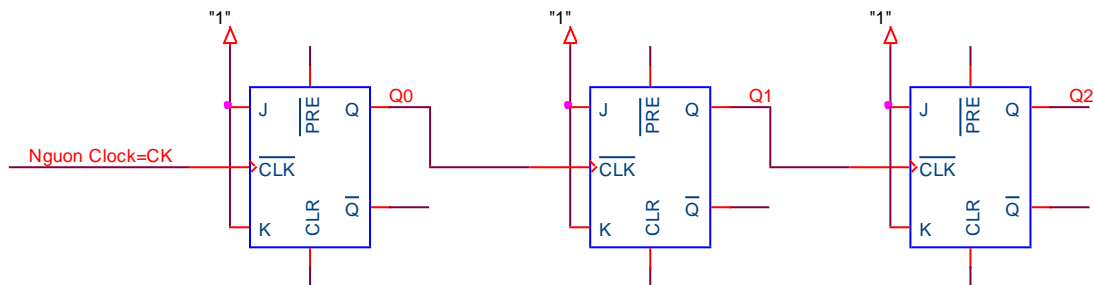


- **Bước 3: Kết nối ngõ vào CK của các FF**

Nguồn xung kích Clock được đưa vào FF đầu tiên: $CK_0 = \text{Clock} = CK$

Mạch đếm lên (Trạng thái nhị phân tăng dần):

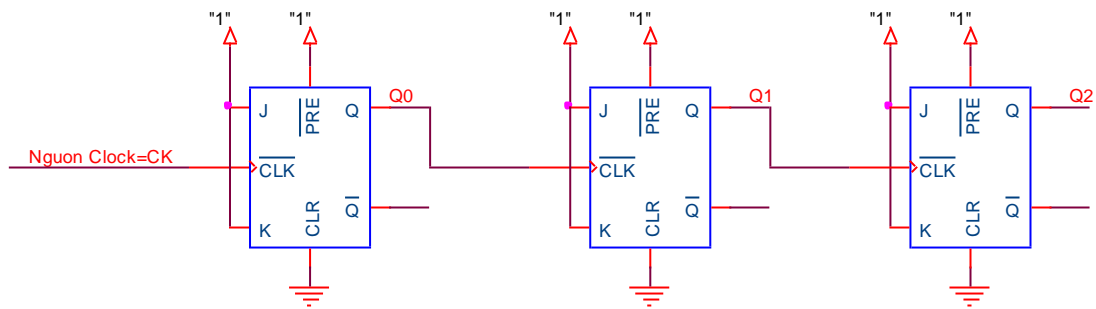
+ Vì CK tác động **cạnh xuống** (\downarrow) nên muốn đếm lên thì $Q_i = CK_{i+1} \rightarrow Q_0 = CK_1, Q_1 = CK_2,$



- **Bước 4: Kết nối ngõ điều khiển Pre, Clr của các FF**

Các ngõ Pre, Clr được kết nối vào mức logic không tích cực. (không sử dụng)

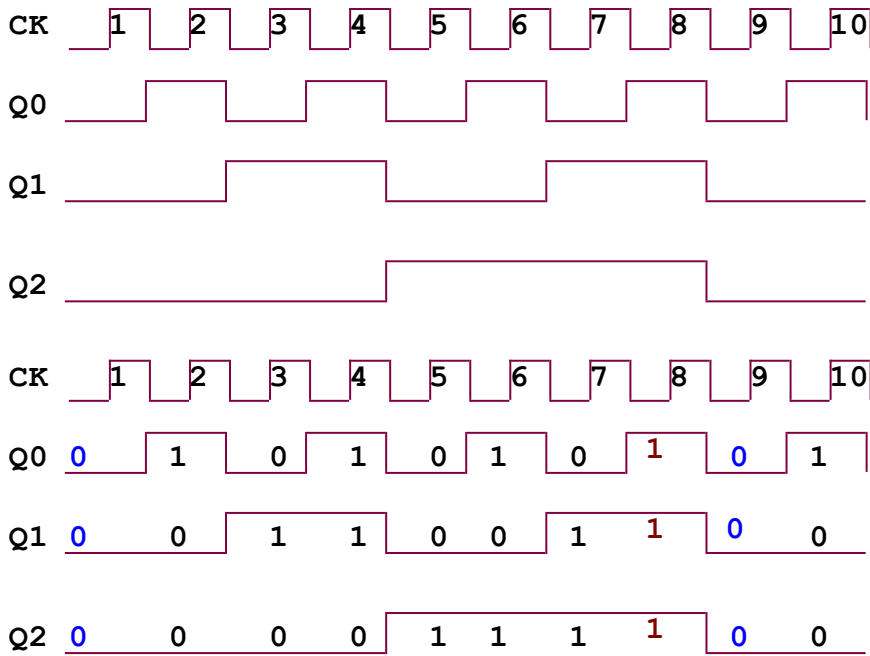
Vì preset tích cực mức thấp và clear tích cực mức cao nên khi không sử dụng ngõ preset và clear, ngõ preset và clear được kết nối như sau $\text{Pre}_0 = \text{Pre}_1 = \text{Pre}_2 = '1' = \text{Vcc}$ và $\text{Clr}_0 = \text{Clr}_1 = \text{Clr}_2 = '0' = \text{GND}$



- **Bước 5: Lập bảng trạng thái của mạch đếm hoặc vẽ giản đồ xung ngõ ra các FF theo xung Clock.**

Ngõ ra của FF cuối cùng Q_2 có trọng số cao nhất (MSB), ngõ ra của FF đầu tiên Q_1 có trọng số thấp nhất (LSB).

+ Bảng trạng thái mạch đếm mod 8				
Thứ tự xung kích CLK	Q_2	Q_1	Q_0	
0 (trạng thái ban đầu)	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	
8	0	0	0	
9	0	0	1	



III. Mạch đếm:

1. Mạch đếm bất đồng bộ

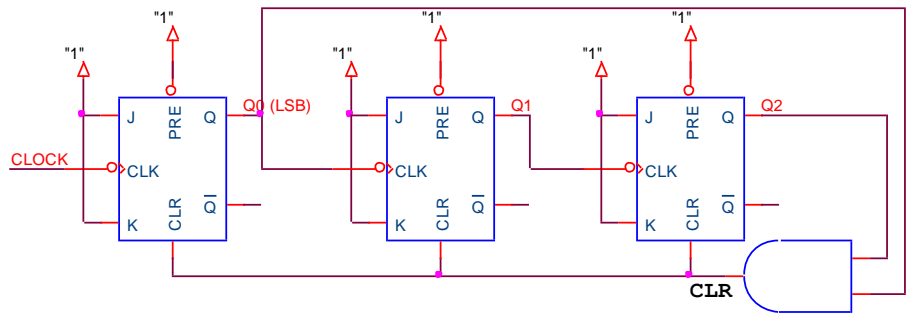
a. Mạch đếm bất đồng bộ Mod $M = 2^n$

b. Mạch đếm bất đồng bộ Mod $M \neq 2^n$

+ Khảo sát mạch đếm không đồng bộ mod khác 2^n :

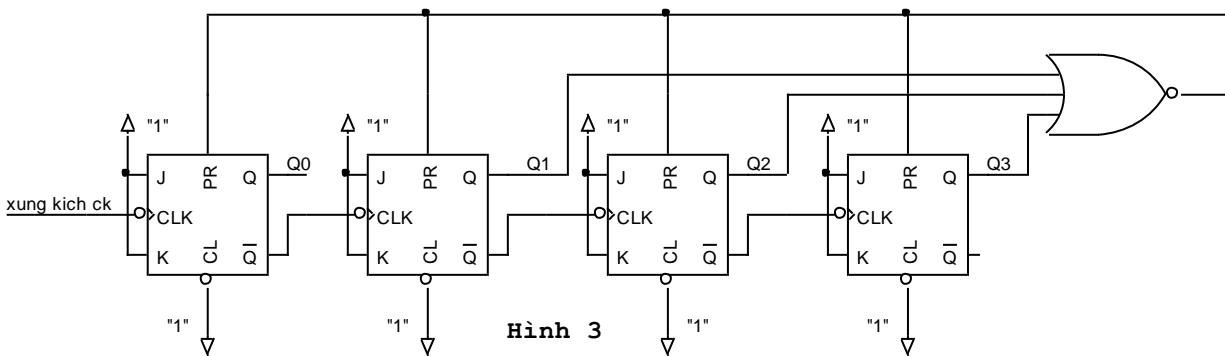
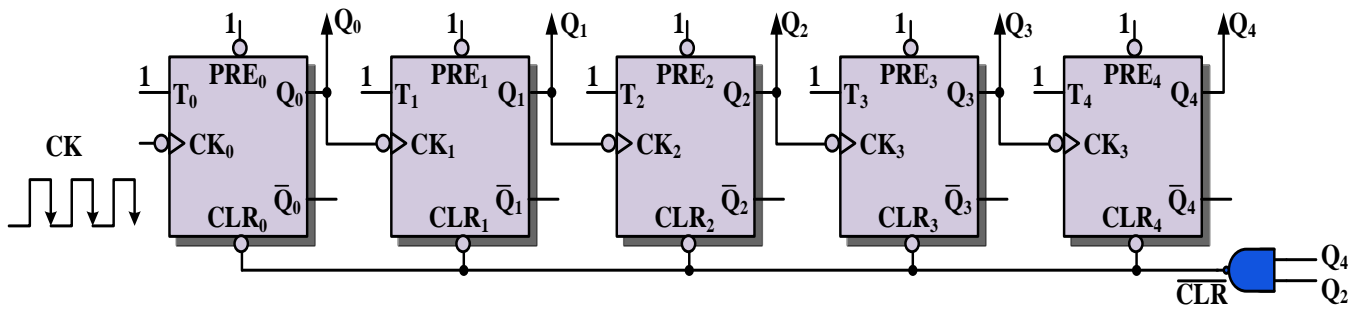
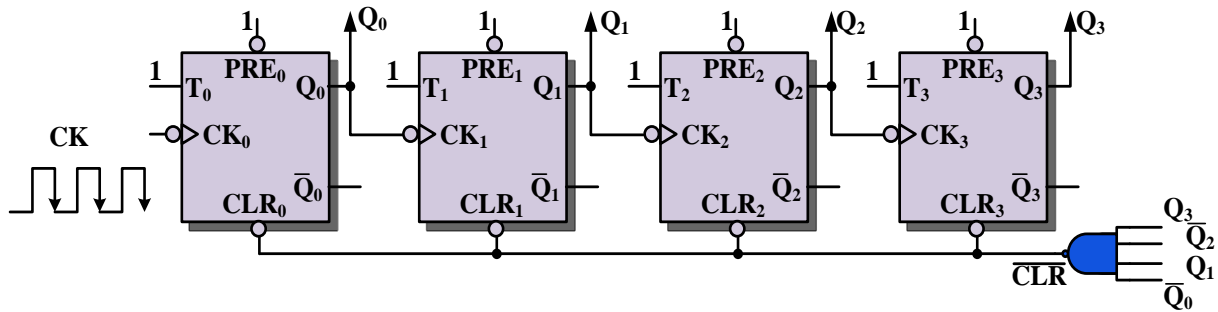
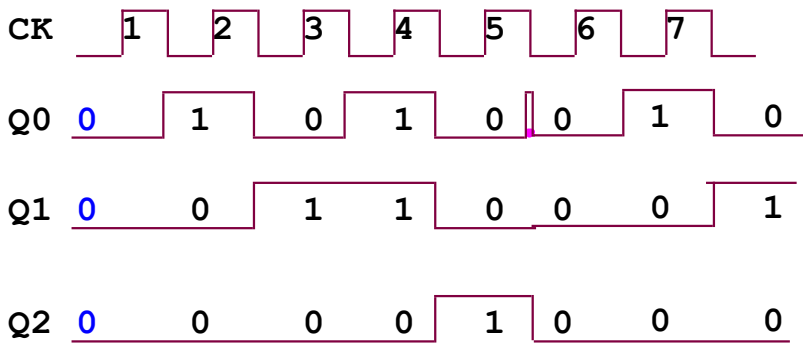
Ví dụ: Cho mạch đếm như hình bên:

- Hãy nêu đặc điểm của các FF.
- Hãy nhận xét các ngõ PRE và CLR của các FF. Hãy cho biết khi nào các FF bị xóa ngõ ra?
- Hãy vẽ dạng sóng ngõ ra các FF theo 7 chu kỳ CK và nhận xét tần số ngõ ra Q2 và Clock.



Khi phân tích Mạch đếm bất đồng bộ Mod $M \neq 2^n$

- Biết đặc điểm của các FF và kết nối giữa các FF (mạch đếm lên, xuống, mod tối đa).
- Nhận xét các ngõ PRE, CLR của các FF (khi nào các FF bị xóa ngõ ra, hoặc ngõ ra bằng 1).
- Viết trạng thái không chế (quay lại trạng thái ban đầu).
- Vẽ dạng sóng ngõ ra các FF (Lập Bảng trạng thái) theo CK và nhận xét.



Hình 3

-. Các bước thiết kế mạch đếm bất đồng bộ Mod $M \neq 2^n$

+ **Bước 1:** Chọn số FF sử dụng

Số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < M < 2^n$ (với n thuộc \mathbb{Z}^+).

Ví dụ: $M=5$ Số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < 5 < 2^n$ (với n thuộc \mathbb{Z}^+).

Suy ra $n=3$

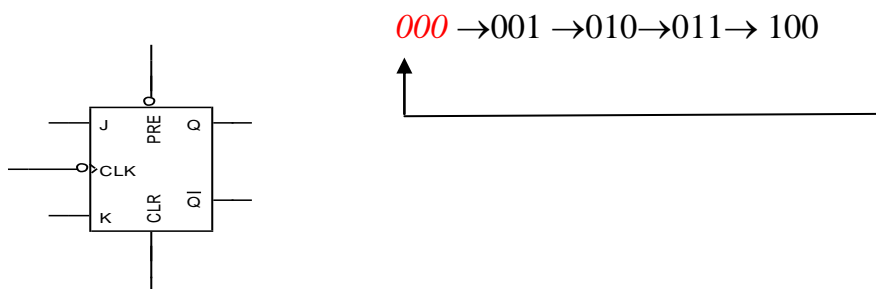
Số ngõ ra của mạch đếm m

Số FF max (n, m)

+ **Bước 2:** Vẽ (thực hiện) mạch đếm không đồng bộ mod 2^n có đặc điểm (đếm lên hoặc xuống) giống như mạch mod $M \neq 2^n$

- + **Bước 3:** Lập bảng trạng thái cho mạch đếm mod 2^n (chú ý trạng thái ban đầu và đặc điểm đếm lên hay đếm xuống).
- + **Bước 4:** Dùng trạng thái thứ **M+1** (Lập bảng không chế) để tác động vào các ngõ Pre hoặc Clr của các FF sao cho các FF xuất hiện trạng thái ban đầu.
- + **Bước 5:** Dùng cổng logic thực hiện hàm không chế trạng thái thứ M+1 quay về trạng thái ban đầu. **Viết hàm không chế theo POS hoặc SOP, rút gọn để tìm hàm không chế tối ưu nhất và hoàn thiện mạch đếm.**

Ví dụ 1: Sử dụng loại FF sau để thiết kế mạch đếm **không** đồng bộ theo giản đồ



Nhận xét: Đây là mạch đếm lên mod 5. **Giả sử** trạng thái ban đầu là 000.

Mạch đếm lên không đồng bộ mod 5 được thiết kế dựa trên mạch đếm lên không đồng bộ mod 8 kèm theo không chế trạng thái 101 để cho ngõ ra của mạch đếm về trạng thái ban đầu

- + **Bước 1:** Chọn số FF sử dụng

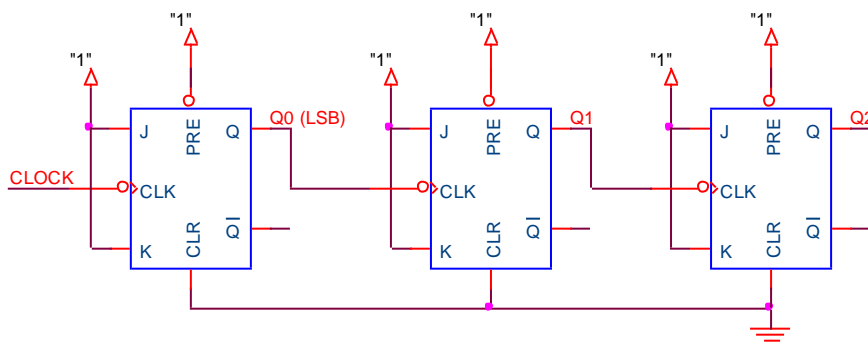
Số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < 5 < 2^n$ (với n thuộc Z^+) $\rightarrow n=3$

Số ngõ ra mạch đếm m=3;

Số FF là 3 (m=n=3)

- + **Bước 2:** Về mạch đếm không đồng bộ mod 2^n có đặc điểm (đếm lên hoặc xuống) giống như mạch mod **M $\neq 2^n$ cần thiết kế**

Mạch đếm **lên** không đồng bộ mod $2^3=8$ dùng FF JK như yêu cầu:



- + **Bước 3:** Lập bảng trạng thái cho mạch đếm mod 2^n (chú ý trạng thái ban đầu và đặc điểm đếm lên hay đếm xuống).

+ **Bảng trạng thái mạch đếm mod**

8 và ngõ không chế CLR				
CL K	Q_2	Q_1	Q_0	CLR
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
Xoá các FF để ép trạng thái 101 \rightarrow 000				
6	1	1	0	X
7	1	1	1	X

$$CLR_2 = CLR_1 = CLR_0 = CLR(Q_2, Q_1, Q_0) = \sum(5) + d(6,7)$$

- + **Bước 4:** Dùng trạng thái thứ **M+1** (Lập bảng không chế) để tác động vào các ngõ Pre hoặc Clr của các FF sao cho các FF xuất hiện trạng thái ban đầu.

Dùng trạng thái thứ **M+1=5+1=6 (101)** (Lập bảng không chế) để tác động vào các ngõ Pre hoặc Clr của các FF sao cho các FF xuất hiện trạng thái ban đầu (**000**).

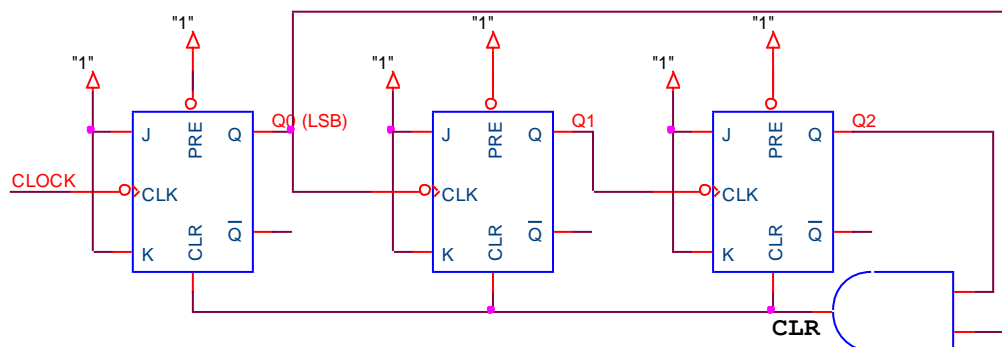
- + **Bước 5:** Dùng cổng logic thực hiện hàm không chế trạng thái thứ M+1 quay về trạng thái ban đầu. **Viết hàm không chế theo POS hoặc SOP, rút gọn để tìm hàm không chế tối ưu nhất và hoàn thiện mạch đếm.**

Hàm không chế và rút gọn: $CLR(Q_2, Q_1, Q_0) = \sum(5) + d(6,7)$

Q_1, Q_0	00	01	11	10
Q_2				
0				
1		1	x	x

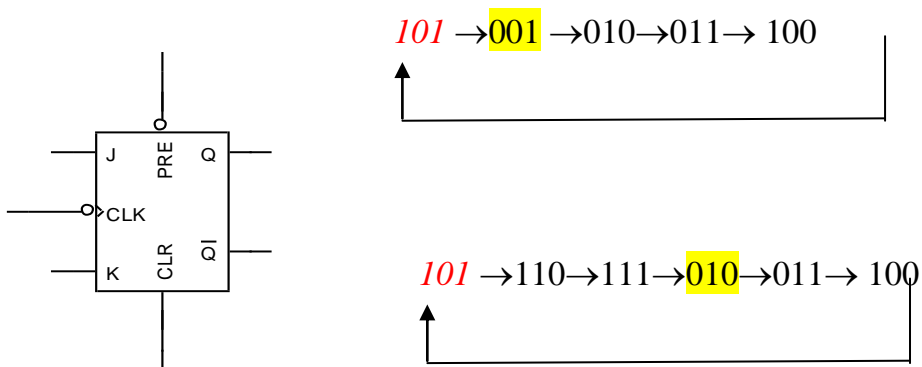
$$CLR(Q_2, Q_1, Q_0) = \sum(5) + d(6,7) = Q_2 \cdot Q_0$$

Về mạch đếm theo yêu cầu :

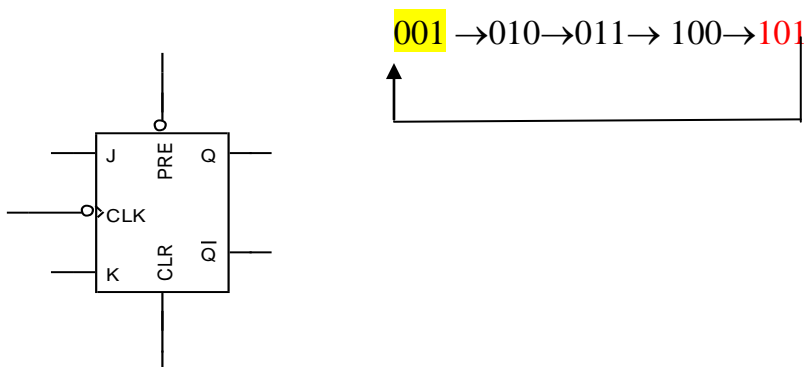


Chú ý: Nếu không dùng các ngõ Pre, Clr thì kết nối chúng vào mức logic không tích cực.

Ví dụ 2: Sử dụng FF JK có CK tác động cạnh **xuống**, Pre tích cực mức **thấp** và Clr tích cực mức **cao** để thiết kế mạch đếm **không** đồng bộ theo giản đồ a và b:



Ví dụ 3: Sử dụng FF JK có CK tác động cạnh **xuống**, Pre tích cực mức **thấp** và Clr tích cực mức **cao** để thiết kế mạch đếm **không** đồng bộ theo giản đồ sau:



+ Gợi ý thiết kế :

+ Bảng trạng thái mạch đếm mod 8 và ngõ không chế CLR					
CLK	Q_2	Q_1	Q_0	CLR1,2	PRE0
0	0	0	1	0	1
1	0	1	0	0	1
2	0	1	1	0	1
3	1	0	0	0	1
4	1	0	1	0	1
5	1	1	0	1	0

	Đkhiển các FF để ép trạng thái 110 → 001				
6	1	1	1	X	X
7	0	0	0	X	X

$$CLR_2 = CLR_1 = CLR; PRE_0 = PRE$$

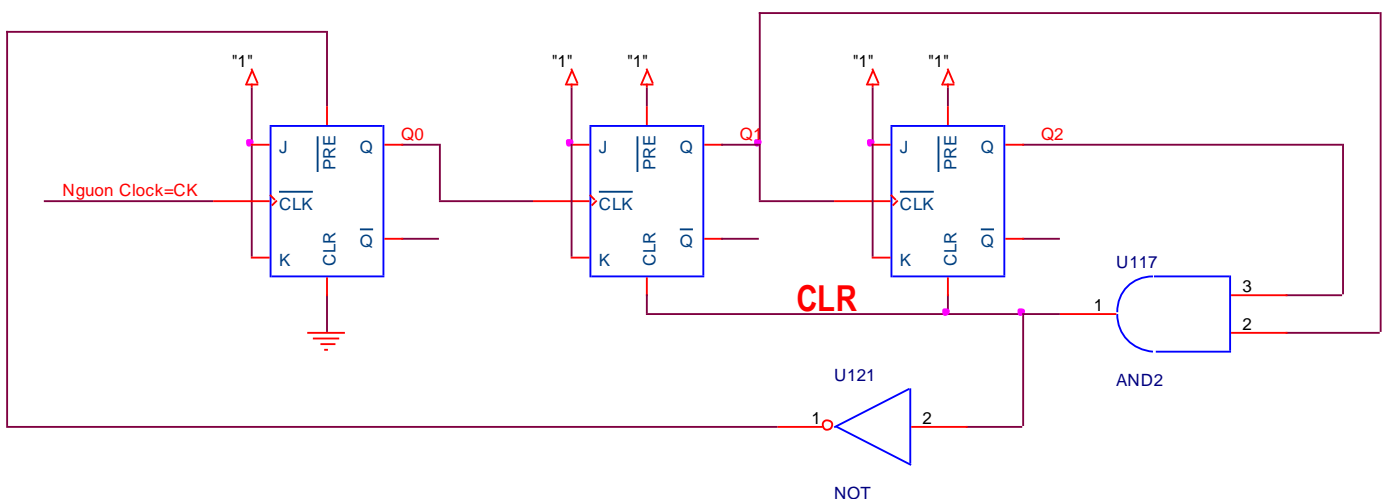
$$CLR(Q_2, Q_1, Q_0) = \overline{Pre}$$

$$CLR(Q_2, Q_1, Q_0) = \sum(6) + d(0,7); \text{ Hàm Pre và Clr đảo nhau ;}$$

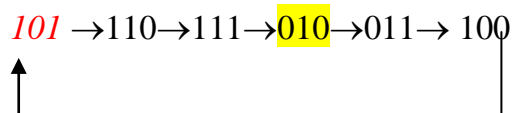
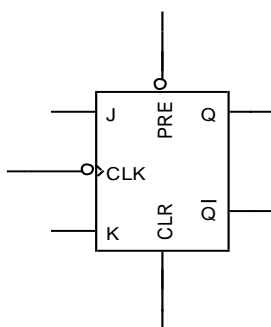
$Q_2 \backslash Q_1, Q_0$	00	01	11	10
0	x			
1			X	1

$$CLR(Q_2, Q_1, Q_0) = \sum(6) + d(0,7) = Q_2 \cdot Q_1$$

$$PRE(Q_2, Q_1, Q_0) = \prod(6) d(0,7) = \overline{Q_2 \cdot Q_1}$$



Ví dụ 3: Sử dụng FF JK có CK tác động cạnh **xuống**, Pre tích cực mức **thấp** và Clr tích cực mức **cao** để thiết kế mạch đếm **không** đồng bộ theo giản đồ sau:



+ **Gợi ý thiết kế :**

$$PRE_1 = PRE$$

+ Bảng trạng thái mạch đếm mod 8 và ngõ không chế CLR					
CL K	Q_2	Q_1	Q_0		PR E
0	0	1	0		1
1	0	1	1		1
2	1	0	0		1
3	1	0	1		1
4	1	1	0		1
5	1	1	1		1
6	0	0	0		0
000 → 010					
7	0	0	1		X

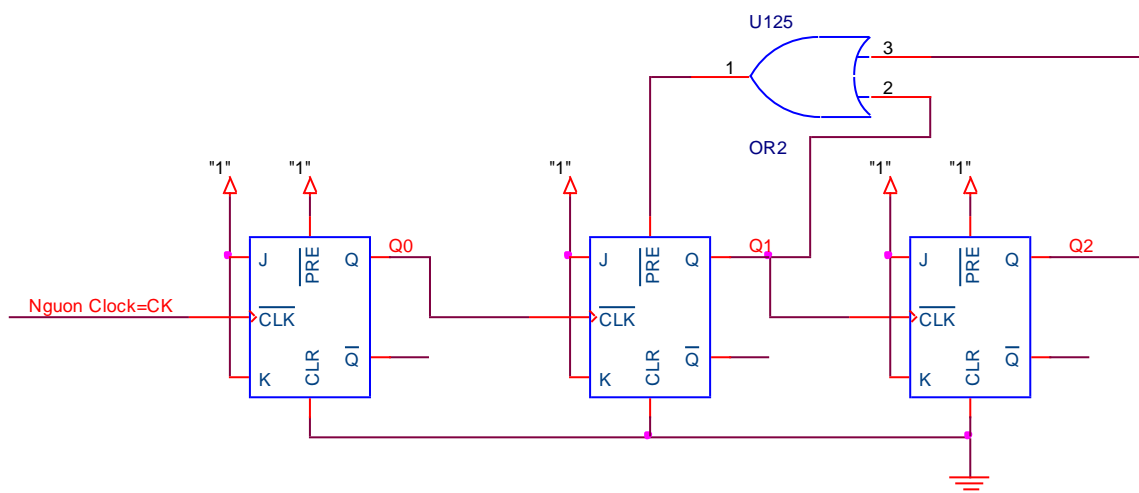
$$PRE(Q_2, Q_1, Q_0) = \prod (0)d(1)$$

Q_1, Q_0	00	01	11	10
Q_2				
0	0	x		
1				

$$PRE(Q_2, Q_1, Q_0) = Q_2 + Q_1$$

Q_1, Q_0	00	01	11	10
Q_2				
0		x	1	1
1	1	1	1	1

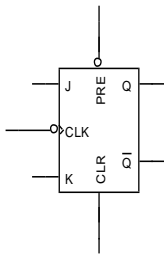
Handwritten annotations: A green circle highlights the '1' values in the row where $Q_2=1$. A purple arrow points to the '1' in the cell (0, 11) labeled Q_1 . A green arrow points to the '1' in the cell (1, 10) labeled Q_2 .



Ví dụ: Sử dụng loại FF sau để thiết kế mạch đếm không đồng bộ theo giản đồ

000 → 001 → 010 → 011 → 100

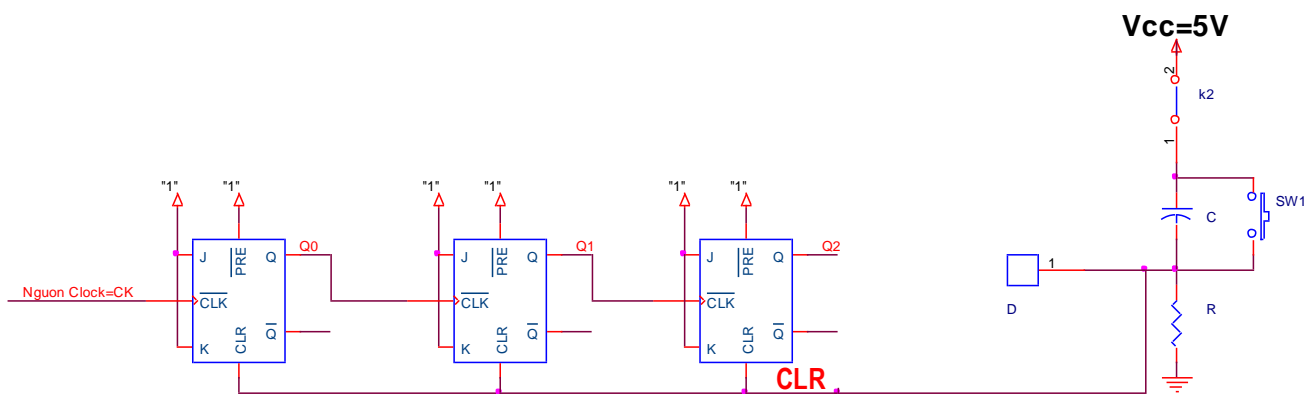
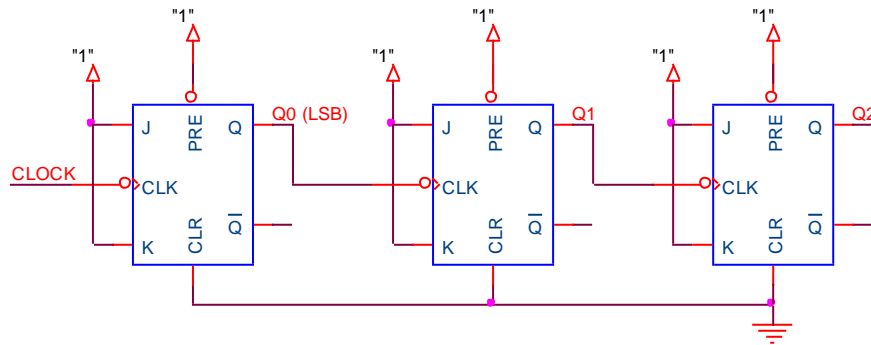




Nhận xét: Đây là mạch đếm lên mod 5. Giả sử trạng thái ban đầu là 000.

Mạch đếm lên không đồng bộ mod 5 được thiết kế dựa trên mạch đếm lên không đồng bộ mod 8 kèm theo khối trạng thái 101 để cho ngõ ra của mạch đếm về trạng thái ban đầu

- Mạch đếm lên không đồng bộ mod 8 dùng FF-JK có đặc điểm: CLK tác động cạnh xuống, Preset tích cực mức thấp và Clear tích cực mức cao:



+ Bảng trạng thái mạch đếm mod 8 và ngõ khống chế CLR

CL K	Q_2	Q_1	Q_0	CLR
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
Xoá các FF để ép trạng thái 101 → 000				
6	1	1	0	X
7	1	1	1	X

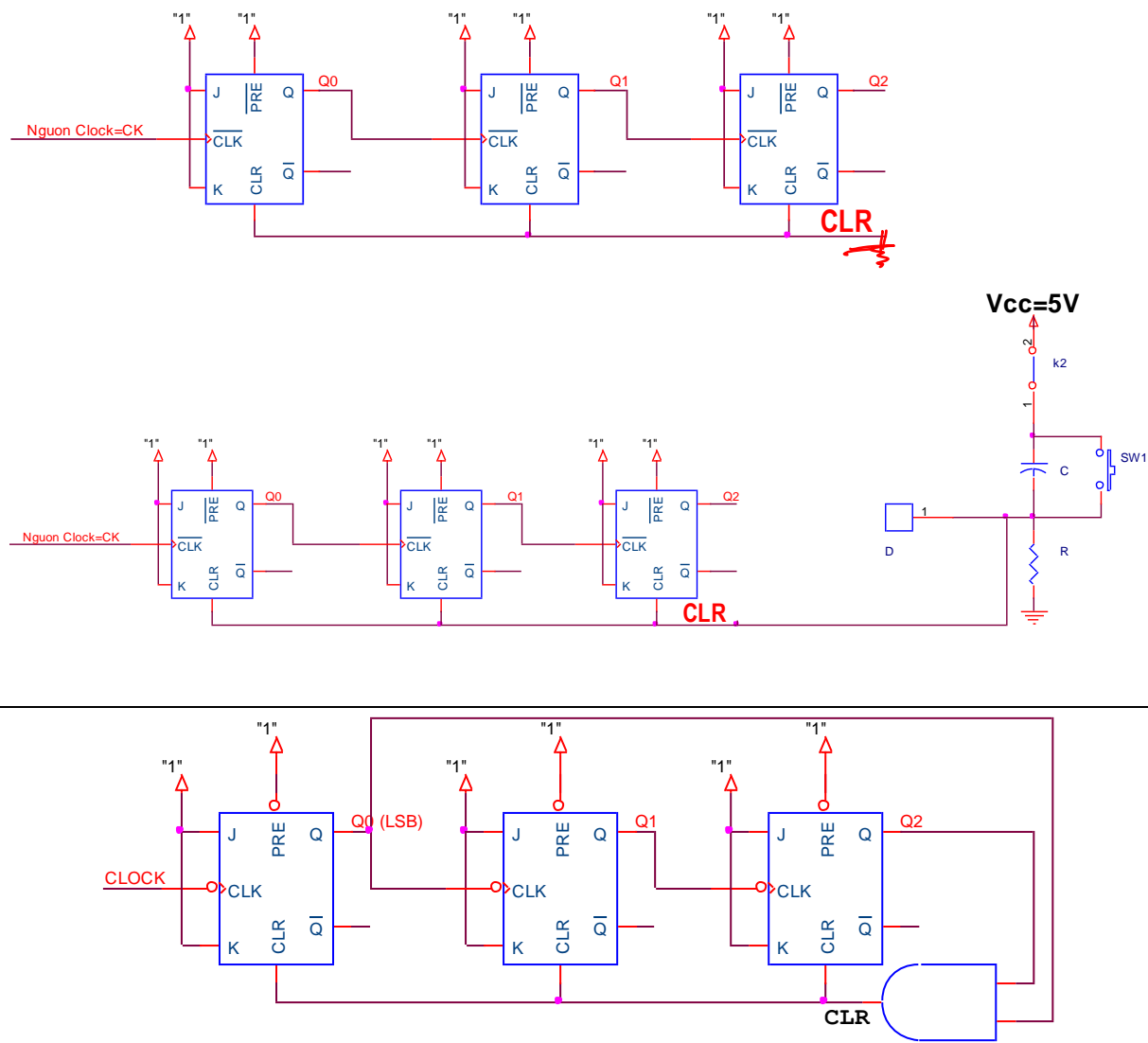
+ Hàm khống chế và rút gọn:

$$CLR(Q_2, Q_1, Q_0) = \sum (5) + d(6, 7) = Q_2 \cdot Q_0$$

$Q_2 \backslash Q_1, Q_0$	00	01	11	10
0				
1		1	x	x

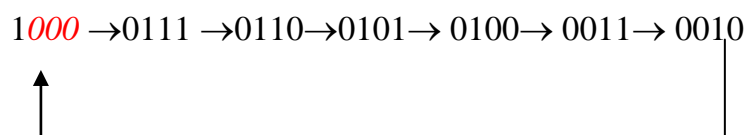
Mạch đếm sau khi khống chế trạng thái 101 để cho ngõ ra của mạch đếm về trạng thái ban đầu

(000)



Chú ý: Nếu không dùng các ngõ Pre, Clr thì kết nối chúng vào mức logic không tích cực.

Ví dụ: Thiết kế mạch đếm theo giản đồ sau



Nhận xét: Đây là mạch đếm xuống mod 7 (có 4 bit, 4 ngõ ra ra). Giả sử trạng thái ban đầu là **1000**.

Mạch đếm xuống mod 7 được thiết kế dựa trên mạch đếm xuống nhị phân mod 16 (hoặc 10) kèm theo không chế trạng thái **0001** để cho ngõ ra của mạch đếm về trạng thái ban đầu.

+ Bảng trạng thái mạch đếm mod 8 và ngõ không chế CLR						+ Hàm không chế và rút gọn: $Pre(Q_3, Q_2, Q_1, Q_0) = \sum(8, 7, 6, 5, 4, 3, 2) + d(0, 9, 10, 11, 12, 13, 14, 15)$ $= \prod(1) \cdot d(0, 9, 10, 11, 12, 13, 14, 15) = Q_3 + Q_2 + Q_1$													
CL K	Q_3	Q_2	Q_1	Q_0	ĐK (\overline{PL})	<table><tr><td>$\begin{matrix} Q_3 Q_2 \\ Q_1 Q_0 \end{matrix}$</td><td>00</td><td>01</td><td>11</td><td>10</td></tr><tr><td>00</td><td>X</td><td>1</td><td>X</td><td>1</td></tr></table>				$\begin{matrix} Q_3 Q_2 \\ Q_1 Q_0 \end{matrix}$	00	01	11	10	00	X	1	X	1
$\begin{matrix} Q_3 Q_2 \\ Q_1 Q_0 \end{matrix}$	00	01	11	10															
00	X	1	X	1															
0	1	0	0	0	1														

III. Mạch đếm không đồng bộ:

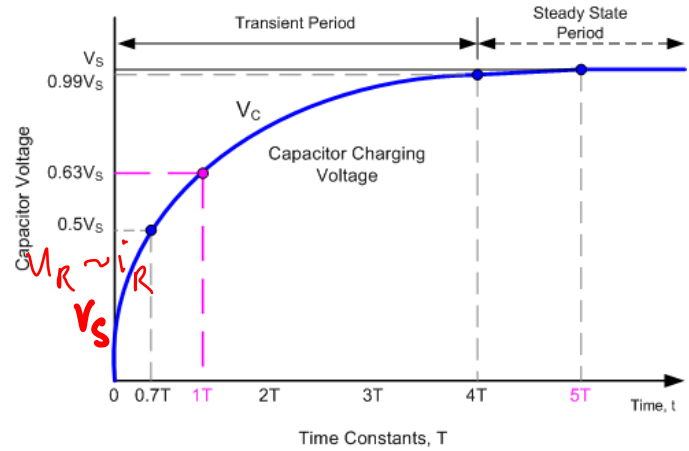
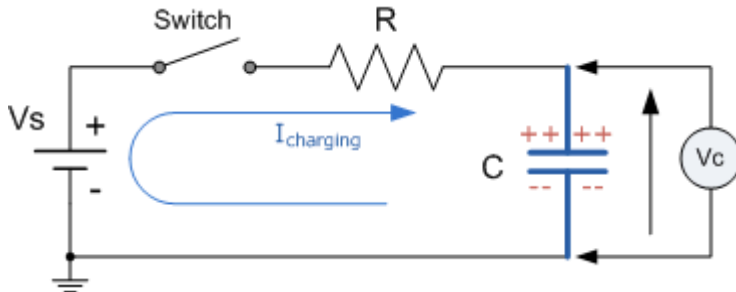
1. Mạch đếm không đồng bộ:

a. Mạch đếm bất đồng bộ Mod $M=2^n$

b. Mạch đếm bất đồng bộ Mod $M \neq 2^n$

c. Mạch đếm với tính năng tự động reset: Là mạch tự thiết lập trạng thái ban đầu của các FF khi vừa bắt đầu hoạt động (vừa cung cấp nguồn).

+ **Đặc điểm của mạch quá độ RC:**



- Biểu thức điện áp trên tụ và R của mạch quá độ RC trên như sau:

$$v_C(t) = V_S(1 - e^{-\frac{t}{\tau}})u(t); \quad v_R(t) = V_S e^{-\frac{t}{\tau}}$$

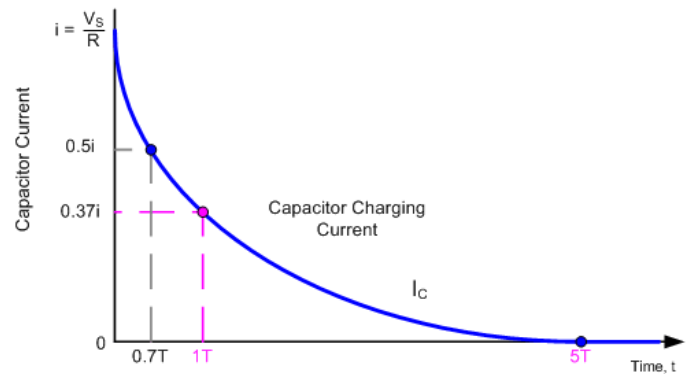
$$i_R(t) = \frac{v_R(t)}{R} = \frac{V_S}{R} e^{-\frac{t}{\tau}} u(t)$$

Với $\tau = RC$;

- Khi **vừa đóng khóa** k ($t=0$) thì dạng sóng trên tụ và R như hình bên và theo biểu thức sau:

$$v_R(t) = V_S \rightarrow \text{mức logic cao (H)}$$

$$v_C(t) = 0 \rightarrow \text{mức logic thấp (L)}$$

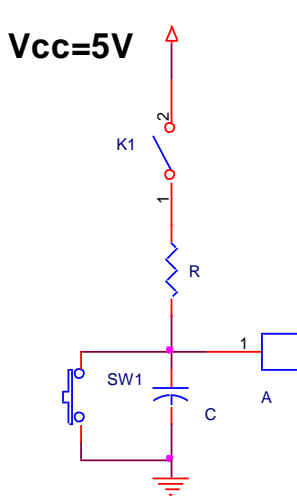


- Sau thời gian $t=3\tau-5\tau$ thì:

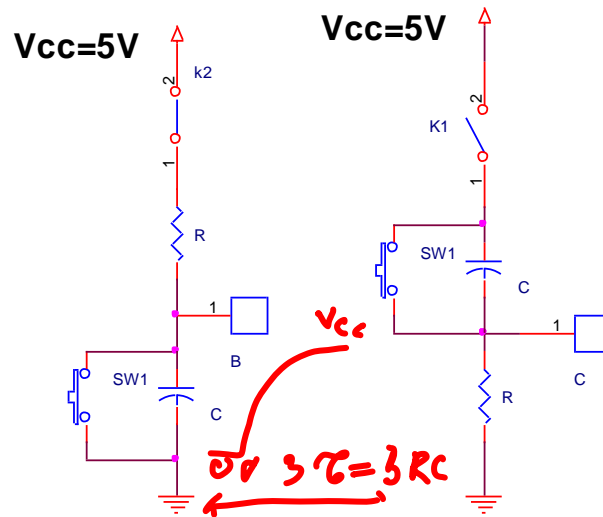
$$v_C(t) \approx V_S \rightarrow \text{mức logic cao (H)}$$

$$v_R(t) \approx 0 \rightarrow \text{mức logic thấp (L)}$$

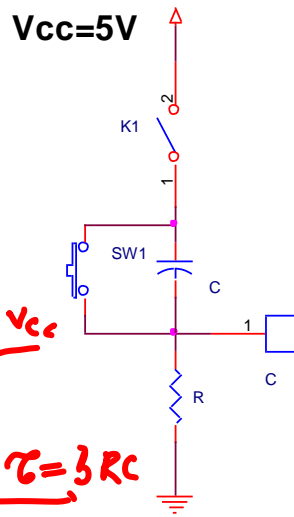
+ **Các dạng mạch tự động reset:**



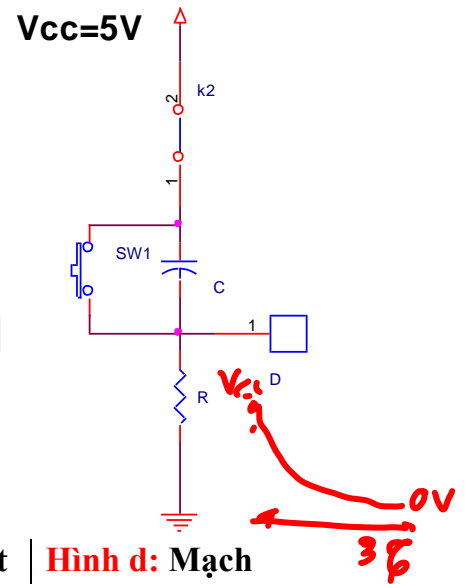
Hình a: Mạch reset L khi chưa đóng khóa K



Hình b: Mạch reset Low (L)

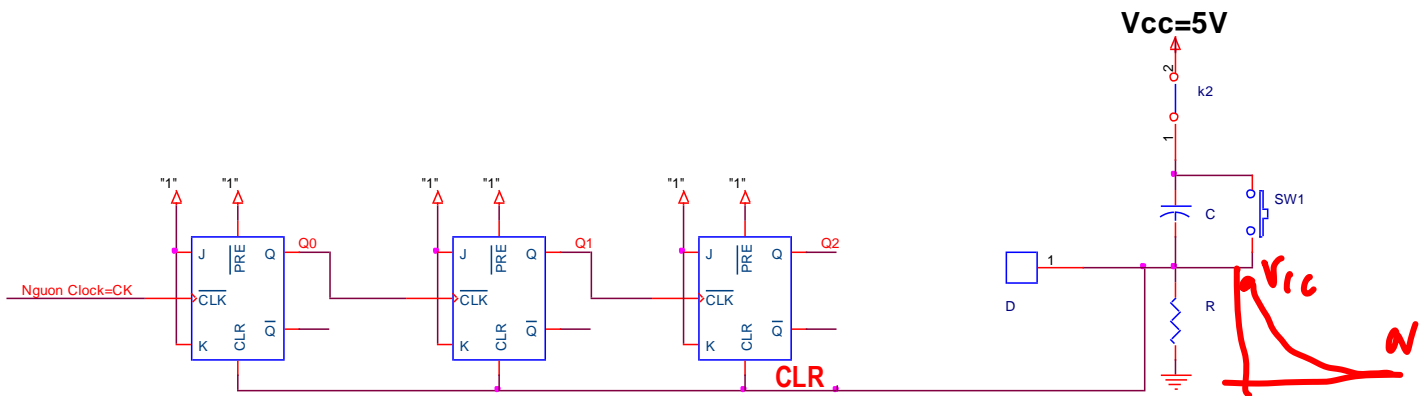


Hình c: Mạch reset H khi chưa đóng khóa K



Hình d: Mạch reset High (H)

Ví dụ: Mạch đếm mod 8 không đồng bộ với tính năng tự động reset HIGH (Clear tích cực mức CAO) : Các FF bị xóa ngõ ra khi vừa cung cấp nguồn vì $CLR_0 = CLR_1 = CLR_2 = v_R(t) = V_{CC}$ Sau thời gian 3τ thì $CLR_0 = CLR_1 = CLR_2 = v_R(t) \approx 0$ các ngõ CLR không tích cực và các FF hoạt động bình thường, giá trị nhị phân ngõ ra thay đổi theo xung clock.



+ **Mạch đếm với tính năng tự động reset và không chế (mod khác 2^n):**

Ví dụ: Mạch đếm lên mod 5 với trạng thái ban đầu khi vừa cấp nguồn là 000, ngõ Clear của các FF tích cực ở mức cao.

Giản đồ của mạch đếm $000 \rightarrow 001 \rightarrow 010 \rightarrow 011 \rightarrow 100 \rightarrow 000 \dots$, trạng thái không chế (trung gian) là **101**.

Mạch có 2 thời điểm để tác động vào ngõ CLR tích cực:

- ✓ Thời điểm khi vừa cung cấp nguồn (ban đầu): Tác động ngõ CLR ở mức tích cực cho 3 FF - **Reset- H (điều khiển 1)- Lấy điện áp trên R của mạch quá độ RC.**
- ✓ Thời điểm khi ngõ ra 101: không chế các FF không cho trạng thái này tồn tại (điều khiển 2), thay trạng thái này bằng trạng thái ban đầu 000 (tác động ngõ CLR cho 3 FF)- **Lấy ngõ ra của mạch không chế.**

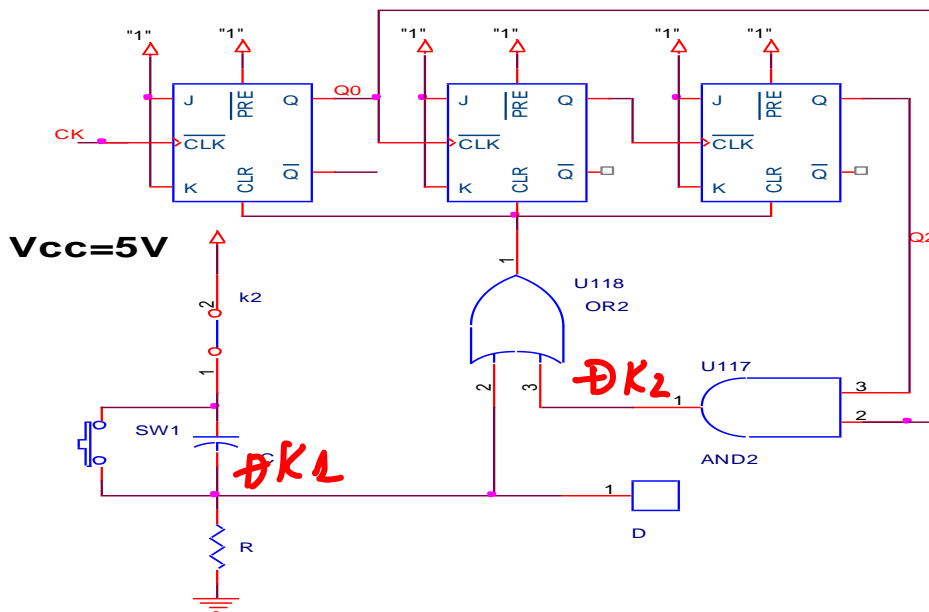
Mạch đếm với tính năng tự động reset high (Clear tích cực mức cao) và không chế (mod khác 2^n):

Bảng trạng thái điều khiển CLR (vừa Reset và không chế mạch đếm)

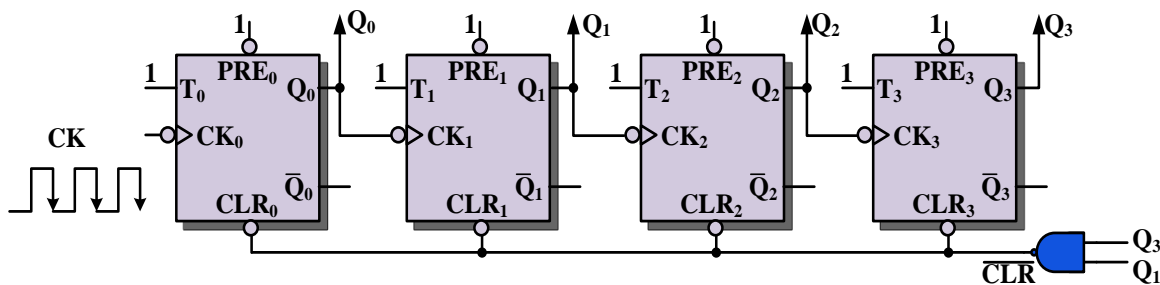
RESET ĐK1	H ĐK2	KHÔNG CHẾ ĐK2	Xóa các FF $CLR_0 = CLR_1 = CLR_2 = CLR$
1	X		1
X	1		1
0	0		0

Viết hàm điều khiển CLR: Viết theo dạng POS ta được $CLR = DK1 + DK2$

Mạch hoàn thiện:



Ví dụ mạch đếm sau là mạch đếm không đồng bộ mod 10 (từ 0000 đến 1001) với ngõ không chế trạng thái ngõ ra của các FF $Q_3Q_2Q_1Q_0 = 1010$ không có tính năng tự động reset.



Từ mạch đếm trên ta có thể xử lý để trở thành mạch đếm không đồng bộ mod 10 (từ 0000 đến 1001) **có tính năng tự động reset (xóa các FF về 0000 khi vừa cung cấp nguồn), ngõ CLR tích cực mức thấp.**

✓ **Lập bảng trạng thái điều khiển: Ngõ CLR tích cực mức thấp.**

- Gọi A hoặc Điều khiển 1 (ĐK1) là ngõ Reset, vì CLR tích cực mức thấp nên ta lấy điện áp ra trên tụ của mạch quá độ RC.
- Gọi B hoặc Điều khiển 2 (ĐK2) là ngõ ra của mạch không chế (trạng thái không chế 1010), vì CLR tích cực mức thấp nên ta có $ĐK_2 = B = \overline{Q_3} + \overline{Q_1} = \overline{Q_3 \cdot Q_1}$ (SV xem lại trong phần không chế mạch đếm mod khác 2^n)

Bảng trạng thái điều khiển CLR (vừa Reset và không chế mạch đếm)

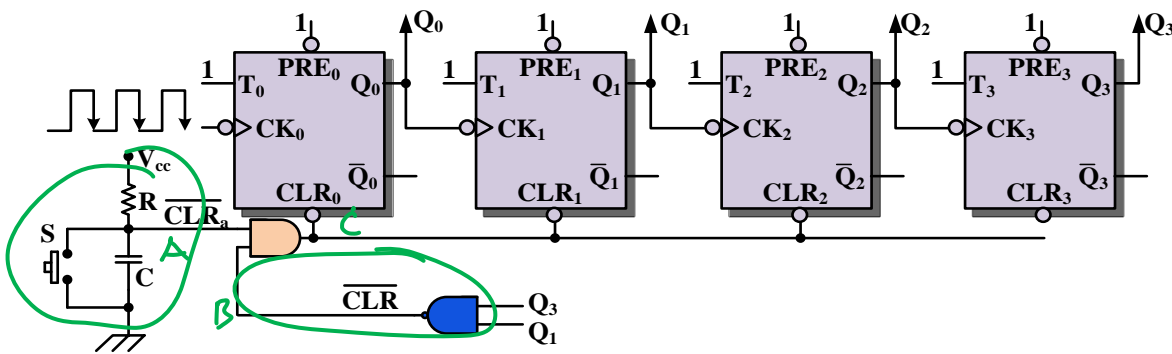
RESET ĐK1 A	L ĐK2 B	KHÔNG CHẾ ĐK2 B	Xóa các FF $CLR_0 = CLR_1 = CLR_2 = CLR$ C
0	X		0
X	0		0
1	1		1

✓ **Viết hàm điều khiển:** Viết hàm ngõ ra theo dạng SOP

$$CLR = C = ĐK_1 \cdot ĐK_2 = A \cdot B$$

✓ **Vẽ lại mạch hoàn chỉnh :**

Mạch đếm không đồng bộ mod 10 (từ 0000 đến 1001) có tính năng tự động reset trạng thái ban đầu các FF là 0000 (CLR tích cực mức thấp)



Bài tập: 1 (53). Thực hiện mạch đếm lên bất đồng bộ mod 8 dùng flip-flop D (CK tác động cạnh lên; preset và clear tích cực mức thấp). Vẽ sơ đồ mạch, vẽ dạng sóng ngõ ra theo 16 chu kỳ xung Clock.

2 (54). Thực hiện mạch đếm xuống bất đồng bộ mod 8 dùng flip-flop D (CK tác động cạnh xuống; preset và clear tích cực mức thấp). Vẽ sơ đồ mạch, vẽ dạng sóng ngõ ra theo 16 chu kỳ xung Clock.

3 (55). Thực hiện mạch đếm lên bất đồng bộ mod 16 dùng flip-flop T (CK tác động cạnh lên; preset và clear tích cực mức thấp). Vẽ sơ đồ mạch, vẽ dạng sóng ngõ ra theo 16 chu kỳ xung Clock.

4 (56). Thực hiện mạch đếm xuống bất đồng bộ mod 16 dùng flip-flop JK (CK tác động cạnh xuống; preset tích cực mức cao và clear tích cực mức thấp). Vẽ sơ đồ mạch, vẽ dạng sóng ngõ ra theo 16 chu kỳ xung Clock.

5. Thực hiện mạch đếm bất đồng bộ theo giản đồ sau: **00 → 01 → 10 → 00 → 01 → ...** dùng dùng flip-flop T (CK tác động cạnh xuống; preset và clear tích cực mức thấp).

53. Thực hiện mạch đếm lên bất đồng bộ mod 8 dùng flip-flop D (CK tác động cạnh lên; preset và clear tích cực mức thấp). Từ mạch đếm này, hãy dùng thêm cổng logic để thực hiện các mạch đếm có mod: 5, 6, 7. **Giả sử ban đầu trạng thái** của các flip-flop là 000 (Chú ý các bước thực hiện: Lập bảng trạng thái, vẽ sơ đồ mạch, giải thích ngắn gọn nguyên lý hoạt động).

54. Thực hiện mạch đếm xuống bất đồng bộ mod 8 dùng flip-flop D (CK tác động cạnh xuống; preset và clear tích cực mức thấp). Từ mạch đếm này, hãy dùng thêm cổng logic để thực hiện các

mạch đếm có mod: 5, 6, 7. Giả sử ban đầu trạng thái của các flip-flop là 111 (Chú ý các bước thực hiện: Lập bảng trạng thái, vẽ sơ đồ mạch, giải thích ngắn gọn nguyên lý hoạt động).

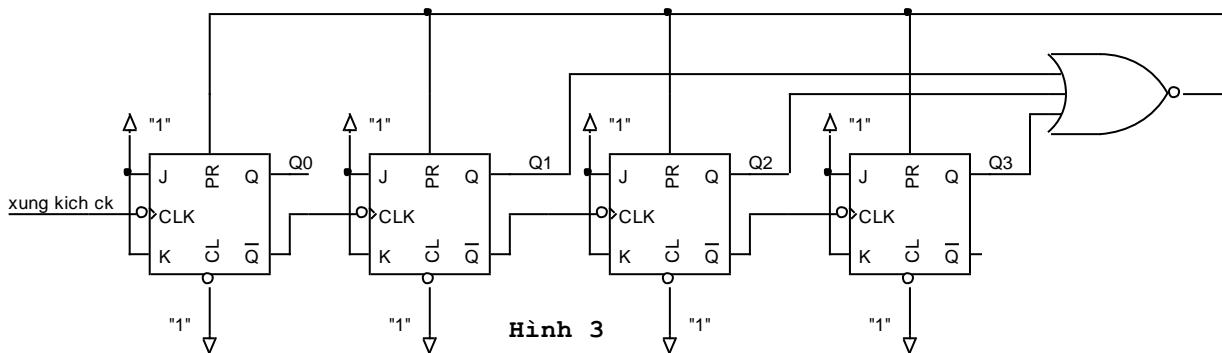
55. Thực hiện mạch đếm lên bất đồng bộ mod 16 dùng flip-flop T (CK tác động cạnh lên; preset và clear tích cực mức thấp). Từ mạch đếm này, hãy dùng thêm cổng NAND để thực hiện các mạch đếm có mod: 9, 10, 11, 12, 13, 14, 15. Giả sử ban đầu trạng thái của các flip-flop là 0001 (Chú ý các bước thực hiện: Lập bảng trạng thái, vẽ sơ đồ mạch, giải thích ngắn gọn nguyên lý hoạt động).

56. Thực hiện mạch đếm xuống bất đồng bộ mod 16 dùng flip-flop JK (CK tác động cạnh xuống; preset tích cực mức cao và clear tích cực mức thấp). Từ mạch đếm này, hãy dùng thêm cổng NOR để thực hiện các mạch đếm có mod: 9, 10, 11, 12, 13, 14, 15. Giả sử ban đầu trạng thái của các flip-flop là 1000 (Chú ý các bước thực hiện: Lập bảng trạng thái, vẽ sơ đồ mạch, giải thích ngắn gọn nguyên lý hoạt động).

57. Thực hiện mạch đếm lên bất đồng bộ mod 5, 4 dùng flip-flop RS (CK tác động cạnh xuống; preset và clear tích cực mức thấp). Từ hai mạch đếm này hãy thực hiện mạch đếm mod 10, 20.

62. Cho mạch đếm như hình sau

- Lập bảng trạng thái của mạch đếm ứng với 16 chu kỳ xung kích.
- Cho biết mạch này đếm mod bao nhiêu? Giải thích.



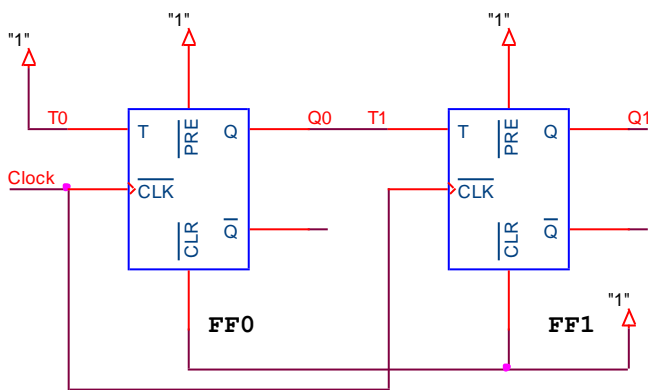
III Mạch đếm:

2. Mạch đếm đồng bộ:

a. Mạch đếm đồng bộ Mod $M=2^n$

Khảo sát mạch đếm đồng bộ mod 2^n : Giả sử trạng thái ban đầu của FF đều ở mức thấp

+ Mạch đếm đồng bộ mod $4=2^2=2^2$:



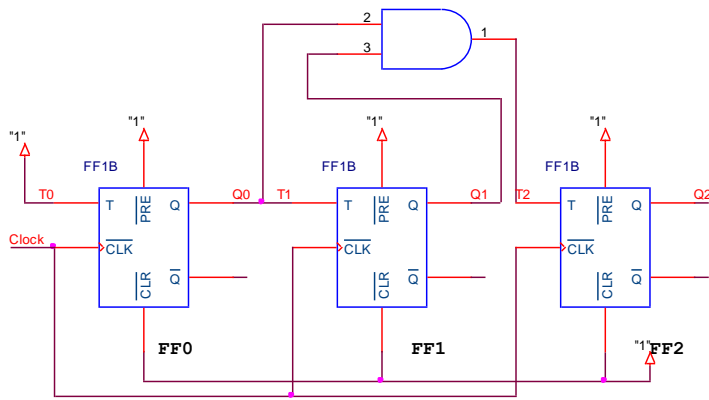
TP	CK	Các ngõ vào FF		Các ngõ ra	
		T_1	T_0	Q_1	Q_0
0.	0	0	1	0	0
1.	↓	1	1	0	1
2.	↓	0	1	1	0
3.	↓	1	1	1	1
4.	↓	0	1	0	0
5.					

- **Giả sử trạng thái ban đầu của $Q_1 Q_0$ là 00**
- Nhận xét các ngõ vào của FF: $T_0=1$; $T_1 = Q_0$;
- Các FF có CK nối chung nên phân tích hoạt động các FF cùng 1 lúc (đồng thời, đồng bộ).
- Nắm vững bảng trạng thái của FF;

T_n	Q_{n+1}	$Q_{n+1} = T_n \cdot \overline{Q_n} + \overline{T_n} \cdot Q_n$
0	Q_n	
1	$\overline{Q_n}$	

+ Mạch đếm đồng bộ mod $8=2^3=2^3$:

TP	CK	Các ngõ vào FF			Các ngõ ra		
		T_2	T_1	T_0	Q_2	Q_1	Q_0
0.	0	0	0	1	0	0	0
1.	↓	0	1	1	0	0	1
2.	↓	0	0	1	0	1	0
3.	↓	1	1	1	0	1	1

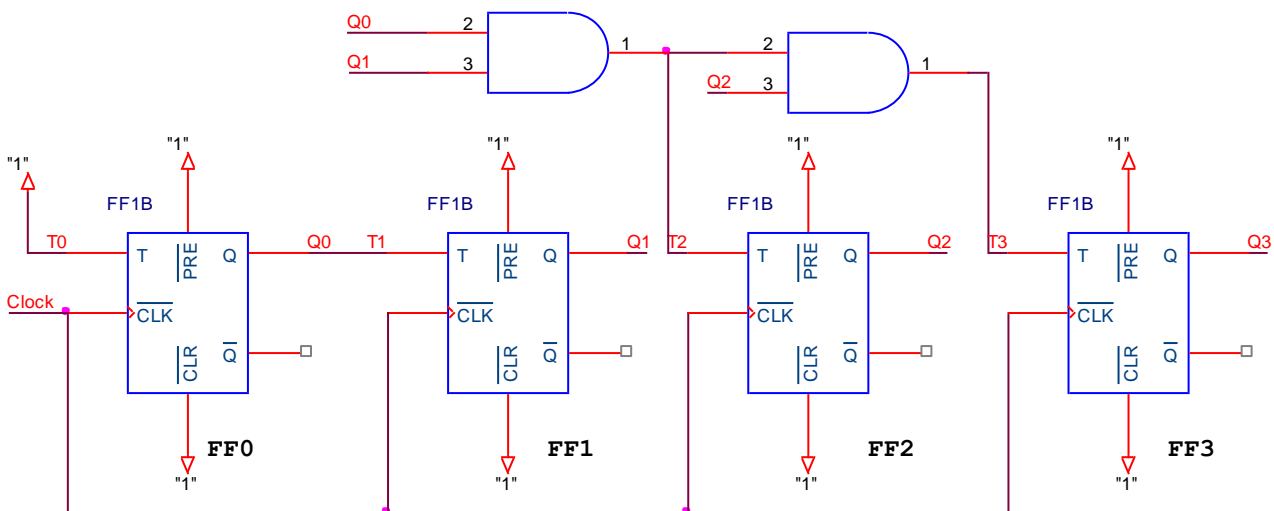


4.	↓	0	0	1	1	0	0
5.	↓	0	1	1	1	0	1
6.	↓	0	0	1	1	1	0
7.	↓	1	1	1	1	1	1
8.		0	0	1	0	0	0

- **Giả sử trạng thái ban đầu của $Q_2 Q_1 Q_0$ là 000**
- Nhận xét các ngõ vào của FF: $T_0=1$; $T_1 = Q_0$; $T_2 = Q_0 \cdot Q_1$;
- Các FF có CK nối chung nên phân tích hoạt động các FF cùng 1 lúc (đồng thời, đồng bộ).
- Nắm vững bảng trạng thái của FF;

T_n	Q_{n+1}	$Q_{n+1} = T_n \cdot \overline{Q_n} + Q_n \cdot \overline{T_n}$
0	Q_n	
1	$\overline{Q_n}$	

+ Mạch đếm đồng bộ mod 16= $2^4=2^4$:



- **Giả sử trạng thái ban đầu của $Q_3 Q_2 Q_1 Q_0$ là 0000**
- Nhận xét các ngõ vào của FF: $T_0=1$; $T_1 = Q_0$; $T_2 = Q_0 \cdot Q_1$; $T_3 = Q_0 \cdot Q_1 \cdot Q_2$;
- Các FF có CK nối chung nên phân tích hoạt động các FF cùng 1 lúc (đồng thời, đồng bộ).
- Nắm vững bảng trạng thái của FF;

T_n	Q_{n+1}	$Q_{n+1} = T_n \cdot \overline{Q_n} + Q_n \cdot \overline{T_n}$
0	Q_n	
1	$\overline{Q_n}$	

➤ Nhận xét các ngõ vào của FF: $T_0=1$; $T_1 = Q_0$; $T_2 = Q_0.Q_1$; $T_3 = Q_0.Q_1.Q_2$;

Nhận xét

+ Mạch đếm lên đồng bộ nhị phân n bit dùng FF-T:

$$T_0 = 1;$$

$$T_1 = Q_0; T_2 = Q_0.Q_1; T_3 = Q_0.Q_1.Q_2; \dots T_{n-1} = Q_0.Q_1 \dots Q_{n-2}$$

+ Mạch đếm xuống đồng bộ nhị phân n bit dùng FF-T::

$$T_0 = 1;$$

$$T_1 = \overline{Q_0}; T_2 = \overline{Q_0.Q_1}; T_3 = \overline{Q_0.Q_1.Q_2}; \dots T_{n-1} = \overline{Q_0.Q_1 \dots Q_{n-2}}.$$

+Thiết kế mạch đếm đồng bộ mod 2^n :

Bước 1: Chọn số FF: Căn cứ số trạng thái;

Căn cứ mod M mạch đếm, chọn số FF là n phải thỏa mãn điều kiện sau: $M = 2^n$ (với $n \in \mathbb{Z}^+$).

Bước 2: Lập bảng trạng thái cho mạch đếm

Trạng thái hiện tại				Trạng thái kế tiếp				Các ngõ vào FF			
Q_{n-1}	.. Q_2	Q_1	Q_0	Q'_{n-1}	... Q'_2	Q'_1	Q'_0	T_{n-1}	... T_2	T_1	T_0
Liệt kê đầy đủ 2^n trạng thái hiện tại				Xác định trạng thái kế tiếp mong muốn theo yêu cầu của mạch đếm				Xác định các ngõ vào của FF căn cứ vào bảng kích thích. Ví dụ: T_0 phụ thuộc vào Q_0 và Q'_0 . T_1 phụ thuộc vào Q_1 và Q'_1 .			

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại $Q_{n-1} \dots Q_1, Q_0$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

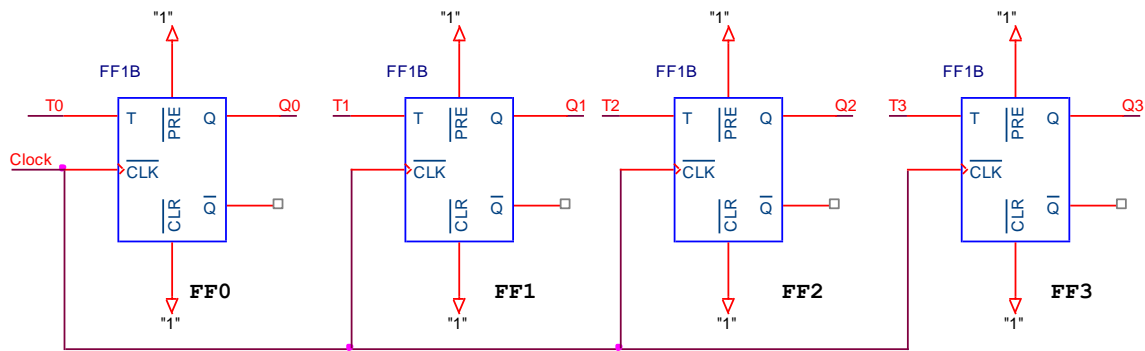
Bước 5: Dùng cổng logic thực hiện các hàm Boolean của các ngõ vào FF đã được rút gọn, (các ngõ Pre, Clr không dùng thì kết nối vào mức logic không tích cực).

Ví dụ 1: Thiết kế mạch đếm **lên đồng bộ nhị phân 4 bit** (mod $M=16$) dùng FF-T có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

Bước 1: Chọn số FF: $2^{n-1} < M=16 \leq 2^n$ (với $n \in \mathbb{Z}^+$) nên $n=4$

Mạch đếm có **4 ngõ ra ($m=4$)**;

→Chọn số FF là 4 FF T.



Bước 2: Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại	Trạng thái kế tiếp	Các ngõ vào FF
	Q_3 Q_2 Q_1 Q_0	Q'_3 Q'_2 Q'_1 Q'_0	T_3 T_2 T_1 T_0
0.	Liệt kê đầy đủ	Xác định trạng thái kế tiếp	Xác định các ngõ vào của
1.	16 trạng thái hiện tại	mong muốn theo yêu cầu	FF căn cứ vào bảng kích thích.
2.		của mạch đếm	Ví dụ: T_0 phụ thuộc vào Q_0 và Q'_0 . T_1 phụ thuộc vào Q_1 và Q'_1 .

BKT(Bảng kích thích) FF-T:

Q_n	Q_{n+1}	T_n
0	0	0
0	1	1
1	0	1
1	1	0

TP	Trạng thái hiện tại	Trạng thái kế tiếp	Các ngõ vào FF
	Q_3 Q_2 Q_1 Q_0	Q'_3 Q'_2 Q'_1 Q'_0	T_3 T_2 T_1 T_0
0.	0 0 0 0	0 0 0 1	0 0 0 1
1.	0 0 0 1	0 0 1 0	0 0 1 1
2.	0 0 1 0	0 0 1 1	0 0 0 1
..
15	1 1 1 1	0 0 0 0	1 1 1 1

Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại	Trạng thái kế tiếp	Các ngõ vào FF
	Q_3 Q_2 Q_1 Q_0	Q'_3 Q'_2 Q'_1 Q'_0	T_3 T_2 T_1 T_0
0.	0 0 0 0	0 0 0 1	0 0 0 1
1.	0 0 0 1	0 0 1 0	0 0 1 1
2.	0 0 1 0	0 0 1 1	0 0 0 1

3.	0	0	1	1	0	1	0	0	0	1	1	1
4.	0	1	0	0	0	1	0	1	0	0	0	1
5.	0	1	0	1	0	1	1	0	0	0	1	1
6.	0	1	1	0	0	1	1	1	0	0	0	1
7.	0	1	1	1	1	0	0	0	1	1	1	1
8.	1	0	0	0	1	0	0	1	0	0	0	1
9.	1	0	0	1	1	0	1	0	0	0	1	1
10.	1	0	1	0	1	0	1	1	0	0	0	1
11.	1	0	1	1	1	1	0	0	0	1	1	1
12.	1	1	0	0	1	1	0	1	0	0	0	1
13.	1	1	0	1	1	1	1	0	0	0	1	1
14.	1	1	1	0	1	1	1	1	0	0	0	1
15.	1	1	1	1	0	0	0	0	1	1	1	1

Bước 3: Viết các hàm Boolean của các ngõ vào FF: T_3, T_2, T_1, T_0 theo các biến hiện tại Q_3, Q_2, Q_1, Q_0 .

- $T_0 = 1$;
- $T_1 = \sum(1, 3, 5, 7, 9, 11, 13, 15)$;
- $T_2 = \sum(3, 7, 11, 15)$;
- $T_3 = \sum(7, 15)$;

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

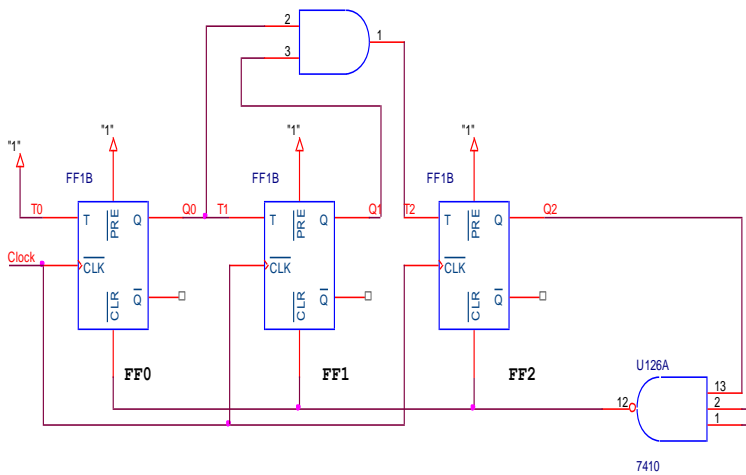
- $T_1 = \sum(1, 3, 5, 7, 9, 11, 13, 15) = Q_0$

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00				
01	1	1	1	1
11	1	1	1	1
10				

- $T_2 = \sum(3, 7, 11, 15) = Q_1Q_0$

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00				
01				

+ .Khảo sát mạch đếm đồng bộ mod khác 2^n :



- Giả sử trạng thái ban đầu của Q_2 Q_1 Q_0 là 000;
- Nhận xét các ngõ vào của FF: $T_0=1$; $T_1=Q_0$; $T_2=Q_0.Q_1$;
 $PRE=1$; $CLR=\overline{Q_0} + \overline{Q_1} + \overline{Q_2} = \overline{Q_0.Q_1.Q_2}$
- Các FF có CK nối chung nên phân tích họ
- **Nắm vững bảng trạng thái của FF;**

TP	CK	Các ngõ vào FF			Các ngõ ra			
		T ₂	T ₁	T ₀	Q ₂	Q ₁	Q ₀	CLR
0.	0	0	0	1	0	0	0	1
1.	↓	0	1	1	0	0	1	1
2.	↓	0	0	1	0	1	0	1
3.	↓	1	1	1	0	1	1	1
4.	↓	0	0	1	1	0	0	1
5.	↓	0	1	1	1	0	1	1
6.	↓	0	0	1	1	1	0	1
7.	↓				1	1	1	0
					Thay bằng trạng thái 000			
		0	0	1	0	0	0	1
8.					0	0	1	1

$$\begin{array}{c|c} T_n & Q_{n+1} \\ \hline 0 & Q_n \\ 1 & \overline{Q_n} \end{array} \quad Q_{n+1} = T_n \cdot \overline{Q_n} + Q_n \cdot \overline{T_n}$$

+Thiết kế mạch đếm đồng bộ mod khác 2^n : (Tương tự như thiết kế mạch đếm đồng bộ mod 2^n , các trạng thái hiện tại không có trạng thái kế tiếp trong mạch đếm thì ta chọn trạng thái kế tiếp là tùy định)

Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF) và số trạng thái;

Căn cứ mod M mạch đếm, chọn số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < M \leq 2^n$ (với $n \in \mathbb{Z}^+$).

Số ngõ ra của mạch đếm m;

→ Số FF max (n, m)

Bước 2: Lập bảng trạng thái cho mạch đếm

Trạng thái hiện tại				Trạng thái kế tiếp				Các ngõ vào FF			
Q_{n-1}	$..Q_2$	Q_1	Q_0	Q'_{n-1}	$...Q'_2$	Q'_1	Q'_0	T_{n-1}	$...T_2$	T_1	T_0

Liệt kê đầy đủ 2^n trạng thái hiện tại	Xác định trạng thái kế tiếp mong muốn theo yêu cầu của mạch đếm (Nếu ngay trạng thái hiện tại không có trạng thái kế tiếp trong mạch đếm thì ta chọn trạng thái kế tiếp là tùy định)	Xác định các ngõ vào của FF căn cứ vào bảng kích thích. Ví dụ: T_0 phụ thuộc vào Q_0 và Q'_0 . T_1 phụ thuộc vào Q_1 và Q'_1 .
--	---	---

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại $Q_{n-1} \dots Q_1, Q_0$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

Bước 5: Dùng cổng logic thực hiện các hàm Boolean của các ngõ vào FF đã được rút gọn, (các ngõ Pre, Clr không dùng thì kết nối vào mức logic không tích cực).

Ví dụ : Thiết kế mạch tuần tự ĐỒNG BỘ theo giản đồ sau:

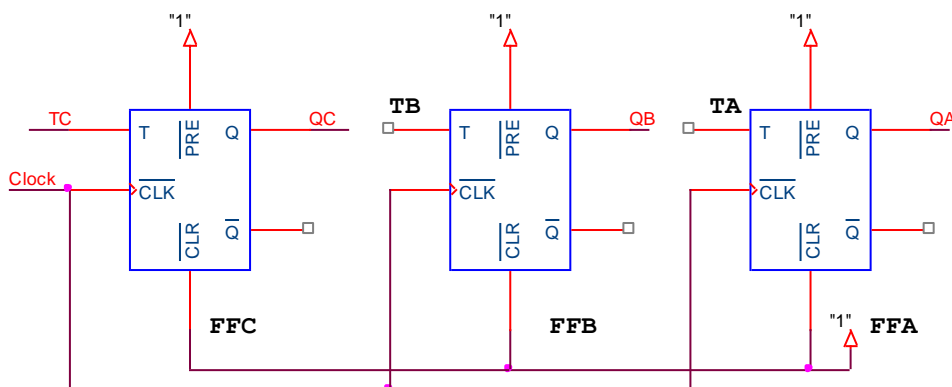
000→001→010→011→100→101→110→000→001.....dùng FF-T có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF); Căn cứ mod M mạch đếm.

→ chọn số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < 7 \leq 2^n$ (với $n \in \mathbb{Z}^+$). $n=3$

Và mạch có 3 ngõ ra $Q_A Q_B Q_C$

Chọn số FF là 3 FF



Bước 2: Lập bảng trạng thái cho mạch đếm

000→001→010→011→100→101→110→000→001

TP	Trạng thái hiện tại			Trạng thái kế tiếp			Các ngõ vào FF		
	Q_A	Q_B	Q_C	Q'_A	Q'_B	Q'_C	T_A	T_B	T_C
0.	0	0	0	0	0	1	0	0	1
1.	0	0	1	0	1	0	0	1	1
2.	0	1	0	0	1	1	0	0	1

3.	0	1	1	1	0	0	1	1	1
4.	1	0	0	1	0	1	0	0	1
5.	1	0	1	1	1	0	0	1	1
6.	1	1	0	0	0	0	1	1	0
7.	1	1	1	X	X	X	X	X	X

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại $Q_A Q_B Q_C$

$$T_A(Q_A, Q_B, Q_C) = \sum(3, 6) + d(7); T_B(Q_A, Q_B, Q_C) = \sum(1, 3, 5, 6) + d(7);$$

$$T_C(Q_A, Q_B, Q_C) = \sum(0, 1, 2, 3, 4, 5) + d(7) = \prod(6), d(7)$$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

+Rút gọn:

$Q_B Q_C$	00	01	11	10
Q_A				
0			1	
1			X	1

$$T_A = \sum(3, 6) + d(7)$$

$$= Q_B Q_C + Q_A Q_B = Q_B(Q_C + Q_A)$$

$Q_B Q_C$	00	01	11	10
Q_A				
0		1	1	
1		1	X	1

$$T_B = \sum(1, 3, 5, 6) + d(7)$$

$$= Q_C + Q_A Q_B$$

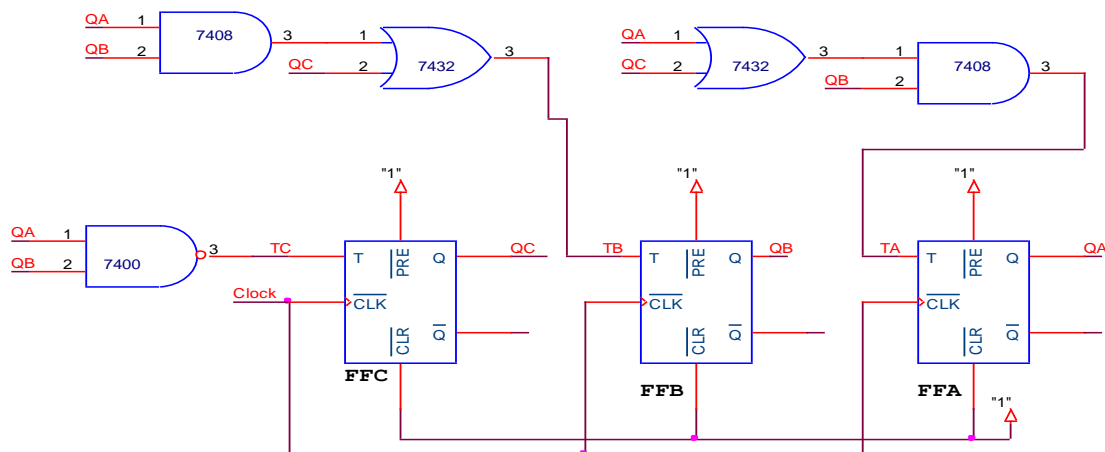
$Q_B Q_C$	00	01	11	10
Q_A				
0	1	1	1	1
1	1	1	X	

$$T_C = \sum(0, 1, 2, 3, 4, 5) + d(7) = \prod(6), d(7)$$

$$= \overline{Q_A} + \overline{Q_B} = \overline{Q_A \cdot Q_B}$$

Bước 5: Dùng cổng logic thực hiện các hàm Boolean của các ngõ vào FF đã được rút gọn, (các ngõ Pre, Clr không dùng thì kết nối vào mức logic không tích cực).

Có hai cách vẽ mạch:



Mạch đếm có 4 ngõ ra ($m=4$);

→ Chọn số FF là 4 FF T.

BKT FF-JK:

Q_n	Q_{n+1}	J_n	K_n
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Bước 2: Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại				Trạng thái kế tiếp				Các ngõ vào FF							
	Q_3	Q_2	Q_1	Q_0	Q'_3	Q'_2	Q'_1	Q'_0	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0
0.	0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
1.	0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1
2.	0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X
3.	0	0	1	1	0	1	0	0	0	X	1	X	1	X	X	1
4.	0	1	0	0	0	1	0	1	0	X	X	0	0	X	1	X
5.	0	1	0	1	0	1	1	0	0	X	X	0	1	X	X	1
6.	0	1	1	0	0	1	1	1	0	X	X	0	X	0	1	X
7.	0	1	1	1	1	0	0	0	1	X	X	1	X	1	X	1
8.	1	0	0	0	1	0	0	1	X	0	0	X	0	X	1	X
9.	1	0	0	1	1	0	1	0	X	0	0	X	1	X	X	1
10.	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X
11.	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X
12.	1	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X
13.	1	1	0	1	X	X	X	X	X	X	X	X	X	X	X	X
14.	1	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X
15.	1	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X

Bước 2: Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại				Trạng thái kế tiếp				Các ngõ vào FF							
	Q_3	Q_2	Q_1	Q_0	Q'_3	Q'_2	Q'_1	Q'_0	T_3	T_2	T_1	T_0				
0.	0	0	0	0	0	0	0	1	0	0	0	1				
1.	0	0	0	1	0	0	1	0	0	0	1	1				

2.	0	0	1	0	0	0	1	1	0	0	0	1				
3.	0	0	1	1	0	1	0	0	0	1	1	1				
4.	0	1	0	0	0	1	0	1	0	0	0	1				
5.	0	1	0	1	0	1	1	0	0	0	1	1				
6.	0	1	1	0	0	1	1	1	0	0	0	1				
7.	0	1	1	1	1	0	0	0	1	1	1	1				
8.	1	0	0	0	1	0	0	1	0	0	0	1				
9.	1	0	0	1	0	0	0	0	1	0	0	1				
10.	1	0	1	0	X	X	X	X	X	X	X	X				
11.	1	0	1	1	X	X	X	X	X	X	X	X				
12.	1	1	0	0	X	X	X	X	X	X	X	X				
13.	1	1	0	1	X	X	X	X	X	X	X	X				
14.	1	1	1	0	X	X	X	X	X	X	X	X				
15.	1	1	1	1	X	X	X	X	X	X	X	X				

Bước 3: Viết các hàm Boolean của các ngõ vào FF: T_3, T_2, T_1, T_0 theo các biến hiện tại Q_3, Q_2, Q_1, Q_0 .

- $T_0 = \sum(0,1,2, 3, 4, 5, 6, 7, 8,9) + d(10, 11, 12, 13, 14, 15)$
- $T_1 = \sum(1, 3, 5, 7) + d(10, 11, 12, 13, 14, 15)$
- $T_2 = \sum(3, 7) + d(10, 11, 12, 13, 14, 15)$
- $T_3 = \sum(7, 9) + d(10, 11, 12, 13, 14, 15)$
-

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

- $T_0 = \sum(0,1,2, 3, 4, 5, 6, 7, 8,9) + d(10, 11, 12, 13, 14, 15)=1$
- $T_1 = \sum(1, 3, 5, 7) + d(10, 11, 12, 13, 15) = \overline{Q_3}$

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00			x	
01	1	1	x	
11	1	1	x	x
10			x	x

- $T_2 = \sum(3, 7) + d(10, 11, 12, 13, 14, 15) = Q_1Q_0$

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00			x	
01			x	
11	1	1	x	x
10			x	x

$$- T_3 = \sum(7, 9) + d(10, 11, 12, 13, 14, 15) = Q_3Q_0 + Q_2Q_1Q_0$$

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00			x	
01			x	1
11		1	x	x
10			x	x

+ Mạch đếm lên đồng bộ nhị phân n bit:

$$T_0 = 1;$$

$$T_1 = Q_0; T_2 = Q_0Q_1; T_3 = Q_0Q_1Q_2; \dots T_{n-1} = Q_0Q_1 \dots Q_{n-2}$$

Bước 5: SV tự vẽ mạch

Ví dụ : Thiết kế mạch tuần tự theo giản đồ sau:

1000 → 0100 → 0010 → 0001 → 1000 → 0100 → 0010 → 0001

dùng **FF-JK**, có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

(SV tự làm)

Ví dụ : Thiết kế mạch tuần tự theo giản đồ sau:

0000 → 1000 → 1100 → 1110 → 1111 → 0111 → 0011 → 0001 → 0000 → 1000 → 1100

- Dùng FF-D có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.
- Dùng FF-T có đặc điểm Pre, Clr tích mức cao, CK tác động cạnh lên.
- Dùng FF-JK có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

(SV tự làm)

Gợi ý bảng trạng thái

TP	Trạng thái hiện tại	Trạng thái kế tiếp	Các ngõ vào FF
----	---------------------	--------------------	----------------

	Q ₃	Q ₂	Q ₁	Q ₀	Q' ₃	Q' ₂	Q' ₁	Q' ₀	T ₃	T ₂	T ₁	T ₀
0.	0	0	0	0								
1.	0	0	0	1								
2.	0	0	1	0	X	X	X	X	X	X	X	X
3.	0	0	1	1								
4.	0	1	0	0	X	X	X	X	X	X	X	X
5.	0	1	0	1	X	X	X	X	X	X	X	X
6.	0	1	1	0	X	X	X	X	X	X	X	X
7.	0	1	1	1								
8.	1	0	0	0								
9.	1	0	0	1	X	X	X	X	X	X	X	X
10.	1	0	1	0	X	X	X	X	X	X	X	X
11.	1	0	1	1	X	X	X	X	X	X	X	X
12.	1	1	0	0								
13.	1	1	0	1	X	X	X	X	X	X	X	X
14.	1	1	1	0								
15.	1	1	1	1								

Ví dụ : Thiết kế mạch tuần tự theo giản đồ sau:

000→100→110→111→011→001→000→100→110.....

dùng FF-D có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF); Căn cứ mod M mạch đếm.

chọn số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < 6 \leq 2^n$ (với $n \in \mathbb{Z}^+$).

→ n=3

Bước 2: Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại			Trạng thái kế tiếp			Các ngõ vào FF		
	Q _A	Q _B	Q _C	Q' _A	Q' _B	Q' _C	D _A	D _B	D _C
0.	0	0	0	1	0	0	1	0	0
1.	0	0	1	0	0	0	0	0	0
2.	0	1	0	X	X	X	X	X	X
3.	0	1	1	0	0	1	0	0	1
4.	1	0	0	1	1	0	1	1	0
5.	1	0	1	X	X	X	X	X	X
6.	1	1	0	1	1	1	1	1	1
7.	1	1	1	0	1	1	0	1	1

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại Q_AQ_BQ_C

$$D_A = \sum(0,4,6) + d(2,5) ; D_B = \sum(4,6,7) + d(2,5) ; D_C = \sum(3,6,7) + d(2,5)$$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

$Q_B Q_C$ QA	00	01	11	10
0	1			X
1	1	X		1

$$D_A = \sum(0,4,6) + d(2,5) = \bar{Q}_C$$

$Q_B Q_C$ QA	00	01	11	10
0				X
1	1	X	1	1

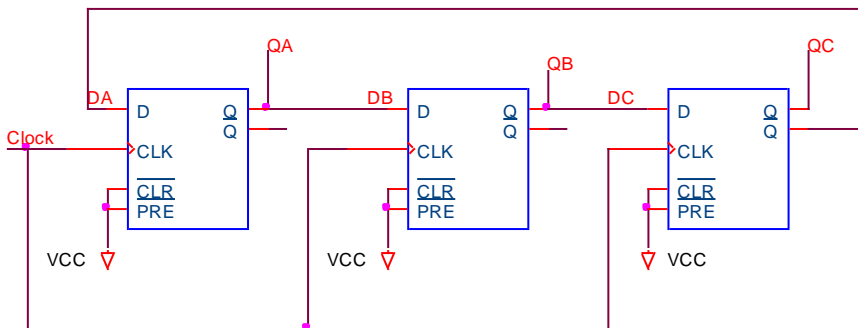
$$D_B = \sum(4,6,7) + d(2,5) = Q_A$$

$Q_B Q_C$ QA	00	01	11	10
0			1	X
1		X	1	1

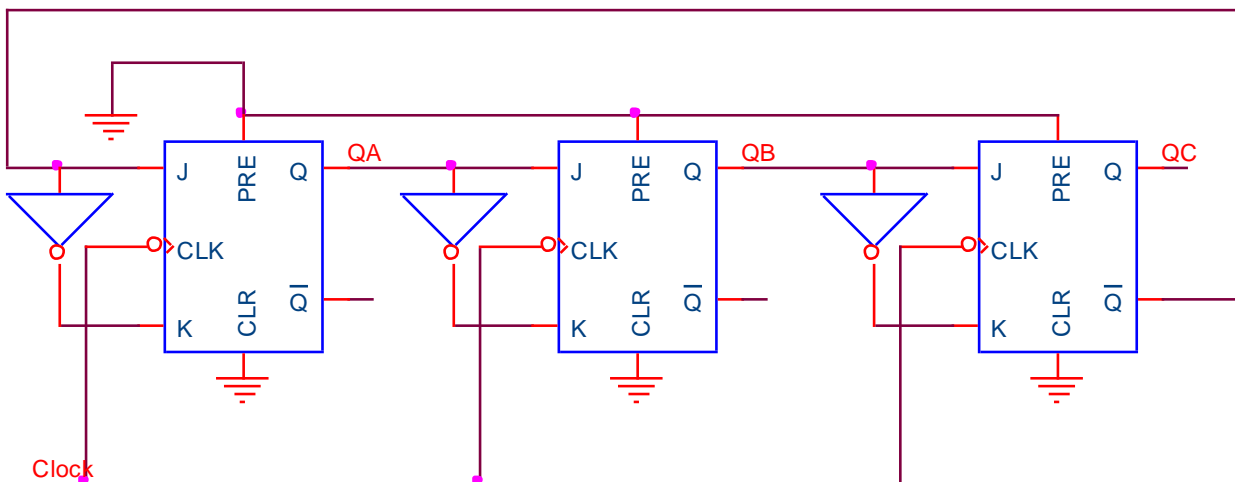
$$D_C = \sum(3,6,7) + d(2,5) = Q_B$$

Vẽ mạch

(SV tự vẽ mạch)



Mạch được biểu diễn từ FF JK:



Ví dụ : Thiết kế mạch tuần tự theo giản đồ sau: **100→010→001→100.....**
dùng FF-D có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.
(SV tự làm)

Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF);
có 3 ngõ ra (**QA, QB, QC**) nên số FF là 3

Bước 2: Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại	Trạng thái kế tiếp	Các ngõ vào FF
----	---------------------	--------------------	----------------

	Q_A	Q_B	Q_C	Q'_A	Q'_B	Q'_C	D_A	D_B	D_C
0.	0	0	0	X	X	X	X	X	X
1.	0	0	1	1	0	0	1	0	0
2.	0	1	0	0	0	1	0	0	1
3.	0	1	1	X	X	X	X	X	X
4.	1	0	0	0	1	0	0	1	0
5.	1	0	1	X	X	X	X	X	X
6.	1	1	0	X	X	X	X	X	X
7.	1	1	1	X	X	X	X	X	X

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại $Q_A Q_B Q_C$

- Dùng FF D: $D_A = \sum(1) + d(0,3,5,6,7)$; $D_B = \sum(4) + d(0,3,5,6,7)$; $D_C = \sum(2) + d(0,3,5,6,7)$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

Dùng FF D:

$Q_B Q_C$	00	01	11	10
Q_A				
0	x	1	x	
1		x	x	x

$$D_A = Q_C$$

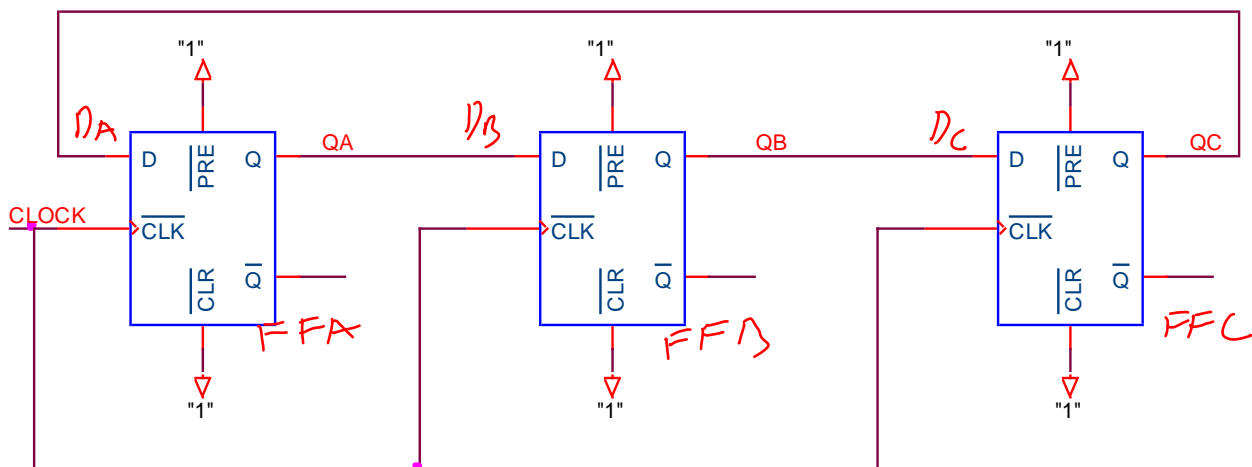
$Q_B Q_C$	00	01	11	10
Q_A				
0	x		x	
1	1	x	x	x

$$D_B = Q_A$$

$Q_B Q_C$	00	01	11	10
Q_A				
0	x		x	1
1		x	x	x

$$D_C = Q_B$$

+Vẽ mạch:



Ví dụ : Thiết kế mạch tuần tự theo giản đồ sau: 000 → 001 → 011 → 111 → 110 → 100 → 000.....
dùng FF-JK có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

(SV tự làm)

Gợi ý bảng trạng thái

TP	Trạng thái hiện tại			Trạng thái kế tiếp			Các ngõ vào FF					
	Q_0	Q_1	Q_2	Q'_0	Q'_1	Q'_2	J_0	K_0	J_1	K_1	J_2	K_2
0.	0	0	0	0	0	1	0	X	0	X	1	X
1.	0	0	1	0	1	1	0	X	1	X	X	0
2.	0	1	0	X	X	X	X	X	X	X	X	X
3.	0	1	1	1	1	1	1	X	X	0	X	0
4.	1	0	0	0	0	0	X	1	0	X	0	X
5.	1	0	1	X	X	X	X	X	X	X	X	X
6.	1	1	0	1	0	0	X	0	X	1	0	X
7.	1	1	1	1	1	0	X	0	X	0	X	1

$$J_0 = \sum(3) + d(2,4,5,6,7) ; K_0 = \sum(4) + d(0,1,2,3,5) ; J_1 = \sum(1) + d(2,3,5,6,7)$$

$$K_1 = \sum(6) + d(0,1,2,4,5) ; J_2 = \sum(0) + d(1,2,3,5,7) ; K_2 = \sum(7) + d(0,2,4,5,6)$$

+Rút gọn:

Q_1Q_2	00	01	11	10
Q_0				
0			1	X
1	X	X	X	X

$$J_0 = \sum(3) + d(2,4,5,6,7) = Q_1$$

Q_1Q_2	00	01	11	10
Q_0				
0	X	X	X	X
1	1	X		

$$K_0 = \sum(4) + d(0,1,2,3,5) = \overline{Q_1}$$

Q_1Q_2	00	01	11	10
Q_0				
0		1	X	X
1		X	X	X

$$J_1 = \sum(1) + d(2,3,5,6,7) = Q_2$$

Q_1Q_2	00	01	11	10
Q_0				
0	X	X		X
1	X	X		1

$$K_1 = \sum(6) + d(0,1,2,4,5) = \overline{Q_1}$$

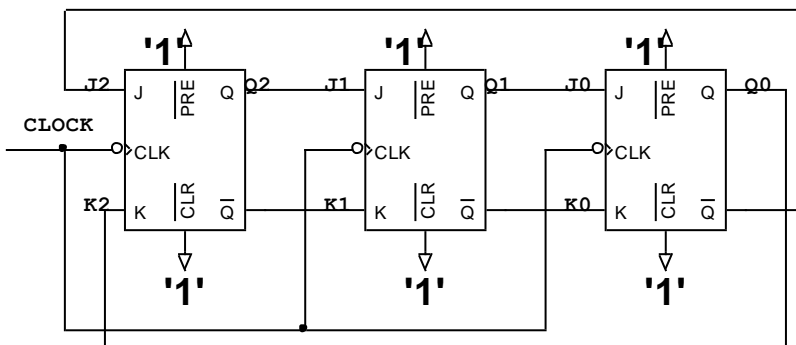
Q_1Q_2	00	01	11	10
Q_0				
0	1	X	X	X
1		X	X	

$$J_2 = \sum(0) + d(1,2,3,5,7) = \overline{Q_0}$$

Q_1Q_2	00	01	11	10
Q_0				
0	X			X
1	X	X	1	X

$$K_2 = \sum(7) + d(0,2,4,5,6) = Q_0$$

+ Về mạch:



Ví dụ : Thiết kế mạch tuần tự **đồng bộ** theo giản đồ sau:

001→010→011→100→101→110→111→001→010.....

dùng FF-D, FF-T, có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF); Căn cứ mod M mạch đếm.

Mạch **đếm mod 7**, có **3 ngõ ra** (Q_A, Q_B, Q_C) nên số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < 7 \leq 2^n$ (với $n \in \mathbb{Z}^+$).

Vậy $n=3$ ($2^{3-1} < 7 \leq 2^3$)

Bước 2: Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại			Trạng thái kế tiếp			Các ngõ vào FF			Các ngõ vào FF		
	Q_A	Q_B	Q_C	Q'_A	Q'_B	Q'_C	D_A	D_B	D_C	T_A	T_B	T_C
0.	0	0	0	X	X	X	X	X	X	X	X	X
1.	0	0	1	0	1	0	0	1	0	0	1	1
2.	0	1	0	0	1	1	0	1	1	0	0	1
3.	0	1	1	1	0	0	1	0	0	1	1	1
4.	1	0	0	1	0	1	1	0	1	0	0	1
5.	1	0	1	1	1	0	1	1	0	0	1	1
6.	1	1	0	1	1	1	1	1	1	0	0	1
7.	1	1	1	0	0	1	0	0	1	1	1	0

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại $Q_A Q_B Q_C$

- Dừng FF D: $D_A = \sum(3,4,5,6) + d(0)$; $D_B = \sum(1,2,5,6) + d(0)$; $D_C = \sum(2,4,6,7) + d(0)$

- Dừng FF T: $T_A = \sum(3,7) + d(0)$; $T_B = \sum(1,3,5,7) + d(0)$; $T_C = \sum(1,2,3,4,5,6) + d(0)$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

Dùng FF D:

$Q_B Q_C$	00	01	11	10
Q_A				
0	X		1	
1	1	1		1

$$D_A = \sum(3,4,5,6) + d(0) = Q_A \bar{Q}_B + Q_A \bar{Q}_C + \bar{Q}_A Q_B Q_C$$

$Q_B Q_C$	00	01	11	10
Q_A				
0	X	1		1
1		1		1

$$D_B = \sum(1,2,5,6) + d(0) = \bar{Q}_B Q_C + Q_B \bar{Q}_C = Q_B \oplus Q_C$$

$Q_B Q_C$	00	01	11	10
Q_A				
0	X			1
1	1		1	1

$$D_C = \sum(2,4,6,7) + d(0) = \bar{Q}_C + Q_A Q_B$$

Dùng FF T:

$Q_B Q_C$	00	01	11	10
Q_A				
0				
1				

$Q_B Q_C$	00	01	11	10
Q_A				
0				
1				

$Q_B Q_C$	00	01	11	10
Q_A				
0				
1				

0	X		1	
1			1	

$$T_A = \sum(3,7) + d(0) = Q_B \cdot Q_C$$

0	X	1	1	
1		1	1	

$$T_B = \sum(1,3,5,7) + d(0) = Q_C$$

0	X	1	1	1
1	1	1		1

$$T_C = \sum(1,2,3,4,5,6) + d(0) =$$

$$\overline{Q_A} + \overline{Q_B} + \overline{Q_C} = \overline{Q_A Q_B Q_C}$$

Vẽ mạch

(SV tự vẽ mạch)

Ví dụ 2 : Thiết kế mạch tuần tự theo giản đồ sau:

1000 → 0100 → 0010 → 0001 → 1000 → 0100 → 0010 → 0001....

dùng FF-D có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

(SV tự làm)

Gợi ý bảng trạng thái

TP	Trạng thái hiện tại				Trạng thái kế tiếp				Các ngõ vào FF			
	Q ₃	Q ₂	Q ₁	Q ₀	Q' ₃	Q' ₂	Q' ₁	Q' ₀	D ₃	D ₂	D ₁	D ₀
0.	0	0	0	0	X	X	X	X	X	X	X	X
1.	0	0	0	1	1	0	0	0	1	0	0	0
2.	0	0	1	0	0	0	0	1	0	0	0	1
3.	0	0	1	1	X	X	X	X	X	X	X	X
4.	0	1	0	0	0	0	1	0	0	0	1	0
5.	0	1	0	1	X	X	X	X	X	X	X	X
6.	0	1	1	0	X	X	X	X	X	X	X	X
7.	0	1	1	1	X	X	X	X	X	X	X	X
8.	1	0	0	0	0	1	0	0	0	1	0	0
9.	1	0	0	1	X	X	X	X	X	X	X	X
10.	1	0	1	0	X	X	X	X	X	X	X	X
11.	1	0	1	1	X	X	X	X	X	X	X	X
12.	1	1	0	0	X	X	X	X	X	X	X	X
13.	1	1	0	1	X	X	X	X	X	X	X	X
14.	1	1	1	0	X	X	X	X	X	X	X	X
15.	1	1	1	1	X	X	X	X	X	X	X	X

Ví dụ : Thiết kế mạch đếm đồng bộ theo giản đồ sau: 11 → 10 → 01 → 00 → 11 → 10 → 01 → 00.....

dùng FF-T có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF); Căn cứ mod M mạch đếm.

chọn số FF là n phải thỏa mãn điều kiện sau: $4 = 2^n$ (với $n \in \mathbb{Z}^+$).

→ n=2

Bước 2: Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại		Trạng thái kế tiếp		Các ngõ vào FF	
	Q_1	Q_0	Q'_1	Q'_0	T_1	T_0
0.	0	0	1	1	1	1
1.	0	1	0	0	0	1
2.	1	0	0	1	1	1
3.	1	1	1	0	0	1

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại Q_1Q_0

$$T_1(Q_1, Q_0) = \sum(0, 2) ; T_0(Q_1, Q_0) = 1$$

Hoặc

TP	Trạng thái hiện tại		Trạng thái kế tiếp		Các ngõ vào FF	
	Q_1	Q_0	Q'_1	Q'_0	T_1	T_0
3	1	1	1	0	0	1
2	1	0	0	1	1	1
1	0	1	0	0	0	1
0.	0	0	1	1	1	1

$$T_1(Q_1, Q_0) = \sum(0, 2) ; T_0(Q_1, Q_0) = 1$$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

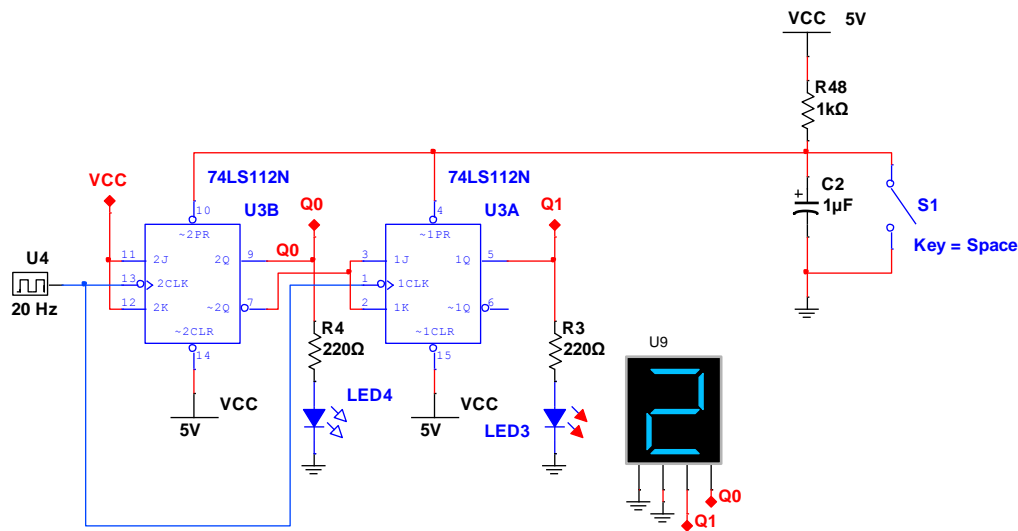
$Q_0 \backslash Q_1$	0	1
0	1	
1	1	

$$T_1(Q_1, Q_0) = \sum(0, 2) = \overline{Q_0}$$

$Q_0 \backslash Q_1$	0	1
0	1	1
1	1	1

$$T_0(Q_1, Q_0) = 1$$

Vẽ mạch (SV tự vẽ mạch)



Ví dụ : Thiết kế mạch đếm đồng bộ theo giản đồ sau: $11 \rightarrow 10 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 01 \dots$ dùng FF-D có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF); Căn cứ mod M mạch đếm.

chọn số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < 3 \leq 2^n$ (với $n \in \mathbb{Z}^+$).

→ $n=2$

Số ngõ ra của mạch đếm là 2

Bước 2: Lập bảng trạng thái cho mạch đếm

TP	Trạng thái hiện tại		Trạng thái kế tiếp		Các ngõ vào FF	
	Q_1	Q_0	Q'_1	Q'_0	D_1	D_0
0.	0	0	X	X	X	X
1.	0	1	1	1	1	1
2.	1	0	0	1	0	1
3.	1	1	1	0	1	0

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại $Q_1 Q_0$

$$D_1(Q_1, Q_0) = \sum(1,3) + d(0) ; D_0(Q_1, Q_0) = \sum(1,2) + d(0)$$

Hoặc

TP	Trạng thái hiện tại		Trạng thái kế tiếp		Các ngõ vào FF	
	Q_1	Q_0	Q'_1	Q'_0	D_1	D_0
3	1	1	1	0	1	0
2	1	0	0	1	0	1
1	0	1	1	1	1	1
1.	0	0	X	X	X	X

$$D_1(Q_1, Q_0) = \sum(1,3) + d(0) ; D_0(Q_1, Q_0) = \sum(1,2) + d(0)$$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

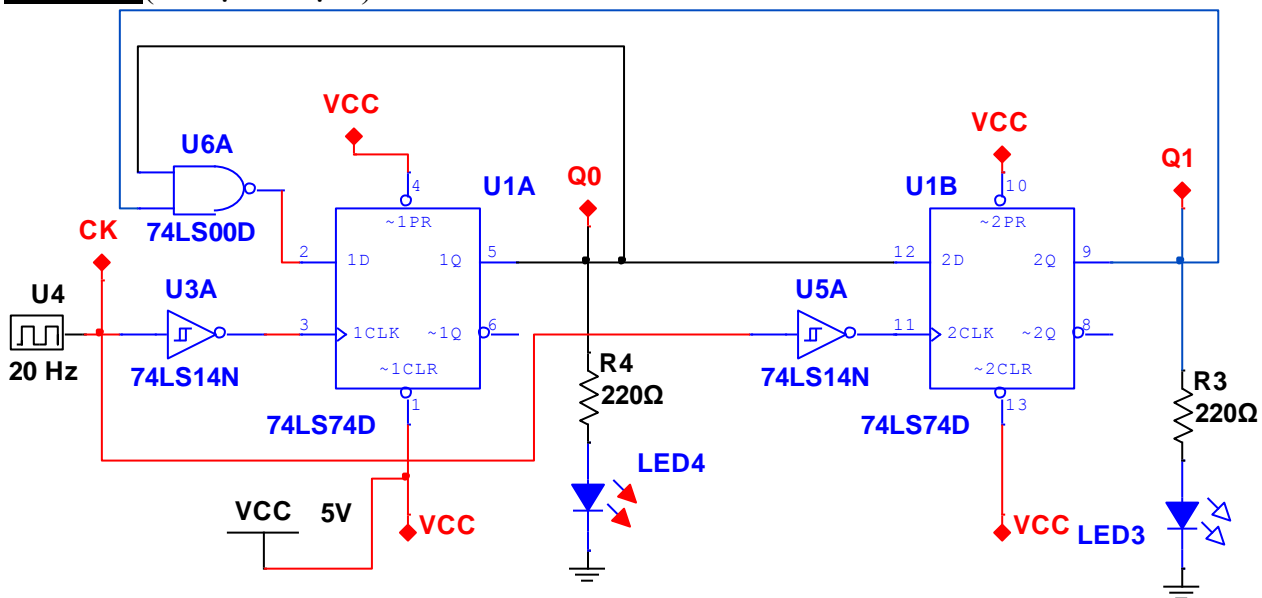
$Q_0 \backslash Q_1$	0	1
0	X	1
1		1

$$D_1(Q_1, Q_0) = \sum(1,3) + d(0) = Q_0$$

$Q_0 \backslash Q_1$	0	1
0	X	1
1	1	

$$D_0(Q_1, Q_0) = \sum(1,2) + d(0) \\ = \bar{Q}_1 + \bar{Q}_0 = \overline{Q_1 \cdot Q_0}$$

Vẽ mạch (SV tự vẽ mạch)



Ví dụ : Thiết kế mạch tuần tự ĐỒNG BỘ theo giản đồ sau:

100→010→001→000→100→010→001→000.....dùng FF-T có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

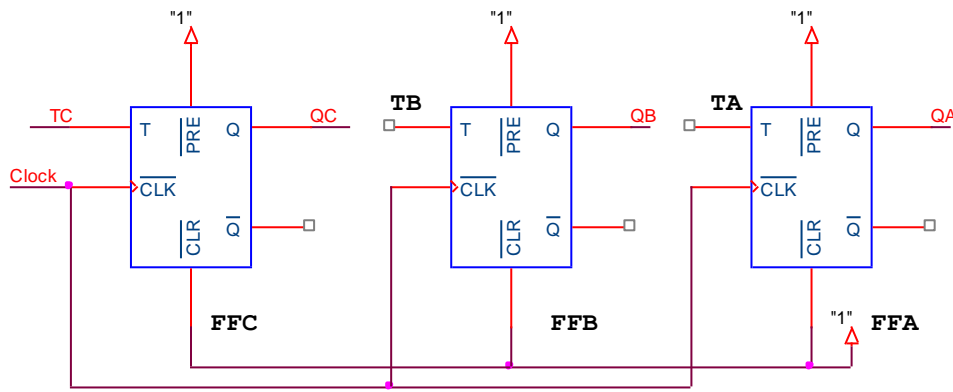
Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF); Căn cứ mod M mạch đếm.

Chọn số FF là n phải thỏa mãn điều kiện sau:

$$\rightarrow 2^{n-1} < M \leq 2^n \text{ (với } n \in \mathbb{Z}^+ \text{)}.$$

Và mạch có 3 ngõ ra $Q_A Q_B Q_C$; $m=3$

Chọn số FF là max (n, m) : 3 FF ;



Bước 2: Lập bảng trạng thái cho mạch đếm

100→010→001→000→100→010→001→000

TP	Trạng thái hiện tại			Trạng thái kế tiếp			Các ngõ vào FF		
	Q _A	Q _B	Q _C	Q' _A	Q' _B	Q' _C	T _A	T _B	T _C
0.	0	0	0	1	0	0	1	0	0
1.	0	0	1	0	0	0	0	0	1
2.	0	1	0	0	0	1	0	1	1
3.	0	1	1	X	X	X	X	X	X
4.	1	0	0	0	1	0	1	1	0
5.	1	0	1	X	X	X	X	X	X
6.	1	1	0	X	X	X	X	X	X
7.	1	1	1	X	X	X	X	X	X

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại Q_AQ_BQ_C

$$T_A(Q_A, Q_B, Q_C) = \sum(0, 4) + d(3, 5, 6, 7); T_B(Q_A, Q_B, Q_C) = \sum(2, 4) + d(3, 5, 6, 7);$$

$$T_C(Q_A, Q_B, Q_C) = \sum(1, 2) + d(3, 5, 6, 7)$$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

+Rút gọn:

Q _B Q _C \ Q _A	00	01	11	10
0	1		X	
1	1	X	X	X

$$T_A = \sum(0, 4) + d(3, 5, 6, 7) \\ = \overline{Q_B} \cdot \overline{Q_C} = \overline{Q_C} + \overline{Q_B}$$

Q _B Q _C \ Q _A	00	01	11	10
0			X	1
1	1	X	X	X

$$T_B = \sum(2, 4) + d(3, 5, 6, 7) \\ = Q_A + Q_B$$

Q _B Q _C \ Q _A	00	01	11	10
0		1	X	1
1		X	X	X

$$T_C = \sum(1, 2) + d(3, 5, 6, 7) = \\ = Q_C + Q_B$$

Bước 5: Dùng cổng logic thực hiện các hàm Boolean của các ngõ vào FF đã được rút gọn, (các ngõ Pre,Clr không dùng thì kết nối vào mức logic không tích cực).

Có hai cách vẽ mạch:

Ví dụ : Thiết kế mạch tuần tự ĐỒNG BỘ theo giản đồ sau:

100→010→001→000→100→010→001→000....dùng FF-T có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

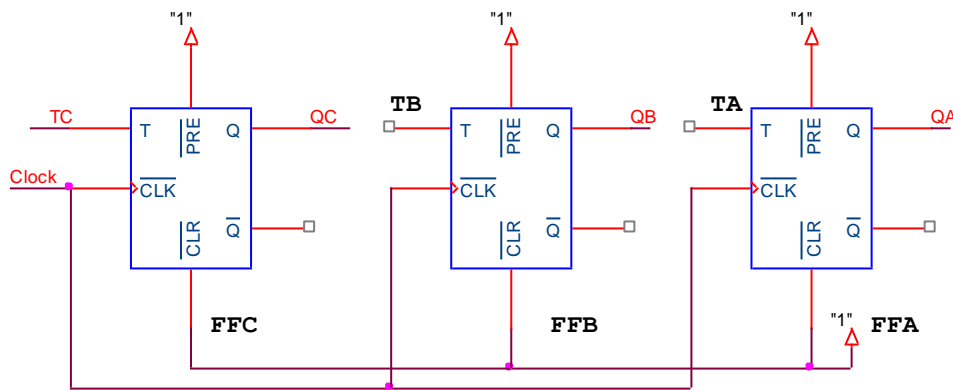
Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF); Căn cứ mod M mạch đếm.

Chọn số FF là n phải thỏa mãn các điều kiện sau:

$$\rightarrow M \leq 2^n \text{ (với } n \in \mathbb{Z}^+ \text{)}.$$

Và mạch có 3 ngõ ra $Q_A Q_B Q_C$; m=3

Chọn số FF là max (n, m) : 3 FF ;



Bước 2: Lập bảng trạng thái cho mạch đếm

100→010→001→000→100→010→001→000

TP	Trạng thái hiện tại			Trạng thái kế tiếp			Các ngõ vào FF		
	Q_A	Q_B	Q_C	Q'_A	Q'_B	Q'_C	T_A	T_B	T_C
8.	0	0	0	1	0	0	1	0	0
9.	0	0	1	0	0	0	0	0	1
10.	0	1	0	0	0	1	0	1	1
11.	0	1	1	X	X	X	X	X	X
12.	1	0	0	0	1	0	1	1	0
13.	1	0	1	X	X	X	X	X	X
14.	1	1	0	X	X	X	X	X	X
15.	1	1	1	X	X	X	X	X	X

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại $Q_A Q_B Q_C$

$$T_A(Q_A, Q_B, Q_C) = \sum(0, 4) + d(3, 5, 6, 7); T_B(Q_A, Q_B, Q_C) = \sum(2, 4) + d(3, 5, 6, 7);$$

$$T_C(Q_A, Q_B, Q_C) = \sum(1, 2) + d(3, 5, 6, 7)$$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

+Rút gọn:

$Q_B Q_C$ Q_A	00	01	11	10
0	1		X	
1	1	X	X	X

$$T_A = \sum(0,4) + d(3,5,6,7)$$

$$= \overline{Q_B} \cdot \overline{Q_C} = \overline{Q_C} + \overline{Q_B}$$

$Q_B Q_C$ Q_A	00	01	11	10
0			X	1
1	1	X	X	X

$$T_B = \sum(2,4) + d(3,5,6,7)$$

$$= Q_A + Q_B$$

$Q_B Q_C$ Q_A	00	01	11	10
0		1	X	1
1		X	X	X

$$T_C = \sum(1,2) + d(3,5,6,7) =$$

$$= Q_C + Q_B$$

Bước 5: Dùng cổng logic thực hiện các hàm Boolean của các ngõ vào FF đã được rút gọn, (các ngõ Pre, Clr không dùng thì kết nối vào mức logic không tích cực).

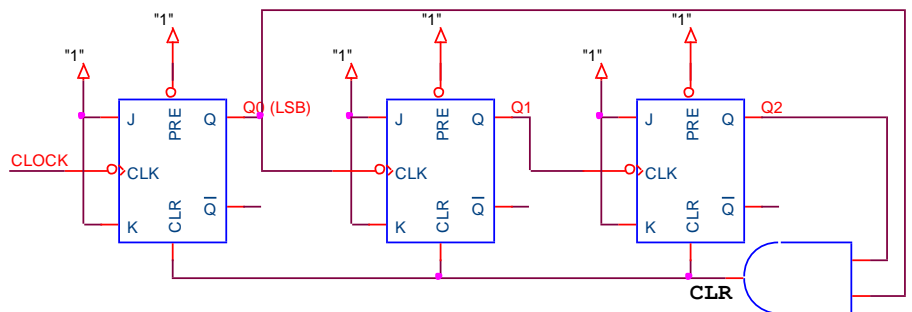
c. Mạch đếm đồng bộ với tính năng tự động reset: Là mạch tự thiết lập trạng thái ban đầu của các FF khi vừa bắt đầu hoạt động (vừa cung cấp nguồn).

Thực hiện tương tự như mạch đếm không đồng bộ

Khảo sát mạch đếm không đồng bộ mod khác 2^n :

Ví dụ: Cho mạch đếm như hình bên:

- Hãy nêu đặc điểm của các FF.
- Hãy nhận xét các ngõ CLR của các FF và cho biết khi nào các FF bị xóa ngõ ra?
- Hãy vẽ dạng sóng ngõ ra các FF theo 7 chu kỳ CK và nhận xét tần số ngõ ra Q2 và Clock.



Ví dụ: Thiết kế mạch đếm đồng bộ theo giản đồ sau: **01→10→11→01→10→11→.....** dùng FF-JK có đặc điểm **Pre, Clr tích mức thấp, CK tác động cạnh xuống.**

Bước 1: Chọn số FF: Căn cứ số ngõ ra của mạch đếm (số FF); Căn cứ mod M mạch đếm. chọn số FF là n phải thỏa mãn điều kiện sau: $2^{n-1} < 3 \leq 2^n$ (với $n \in \mathbb{Z}^+$).

Vậy $n=2$ ($2^{2-1} < 3 \leq 2^2$)

Bước 2: Lập bảng trạng thái cho mạch đếm
Chọn $J=K \rightarrow$ FF JK tương đương FF T

TP	Trạng thái hiện tại		Trạng thái kế tiếp		Các ngõ vào FF	
	Q_1	Q_0	Q'_1	Q'_0	T_1	T_0
0.	0	0	x	x	x	x
1.	0	1	1	0	1	1
2.	1	0	1	1	0	1
3.	1	1	0	1	1	0

Bước 3: Viết các hàm Boolean của các ngõ vào FF theo các biến hiện tại Q_1Q_0

$$T_1(Q_1, Q_0) = \sum(1,3) + d(0) = Q_0 ; T_0(Q_1, Q_0) = \sum(1,2) + d(0) = \overline{Q_1} + \overline{Q_0} = \overline{Q_1 \cdot Q_0}$$

Bước 4: Rút gọn các hàm Boolean của các ngõ vào FF.

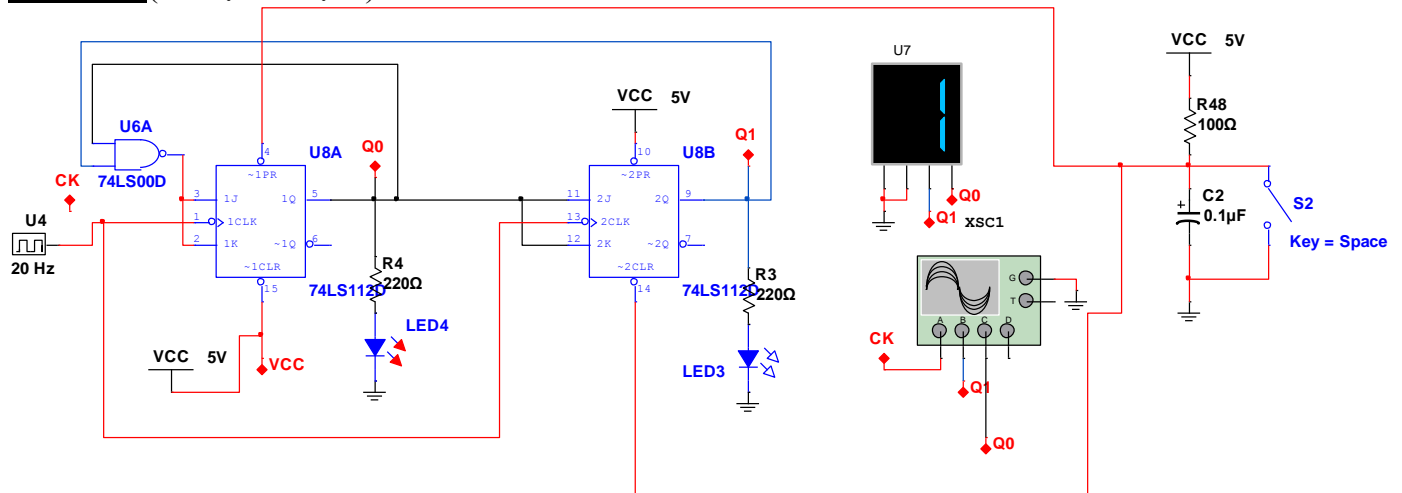
$Q_0 \backslash Q_1$	0	1
0	x	1
1		1

$$T_1(Q_1, Q_0) = \sum(1,3) + d(0) = Q_0$$

$Q_0 \backslash Q_1$	0	1
0	x	1
1	1	

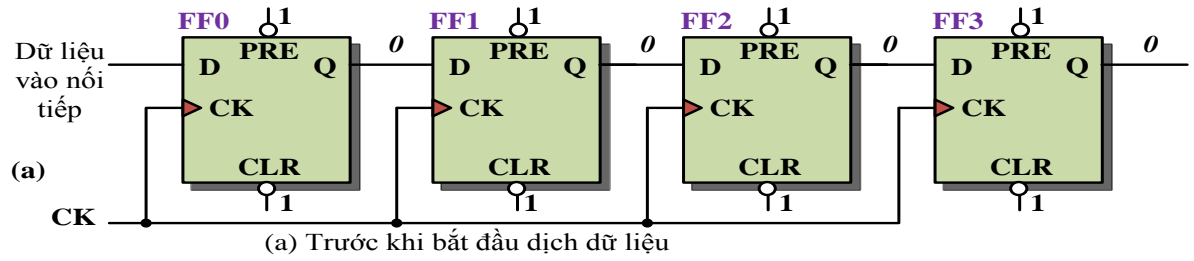
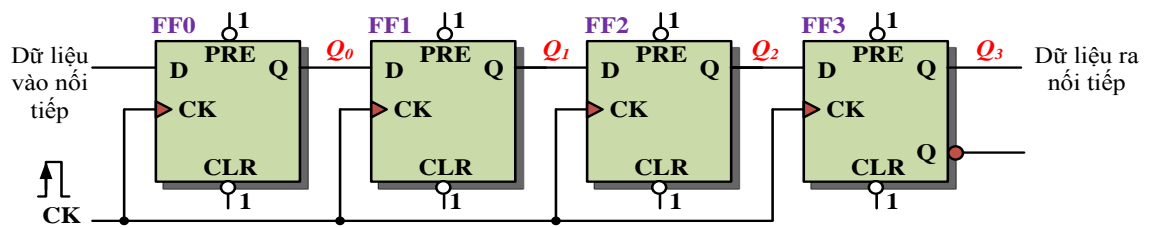
$$T_0(Q_1, Q_0) = \sum(1,2) + d(0) = \overline{Q_1} + \overline{Q_0} = \overline{Q_1 \cdot Q_0}$$

Vẽ mạch (SV tự vẽ mạch)



IV: THANH GHI DỊCH

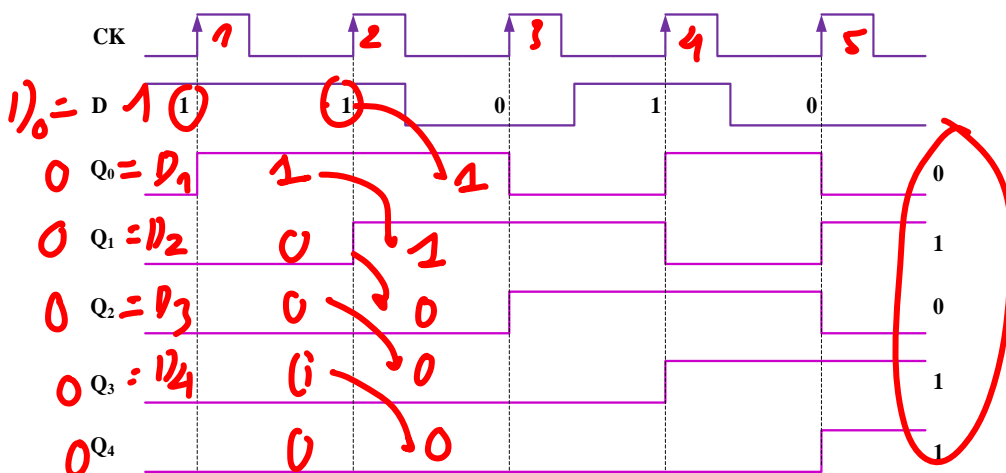
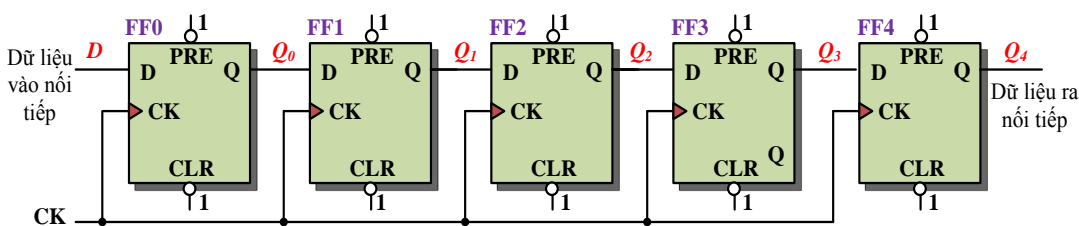
THANH GHI VÀO NỐI TIẾP - RA NỐI TIẾP



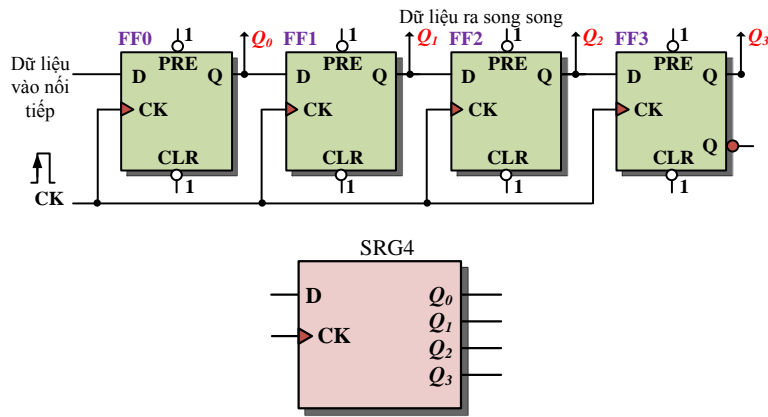
Bảng trạng thái

Seq	CK	D0= Di	D1= Q0	D2= Q1	D3= Q2	Q0	Q1	Q2	Q3
0	0	Di0	0	0	0	0	0	0	0
1.	↑	Di1	Di0	0	0	Di0	0	0	0
2.	↑	Di2	Di1	Di0	0	Di1	Di0	0	0
3.	↑	Di3	Di2	Di1	Di0	Di2	Di1	Di0	0
4.	↑	Di4	Di3	Di2	Di1	Di3	Di2	Di1	Di0
5.	↑	Di5	Di4	Di3	Di2	Di4	Di3	Di2	Di1
6.	↑	Di6	Di5	Di4	Di3	Di5	Di4	Di3	Di2

- ✓ Lấy dữ liệu ngõ ra Q_0 sẽ trễ 1 chu kỳ xung clock (CK) so với dữ liệu ngõ vào.
- ✓ Lấy dữ liệu ngõ ra Q_1 sẽ trễ 2 chu kỳ xung clock (CK) so với dữ liệu ngõ vào.
- ✓ Lấy dữ liệu ngõ ra Q_2 sẽ trễ 3 chu kỳ xung clock (CK) so với dữ liệu ngõ vào.
- ✓ Lấy dữ liệu ngõ ra Q_3 sẽ trễ 4 chu kỳ xung clock (CK) so với dữ liệu ngõ vào.

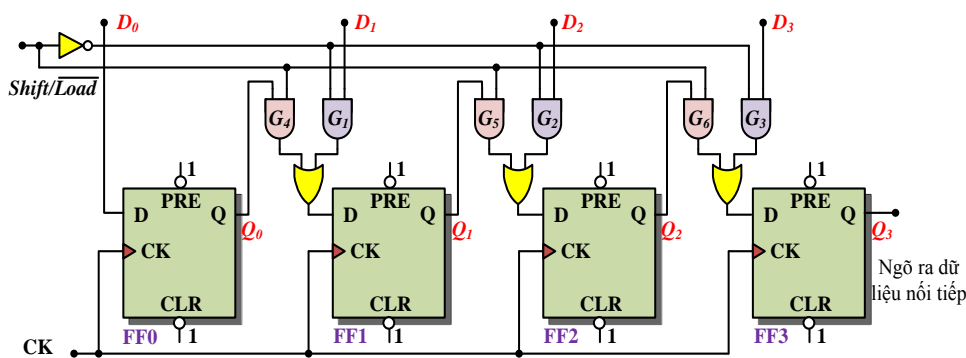


Lấy dữ liệu ngõ ra $Q_0Q_1Q_2Q_3$ sau 4 chu kỳ xung clock (CK)



Hình Kí hiệu thanh ghi dịch 4 bit vào nối tiếp ra song song.

THANH GHI VÀO SONG SONG - RA NỐI TIẾP



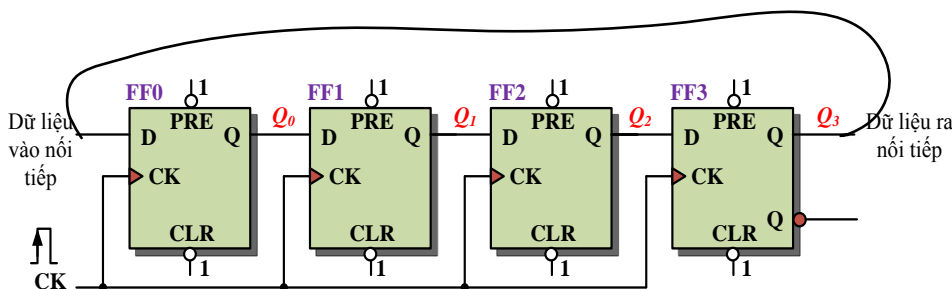
MẠCH ĐẾM VÒNG :

Đặc điểm của mạch đếm vòng

- ✓ Là một dạng của mạch đếm đồng bộ, được biến thể từ thanh ghi dịch **THANH GHI VÀO NỐI TIẾP - RA NỐI TIẾP**
- ✓ Lấy ngõ ra Q của FF cuối trong mạch **THANH GHI VÀO NỐI TIẾP - RA NỐI TIẾP** làm dữ liệu FF đầu: $D_0 = Q_{n-1}$ (với n là số FF)
- ✓ Trạng thái ban đầu của các FF: $Q_0 = 1$; $Q_1 = Q_2 = \dots = Q_{n-1} = 0$.
- ✓ Mạch đếm vòng có mod là n, với n là số FF;

Ví dụ: Mạch đếm vòng 4 bit (mod 4) : **1000** → **0100** → **0010** → **0001** → 1000 → 0100 → 0010...

Mạch đếm vòng 4 bit có 4 ngõ ra $Q_0Q_1Q_2Q_3$, ngõ ra $Q_3 = D_0$, trạng thái ban đầu **1000**



Bảng trạng thái mạch đếm vòng 4 bit:

Seq	CK	D0= Q3	D1= Q0	D2= Q1	D3= Q2	Q0	Q1	Q2	Q3
0	0	0	1	0	0	1	0	0	0
1.	↑	0	0	1	0	0	1	0	0
2.	↑	0	0	0	1	0	0	1	0
3.	↑	1	0	0	0	0	0	0	1
4.	↑	0	1	0	0	1	0	0	0
5.	↑								

Mạch đếm vòng 4 bit (mod 4)

Ví dụ: **Thiết kế mạch** Mạch đếm vòng 4 bit **theo giản đồ sau**

1000→0100→0010→0001→1000→0100→0010... dùng FF-D có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh xuống.

(SV thiết kế tương tự như trong mạch đếm đồng bộ mod khác 2^n)

MẠCH ĐẾM VÒNG XOẮN (JOHNSON):

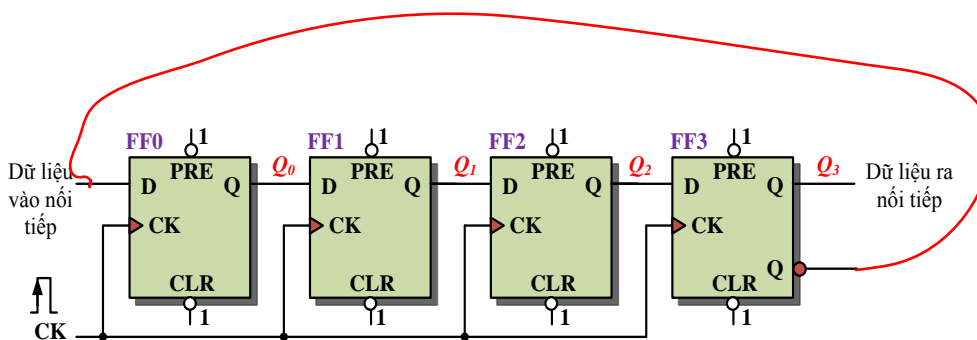
Đặc điểm của mạch đếm vòng

- ✓ Là một dạng của mạch đếm đồng bộ, được biến thể từ thanh ghi dịch **THANH GHI VÀO NỐI TIẾP - RA NỐI TIẾP**
- ✓ Lấy ngõ ra \overline{Q} của FF cuối trong mạch **THANH GHI VÀO NỐI TIẾP - RA NỐI TIẾP** làm dữ liệu FF đầu: $D_0 = \overline{Q}_{n-1}$ (với n là số FF)
- ✓ Trạng thái ban đầu của các FF: $Q_0 = Q_1 = Q_2 = \dots = Q_{n-1} = 0$.
- ✓ Mạch đếm vòng xoắn có mod là $2n$, với n là số FF;

Ví dụ: Mạch đếm vòng xoắn (Johnson) 4 bit (mod 8).

0000→1000→1100→1110→1111→0111→0011→0111→0000→1000→1100...

Mạch đếm vòng xoắn (Johnson) 4 bit (mod 8) có 4 ngõ ra $Q_0Q_1Q_2Q_3$, ngõ ra $\overline{Q}_3 = D_0$, trạng thái ban đầu 0000



Bảng trạng thái mạch đếm vòng xoắn 4 bit:

Seq	CK	D0= $\overline{Q_3}$	D1=Q0	D2=Q1	D3=Q2	Q0	Q1	Q2	Q3
0	0	1	0	0	0	0	0	0	0
1.	↑	1	1	0	0	1	0	0	0
2.	↑	1	1	1	0	1	1	0	0
3.	↑	1	1	1	1	1	1	1	0
4.	↑	0	1	1	1	1	1	1	1
5.	↑	0	0	1	1	0	1	1	1
6.	↑	0	0	0	1	0	0	1	1
7.	↑	0	0	0	0	0	0	0	1
8.	↑	1	0	0	0	0	0	0	0
9.									

Mạch đếm vòng 4 bit (mod 8)

Ví dụ: **Thiết kế mạch** Mạch đếm vòng xoắn (Johnson) 4 bit **theo giản đồ sau:**

0000 → 1000 → 1100 → 1110 → 1111 → 0111 → 0011 → 0001 → 0000 → 1000 → ... dùng FF-D có đặc điểm Pre, Clr tích mức thấp, CK tác động cạnh lên.

(SV thiết kế tương tự như trong mạch đếm đồng bộ mod khác 2^n)

MẠCH TUẦN TỰ MỞ RỘNG

1. Thiết kế mạch đếm hiển thị các số thập phân trên led 7 đoạn theo giản đồ sau:

2 → 3 → 4 → 5 → 2 → 3 → 4 → 5 → 6 → 7 → 8 → 2 → 3 → 4 → 5...

Gợi ý bảng trạng thái

- Dùng FF –T
- Thêm một bit vào các trạng thái để phân biệt chu trình đếm
- Mạch đếm có 5 ngõ ra, $Q_4Q_3Q_2Q_1Q_0$, 4 ngõ Q_3, Q_2, Q_1, Q_0 được đưa vào các ngõ của mạch giải mã led 7 đoạn.

00010 → 00011 → 00100 → 00101 → 10010 → 10011 → 10100 → 10101 → 10110 → 10111 → 11000 → 00010 → 00011 → 00100 → 00101

Seq	CK	Q4	Q3	Q2	Q1	Q0	Q'4	Q'3	Q'2	Q'1	Q'0	T4	T3	T2	T1	T0
0	0	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X
1.	↑	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X
2.	↑	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1
3.	↑	0	0	0	1	1	0	0	1	0	0	0	0	1	1	1
4.	↑	0	0	1	0	0	0	0	1	0	1	0	0	0	0	1
5.	↑	0	0	1	0	1	0	0	0	1	0	0	0	1	1	1
6.	↑	0	0	1	1	0	X	X	X	X	X	X	X	X	X	X
7.	↑	0	0	1	1	1	X	X	X	X	X	X	X	X	X	X
8.	↑	0	1	0	0	0	X	X	X	X	X	X	X	X	X	X

9.	↑	0	1	0	0	1	X	X	X	X	X	X	X	X	X	X
10.	↑	0	1	0	1	0	X	X	X	X	X	X	X	X	X	X
11.	↑	0	1	0	1	1	X	X	X	X	X	X	X	X	X	X
12.	↑	0	1	1	0	0	X	X	X	X	X	X	X	X	X	X
13.	↑	0	1	1	0	1	X	X	X	X	X	X	X	X	X	X
14.	↑	0	1	1	1	0	X	X	X	X	X	X	X	X	X	X
15.	↑	0	1	1	1	1	X	X	X	X	X	X	X	X	X	X
16.	↑	1	0	0	0	0	X	X	X	X	X	X	X	X	X	X
17.	↑	1	0	0	0	1	X	X	X	X	X	X	X	X	X	X
18.	↑	1	0	0	1	0	1	0	0	1	1	0	0	0	0	1
19.	↑	1	0	0	1	1	1	0	1	0	0	0	0	1	1	1
20.	↑	1	0	1	0	0	1	0	1	0	1	0	0	0	0	1
21.	↑	1	0	1	0	1	1	0	1	1	0	0	0	0	1	1
22.	↑	1	0	1	1	0	1	0	1	1	1	0	0	0	0	1
23.	↑	1	0	1	1	1	1	1	0	0	0	0	1	1	1	1
24.	↑	1	1	0	0	0	1	0	0	1	0	0	1	0	1	0
25.	↑	1	1	0	0	1	X	X	X	X	X	X	X	X	X	X
26.	↑	1	1	0	1	0	X	X	X	X	X	X	X	X	X	X
27.	↑	1	1	0	1	1	X	X	X	X	X	X	X	X	X	X
28.	↑	1	1	1	0	0	X	X	X	X	X	X	X	X	X	X
29.	↑	1	1	1	0	1	X	X	X	X	X	X	X	X	X	X
30.	↑	1	1	1	1	0	X	X	X	X	X	X	X	X	X	X
31.	↑	1	1	1	1	1	X	X	X	X	X	X	X	X	X	X

00010→00011→00100→00101→10010→10011→10100→10101→10110→10111→11
000→00010→00011→00100→00101

Seq CK	DEC	Q4	Q3	Q2	Q1	Q0	Q'4	Q'3	Q'2	Q'1	Q'0	T4	T3	T2	T1	T0
1.	2	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1
2.	3	0	0	0	1	1	0	0	1	0	0	0	0	1	1	1
3.	4	0	0	1	0	0	0	0	1	0	1	0	0	0	0	1
4.	5	0	0	1	0	1	0	0	0	1	0	0	0	1	1	1
5.	18	1	0	0	1	0	1	0	0	1	1	0	0	0	0	1
6.	19	1	0	0	1	1	1	0	1	0	0	0	0	1	1	1
7.	20	1	0	1	0	0	1	0	1	0	1	0	0	0	0	1
8.	21	1	0	1	0	1	1	0	1	1	0	0	0	0	1	1
9.	22	1	0	1	1	0	1	0	1	1	1	0	0	0	0	1
10.	23	1	0	1	1	1	1	1	0	0	0	0	1	1	1	1
11.	24	1	1	0	0	0	1	0	0	1	0	0	1	0	1	0

Các trạng thái còn lại ngã ra tùy định.

Viết hàm ngõ vào các FF:

$$T_0 = \sum(2,3,4,5,18,19,20,21,22,23) + d(0,1,6,7,8,9,10,11,12,13,14,15,16,17,25,26,27,28,29,30,31)$$

$$T_0 = \sum(2,3,4,5,18,19,20,21,22,23) + d(0,1,6,7,8,9,10,11,12,13,14,15,16,17,25,26,27,28,29,30,31)$$

$$T_0 = \sum(2,3,4,5,18,19,20,21,22,23) + d(0,1,6,7,8,9,10,11,12,13,14,15,16,17,25,26,27,28,29,30,31)$$

$$T_0 = \sum(2,3,4,5,18,19,20,21,22,23) + d(0,1,6,7,8,9,10,11,12,13,14,15,16,17,25,26,27,28,29,30,31)$$

$$T_0 = \sum(2,3,4,5,18,19,20,21,22,23) + d(0,1,6,7,8,9,10,11,12,13,14,15,16,17,25,26,27,28,29,30,31)$$

2. Thiết kế mạch đếm hiển thị các số thập phân trên led 7 đoạn theo giản đồ sau:

2 → 3 → 4 → 5 → 2 → 3 → 4 → 5 → 6 → 7 → 8 → 2 → 3 → 4 → 5

Seq	CK	Q4	Q3	Q2	Q1	Q0	T4	T3	T2	T1	T0
0	0	0	0	0	0	0	X	X	X	X	X
1.	↑	0	0	0	0	1	X	X	X	X	X
2.	↑	0	0	0	1	0	0	0	0	0	1
3.	↑	0	0	0	1	1	0	0	1	1	1
4.	↑	0	0	1	0	0	0	0	0	0	1
5.	↑	0	0	1	0	1	0	0	1	1	1
6.	↑	0	0	1	1	0	X	X	X	X	X
7.	↑	0	0	1	1	1	X	X	X	X	X
8.	↑	0	1	0	0	0	X	X	X	X	X
9.	↑	0	1	0	0	1	X	X	X	X	X
10.	↑	0	1	0	1	0	X	X	X	X	X
11.	↑	0	1	0	1	1	X	X	X	X	X
12.	↑	0	1	1	0	0	X	X	X	X	X
13.	↑	0	1	1	0	1	X	X	X	X	X
14.	↑	0	1	1	1	0	X	X	X	X	X
15.	↑	0	1	1	1	1	X	X	X	X	X
16.	↑	1	0	0	0	0	X	X	X	X	X
17.	↑	1	0	0	0	1	X	X	X	X	X
18.	↑	1	0	0	1	0	0	0	0	0	1
19.	↑	1	0	0	1	1	0	0	1	1	1
20.	↑	1	0	1	0	0	0	0	0	0	1
21.	↑	1	0	1	0	1	0	0	0	1	1
22.	↑	1	0	1	1	0	0	0	0	0	1
23.	↑	1	0	1	1	1	0	1	1	1	1
24.	↑	1	1	0	0	0	0	1	0	1	0
25.	↑	1	1	0	0	1	X	X	X	X	X
26.	↑	1	1	0	1	0	X	X	X	X	X

27.	↑	1	1	0	1	1	X	X	X	X	X
28.	↑	1	1	1	0	0	X	X	X	X	X
29.	↑	1	1	1	0	1	X	X	X	X	X
30.	↑	1	1	1	1	0	X	X	X	X	X
31.	↑	1	1	1	1	1	X	X	X	X	X

2 → 3 → 4 → 5 → 2 → 3 → 4 → 5 → 6 → 7 → 8 → 2 → 3 → 4 → 5

Seq	CK	Q4	Q3	Q2	Q1	Q0	T4	T3	T2	T1	T0
1.	↑	0	0	0	1	0	0	0	0	0	1
2.	↑	0	0	0	1	1	0	0	1	1	1
3.	↑	0	0	1	0	0	0	0	0	0	1
4.	↑	0	0	1	0	1	0	0	1	1	1
5.	↑	1	0	0	1	0	0	0	0	0	1
6.	↑	1	0	0	1	1	0	0	1	1	1
7.	↑	1	0	1	0	0	0	0	0	0	1
8.	↑	1	0	1	0	1	0	0	0	1	1
9.	↑	1	0	1	1	0	0	0	0	0	1
10.	↑	1	0	1	1	1	0	1	1	1	1
11.	↑	1	1	0	0	0	0	1	0	1	0

2 → 3 → 4 → 5 → 2 → 3 → 4 → 5 → 6 → 7 → 8 → 2 → 3 → 4 → 5

Seq	CK	Q4	Q3	Q2	Q1	Q0	T4	T3	T2	T1	T0
1.	↑	0	0	0	1	0	0	0	0	0	1
2.	↑	0	0	0	1	1	0	0	1	1	1
3.	↑	0	0	1	0	0	0	0	0	0	1
4.	↑	0	0	1	0	1	0	0	1	1	1
5.	↑	1	0	0	1	0	0	0	0	0	1
6.	↑	1	0	0	1	1	0	0	1	1	1
7.	↑	1	0	1	0	0	0	0	0	0	1
8.	↑	1	0	1	0	1	0	0	0	1	1
9.	↑	1	0	1	1	0	0	0	0	0	1
10.	↑	1	0	1	1	1	0	1	1	1	1
11.	↑	1	1	0	0	0	0	1	0	1	0

3. Thiết kế mạch đếm hiển thị các số thập phân trên led 7 đoạn theo giản đồ sau:

2 → 3 → 4 → 5 → 2 → 3 → 4 → 5 → 6 → 7 → 8 → 2 → 3 → 4 → 5...

Seq	CK	Q4	Q3	Q2	Q1	Q0	Q'4	Q'3	Q'2	Q'1	Q'0	T4	T3	T2	T1	T0
-----	----	----	----	----	----	----	-----	-----	-----	-----	-----	----	----	----	----	----

1.	↑	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1
2.	↑	0	0	0	1	1	0	0	1	0	0	0	0	1	1	1
3.	↑	0	0	1	0	0	0	0	1	0	1	0	0	0	0	1
4.	↑	0	0	1	0	1	0	0	0	1	0	0	0	1	1	1
5.	↑	1	0	0	1	0	1	0	0	1	1	0	0	0	0	1
6.	↑	1	0	0	1	1	1	0	1	0	0	0	0	1	1	1
7.	↑	1	0	1	0	0	1	0	1	0	1	0	0	0	0	1
8.	↑	1	0	1	0	1	1	0	1	1	0	0	0	0	1	1
9.	↑	1	0	1	1	0	1	0	1	1	1	0	0	0	0	1
10.	↑	1	0	1	1	1	1	1	0	0	0	0	1	1	1	1
11.	↑	1	1	0	0	0	1	0	0	1	0	0	1	0	1	0

Seq	CK	Q4	Q3	Q2	Q1	Q0	T4	T3	T2	T1	T0
1.	↑	0	0	0	1	0	0	0	0	0	1
2.	↑	0	0	0	1	1	0	0	1	1	1
3.	↑	0	0	1	0	0	0	0	0	0	1
4.	↑	0	0	1	0	1	1	0	1	1	1
5.	↑	1	0	0	1	0	0	0	0	0	1
6.	↑	1	0	0	1	1	0	0	1	1	1
7.	↑	1	0	1	0	0	0	0	0	0	1
8.	↑	1	0	1	0	1	0	0	0	1	1
9.	↑	1	0	1	1	0	0	0	0	0	1
10.	↑	1	0	1	1	1	0	1	1	1	1
11.	↑	1	1	0	0	0	1	1	0	1	0

Seq	CK	Q4	Q3	Q2	Q1	Q0	Q'4	Q'3	Q'2	Q'1	Q'0	T4	T3	T2	T1	T0
1.	↑	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1
2.	↑	0	0	0	1	1	0	0	1	0	0	0	0	1	1	1
3.	↑	0	0	1	0	0	0	0	1	0	1	0	0	0	0	1
4.	↑	0	0	1	0	1	1	0	0	1	0	1	0	1	1	1
5.	↑	1	0	0	1	0	1	0	0	1	1	0	0	0	0	1
6.	↑	1	0	0	1	1	1	0	1	0	0	0	0	1	1	1
7.	↑	1	0	1	0	0	1	0	1	0	1	0	0	0	0	1
8.	↑	1	0	1	0	1	1	0	1	1	0	0	0	0	1	1
9.	↑	1	0	1	1	0	1	0	1	1	1	0	0	0	0	1
10.	↑	1	0	1	1	1	1	1	0	0	0	0	1	1	1	1
11.	↑	1	1	0	0	0	0	0	0	1	0	1	1	0	1	0

		Q4=0				Q4=1			
Q3 Q2	Q1 Q0	00	01	11	10	10	11	01	00
00									
01									
11									
10									

DK: Điều khiển tải dữ liệu LD

LD : Load dữ liệu 0010

Lượt 1: 0110 → Load dữ liệu 0010, LD=0, DK=0, kết thúc lượt 1 DK từ 0→1

$$\overline{LD_1} = \overline{Q_2} + \overline{Q_1} = \overline{Q_2 Q_1} ; \text{Trạng thái 0110 làm DK từ 0} \rightarrow 1$$

Lượt 2: 1001 → Load dữ liệu 0010, LD=0, DK=1, kết thúc lượt 2 DK từ 1→0

$$\overline{LD_2} = \overline{Q_3} + \overline{Q_0} = \overline{Q_3 Q_0}$$

DK=0 điều khiển $\overline{LD_1}$ (tải) tại trạng thái 0110 $\overline{Q_2 Q_1}$;

DK=1 điều khiển $\overline{LD_2}$ (tải) tại trạng thái 1001 $\overline{Q_3 Q_0}$;

$$LD = \overline{LD_1} \cdot \overline{DK} + \overline{LD_2} \cdot DK$$

Lượt 1 Trạng thái 0110 làm DK từ 0→1 và Lượt 2 Trạng thái 1001 làm DK từ 1→0

Nên trạng thái 0110 /DK=0 và 1001/DK=1 dùng làm xung kích cho FF có ngõ ra là Q=DK ;

$$CK2 = \overline{LD_1} \cdot \overline{DK} + \overline{LD_2} \cdot DK$$

Seq	CK	Q3	Q2	Q1	Q0	DK	LD
1.	↑	0	0	1	0	0	1
2.	↑	0	0	1	1	0	1
3.	↑	0	1	0	0	0	1
4.	↑	0	1	0	1	0	1
5.		0	1	1	0	0	0
6.	↑	0	0	1	0	1	1
7.	↑	0	0	1	1	1	1
8.	↑	0	1	0	0	1	1
9.	↑	0	1	0	1	1	1
10.	↑	0	1	1	0	1	1
11.	↑	0	1	1	1	1	1
12.	↑	1	0	0	0	1	1
13.		1	0	0	1	1	0
14.	↑	0	0	1	0	0	1

4. Thiết kế mạch đếm hiển thị các số thập phân trên led 7 đoạn theo giản đồ sau:

$0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow 5 \dots$

Seq	CK	Q3= DK	Q2	Q1	Q0	CLR	LD
1.	↓	0	0	0	0	1	
2.	↓	0	0	0	1	1	
3.	↓	0	0	1	0	1	
4.	↓	0	0	1	1	1	
5.	↓	0	1	0	0	1	
6.	↓	0	1	0	1	1	
7.	↓	0	1	1	0	1	
8.	↓	0	1	1	1	1	
9.	↓	1	0	0	0	1	
10.	↓	1	0	0	1	1	
11.	↓	1	0	1	0	1	
12.	↓	1	0	1	1	1	
13.	↓	1	1	0	0	1	
		1	1	0	1	0	
Không chế trạng thái 1101 → 0000,							
		1	1	1	0	x	
		1	1	1	1	x	

Mod 5: $Q_2Q_1Q_0$: từ 000 → 111, gán $Q_3 = 0$

Mod 8: $Q_2Q_1Q_0$: từ 000 → 100, gán $Q_3 = 1$

Các ngõ ra $Q_3Q_2Q_1Q_0$ tạo thành mạch đếm mod 13

$\overline{LD}_1 = \overline{Q_2} + \overline{Q_1} = \overline{Q_2Q_1}$; Trạng thái 0110 làm DK từ 0 → 1

Lượt 2: 1001 → Load dữ liệu 0010, LD=0, DK=1, kết thúc lượt 2 DK từ 1 → 0

$\overline{LD}_2 = \overline{Q_3} + \overline{Q_0} = \overline{Q_3Q_0}$

DK=0 điều khiển \overline{LD}_1 (tải) tại trạng thái 0110 $\overline{Q_2Q_1}$;

DK=1 điều khiển \overline{LD}_2 (tải) tại trạng thái 1001 $\overline{Q_3Q_0}$;

$LD = \overline{LD}_1 \cdot \overline{DK} + \overline{LD}_2 \cdot DK$

Lượt 1 Trạng thái 0110 làm DK từ 0 → 1 và Lượt 2 Trạng thái 1001 làm DK từ 1 → 0

Nên trạng thái 0110 /DK=0 và 1001/DK=1 dùng làm xung kích cho FF có ngõ ra là Q=DK ;

$CK2 = \overline{LD}_1 \cdot \overline{DK} + \overline{LD}_2 \cdot DK$

4. Thiết kế mạch đếm hiển thị led bảy đoạn theo giản đồ sau :

$0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 8 \rightarrow 7 \rightarrow 6 \rightarrow 5 \rightarrow 4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 1 \rightarrow 2 \dots$

Seq.	CP	CU	CD	CS		S1	S0		Q3	Q2	Q1	Q0		CO	BO	/PL
0.	↑	↑	1	1		1	0		0	0	0	0		1	1	1
1.	↑	↑	1	1		1	0		0	0	0	1		1	1	1

2.	↑	↑	1	1		1	0		0	0	1	0		1	1	1
3.	↑	↑	1	1		1	0		0	0	1	1		1	1	1
4.	↑	↑	1	1		1	0		0	1	0	0		1	1	1
5.	↑	↑	1	1		1	0		0	1	0	1		1	1	1
6.	↑	↑	1	1		1	0		0	1	1	0		1	1	1
7.	↑	↑	1	1		1	0		0	1	1	1		1	1	1
8.	↑	↑	1	1		1	0		1	0	0	0		1	1	1
9.	↑	↑	1	½ ↓		1	0		1	0	0	1		½ ↓	1	1
10.	↑	1	↑	1		0	1		1	0	0	0		1	1	1
11.	↑	1	↑	1		0	1		0	1	1	1		1	1	1
12.	↑	1	↑	1		0	1		0	1	1	0		1	1	1
13.	↑	1	↑	1		0	1		0	1	0	1		1	1	1
14.	↑	1	↑	1		0	1		0	1	0	0		1	1	1
15.	↑	1	↑	1		0	1		0	0	1	1		1	1	1
16.	↑	1	↑	1		0	1		0	0	1	0		1	1	1
17.	↑	1	↑	1		0	1		0	0	0	1		1	1	1
18.	↑	1	↑	½ ↓		0	1		0	0	0	0		1	½ ↓	0
19.	↑	↑	1	1		1	0		0	0	0	0		1	1	1

$S_1 = 1; S_0 = 0 \rightarrow$ Mạch đếm lên

$S_1 = 0; S_0 = 1 \rightarrow$ Mạch đếm xuống

$$CU = \overline{S_1} \cdot \overline{CP} ; CD = \overline{S_0} \cdot \overline{CP}$$

Xung kích cho mạch chuyển từ đếm lên sang đếm xuống và ngược lại $CS = CO \cdot (BO + S_0)$

Tải dữ liệu song song $\overline{PL} = (BO + S_1)$ Xung kích cho mạch chuyển từ đếm lên sang đếm xuống và ngược lại