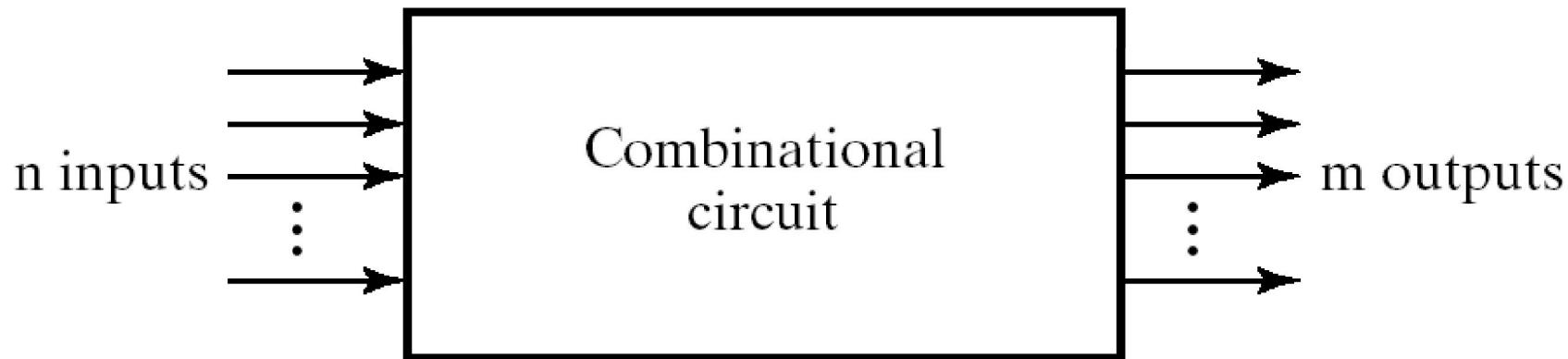


CHƯƠNG 3: MẠCH TỔ HỢP MSI

1. MẠCH MÃ HÓA
2. MẠCH GIẢI MÃ
3. MẠCH ĐA HỢP
4. MẠCH GIẢI ĐA HỢP
5. MẠCH SO SÁNH
6. BỘ KIỂM TRA CHĂN LẺ
7. MẠCH CỘNG
8. MẠCH TRỪ

CHƯƠNG 3: MẠCH TỔ HỢP MSI



Khái niệm: *Hệ (Mạch) tổ hợp là mạch có nhiều ngõ ra và nhiều ngõ vào. Mỗi ngõ ra là một hàm Boole của các ngõ vào.*

Các bước thiết kế hệ tổ hợp:

Bước 1: Vẽ sơ đồ khối của **Hệ (Mạch) tổ hợp** (dựa vào yêu cầu của bài toán xác định số biến ngõ vào và số ngõ ra)

Bước 2: Lập bảng trạng thái (diễn tả mối quan hệ giữa ngõ vào và ngõ ra dựa vào yêu cầu của bài toán)

Bước 3: Viết các hàm ngõ ra (SOP, POS)

Bước 4: Tối giản (Rút gọn tối ưu) các hàm ngõ ra

Bước 5: Vẽ mạch logic các hàm ngõ ra theo yêu cầu của bài toán

(Chương 4: HỆ TUẦN TỰ & FLIP-FLOP)

I. TỔNG QUAN VỀ HỆ TUẦN TỰ (Sequential Circuits)

- Combinational Logic:

- ✓ Output depends only on current input
- ✓ Able to perform useful operations
(add/subtract/multiply/...)
- ✓ Has no memory

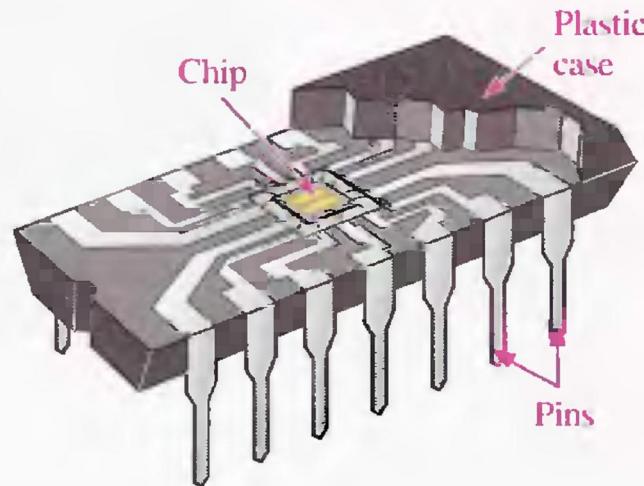
- Sequential Logic:

- ✓ Output depends not only on current input but also on past input values, e.g., design a counter
- ✓ Need some type of memory to remember the past input values

CHƯƠNG 3: MẠCH TỐ HỌP MSI

▶ FIGURE 1–27

Cutaway view of one type of fixed-function IC package showing the chip mounted inside, with connections to input and output pins.



IC Packages

Integrated circuit (IC) packages are classified according to the way they are mounted on printed circuit (PC) boards as either through-hole mounted or surface mounted. The through-hole type packages have pins (leads) that are inserted through holes in the PC board and can be soldered to conductors on the opposite side. The most common type of through-hole package is the dual in-line package (**DIP**) shown in Figure 1–28(a).

CHƯƠNG 3: MẠCH TỐ HỢP MSI

- **Small-scale integration (SSI)** describes fixed-function ICs that have up to ten equivalent gate circuits on a single chip, and they include basic gates and flip-flops.
- **Medium-scale integration (MSI)** describes integrated circuits that have from 10 to 100 equivalent gates on a chip. They include logic functions such as encoders, decoders, counters, registers, multiplexers, arithmetic circuits, small memories, and others.
- **Large-scale integration (LSI)** is a classification of ICs with complexities of from more than 100 to 10,000 equivalent gates per chip, including memories.
- **Very large-scale integration (VLSI)** describes integrated circuits with complexities of from more than 10,000 to 100,000 equivalent gates per chip.

Vd: Thiết kế mạch tổ hợp theo bảng trạng thái sau:

Các ngõ vào					Các ngõ ra	
Dec.	I3 (MSB)	I2	I1	I0	O1	O0
1	0	0	0	1	0	0
2	0	0	1	0	0	1
4	0	1	0	0	1	0
8	1	0	0	0	1	1
0,3,5,6,7,9,10,11,12,13,14,15	Các trạng thái còn lại				x	x

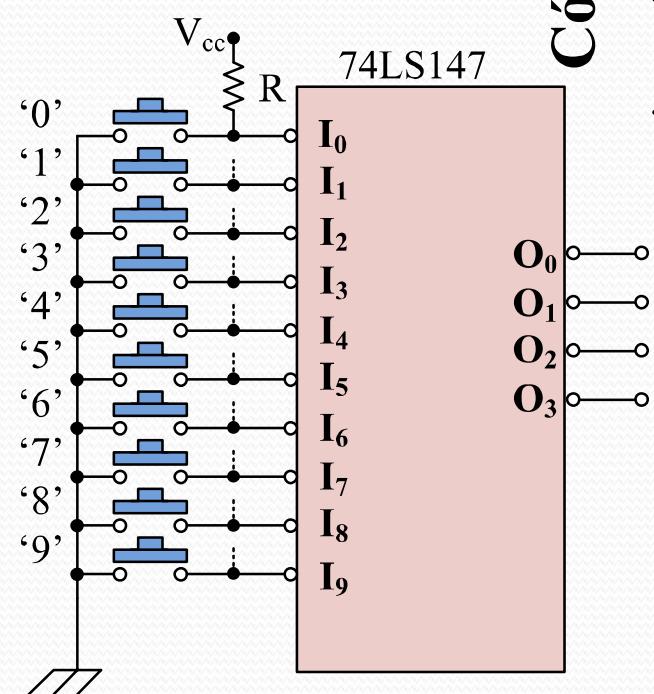
$$O_0(I_0, I_1, I_2, I_3) = \sum(2, 8) + d(0, 3, 5, 6, 7, 9, 10, 11, 12, 13, 14, 15)$$

$$O_1(I_0, I_1, I_2, I_3) = \sum(4, 8) + d(0, 3, 5, 6, 7, 9, 10, 11, 12, 13, 14, 15)$$

I. MẠCH MÃ HÓA - ENCODER

1. Tổng quan:

Sơ đồ khối



Có m ngõ vào

Mạch mã hóa m đường sang n đường

Có n ngõ ra

$$2^n \geq m > 2^{n-1}$$

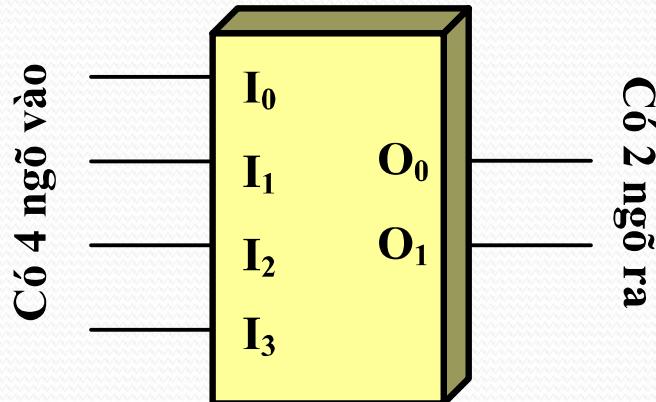
I. MẠCH MÃ HÓA - ENCODER

1. Tổng quan:

+ **Khái niệm:** Mạch mã hóa có m (tối đa 2^n) đường ở ngõ vào và có n đường ở ngõ ra ($2^n \rightarrow n$), **khi một đường ngõ vào (có thứ tự là x) ở trạng thái tích cực sẽ xuất ra một số nhị phân (có giá trị thập phân là x) ở ngõ ra.**

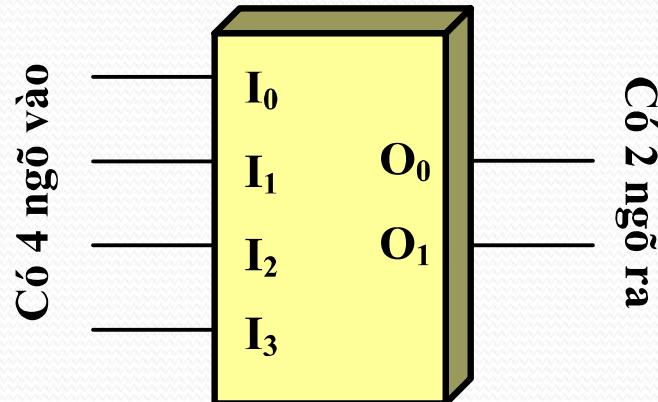
- Tuỳ thuộc vào qui định của bộ mã hoá, **ngõ vào, ngõ ra có thể tích cực mức thấp (L) hoặc mức cao (H)**. Nếu một số yêu cầu không nêu rõ đặc tính tích cực của ngõ vào, ngõ ra, ta có thể giả thiết chúng tích cực mức cao.

I. MẠCH MÃ HÓA - ENCODER



- + Ví dụ: Mạch mã hóa ($4 \rightarrow 2$) có 4 ngõ vào có các thứ tự tương ứng là I_0 và I_1 có 2 ngõ ra . Nếu ngõ vào I_0 tích cực (mức 1) và các ngõ vào còn lại không tích cực (mức 0) thì ngõ ra là $O_0 = 1$. Tương tự, nếu I_1 tích cực và ngõ vào còn lại không tích cực thì ngõ ra là $O_1 = 1$...

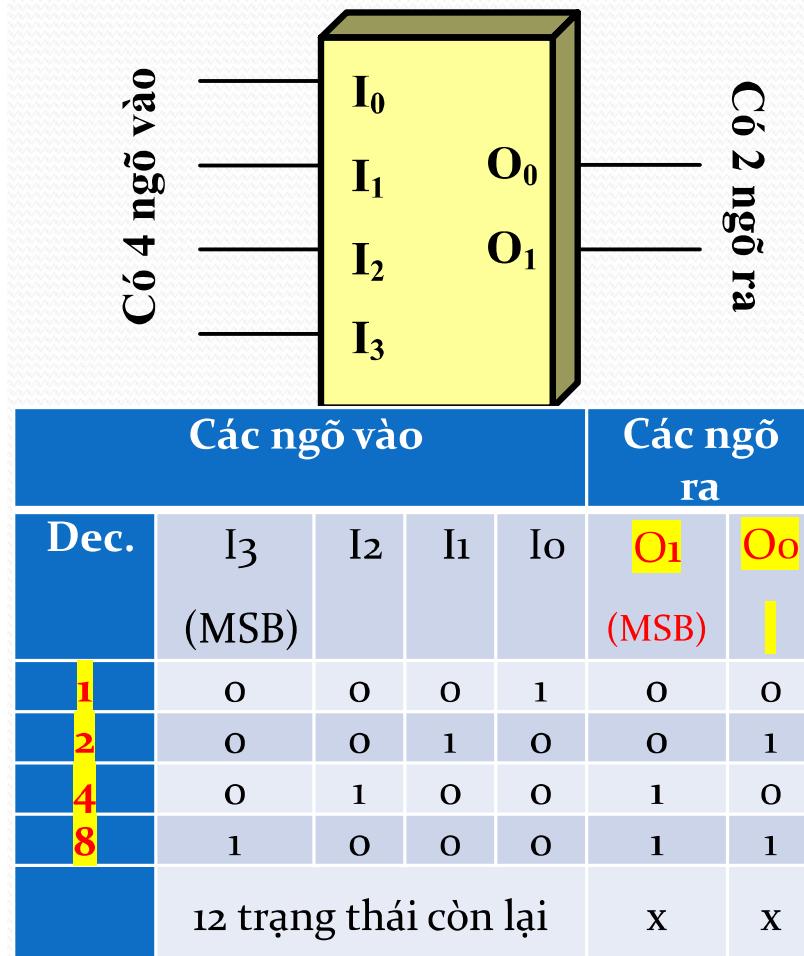
I. MẠCH MÃ HÓA - ENCODER



- + Ví dụ: Mạch mã hóa ($4 \rightarrow 2$) có 4 ngõ vào có các thứ tự tương ứng là và có 2 ngõ ra . Nếu ngõ vào I_0 tích cực (mức 1) và các ngõ vào còn lại không tích cực (mức 0) thì ngõ ra là $O_0 = 1$. Tương tự, nếu I_2 tích cực và ngõ vào còn lại không tích cực thì ngõ ra là $O_1 = 1$...

I. MẠCH MÃ HÓA - ENCODER

2. Mã hóa từ 4 sang 2 đường



INPUTS				OUTPUTS	
I ₃	I ₂	I ₁	I ₀	O ₁	O ₀
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

$$O_0(I_0, I_1, I_2, I_3) = \sum(2, 8) + d(0, 3, 5, 6, 7, 9, 10, 11, 12, 13, 14, 15)$$

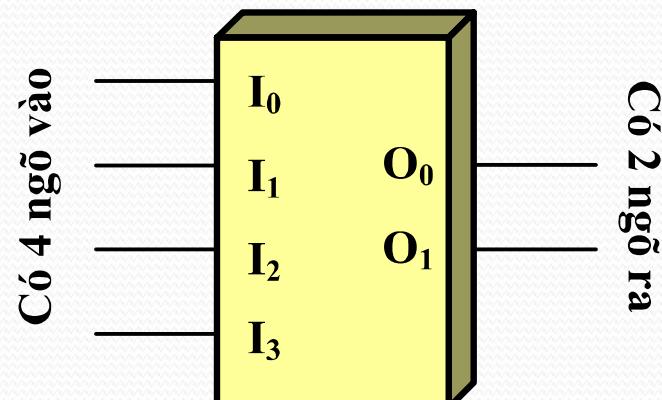
$$O_0 = I_3 + I_1$$

$$O_1(I_0, I_1, I_2, I_3) = \sum(4, 8) + d(0, 3, 5, 6, 7, 9, 10, 11, 12, 13, 14, 15)$$

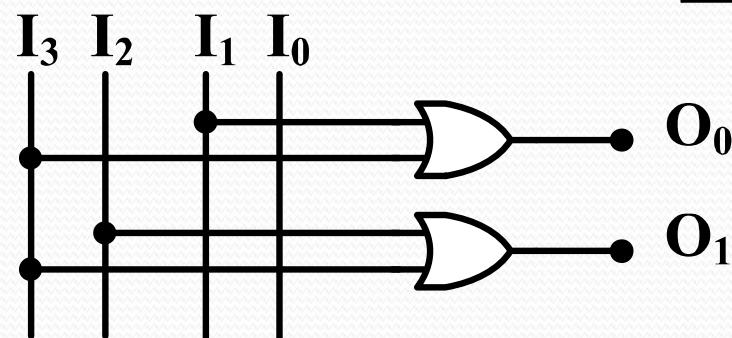
$$O_1 = I_3 + I_2$$

I. MẠCH MÃ HÓA - ENCODER

2. Mã hóa từ 4 sang 2 đường



INPUTS				OUTPUTS	
I_3	I_2	I_1	I_0	O_1	O_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1



$$O_0 = I_3 + I_1$$

$$O_1 = I_3 + I_2$$

Encoder 8→3:

I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	O ₂	O ₁	O ₀
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

INPUTS				OUTPUTS	
I ₃	I ₂	I ₁	I ₀	O ₁	O ₀
1	1	1	0	0	0
1	1	0	1	0	1
1	0	1	1	1	0
0	1	1	1	1	1

$$O_0 = \overline{I}_3 + \overline{I}_1$$

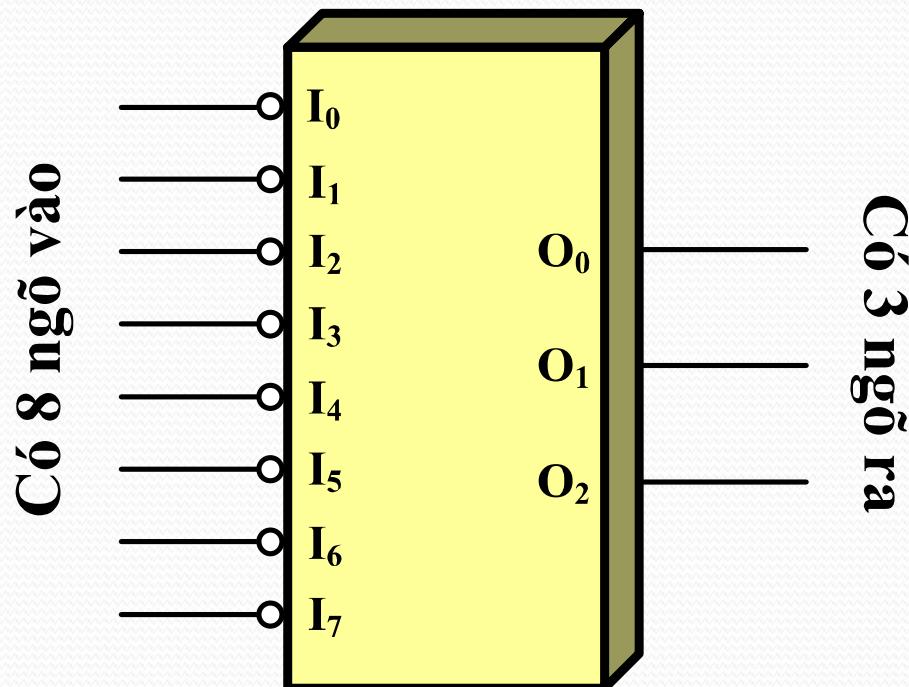
$$O_1 = \overline{I}_3 + \overline{I}_2$$

- Ví dụ: Thiết kế mạch mã hoá $4 \rightarrow 2$ với ngõ vào tích cực mức cao.
- Ví dụ: Thiết kế mạch mã hoá $4 \rightarrow 2$ với ngõ vào tích cực mức thấp.

Các ngõ vào							Các ngõ ra	
Dec.	I ₃ (MSB)	I ₂	I ₁	Io	O ₁ (MSB)	O _o		
1	0	0	0	1	0	0		
2	0	0	1	0	0	1		
4	0	1	0	0	1	0		
8	1	0	0	0	1	1		
	12 trạng thái còn lại					x	x	

I. MẠCH MÃ HÓA - ENCODER

3. Mã hóa từ 8 sang 3 đường



I. MẠCH MÃ HÓA - ENCODER

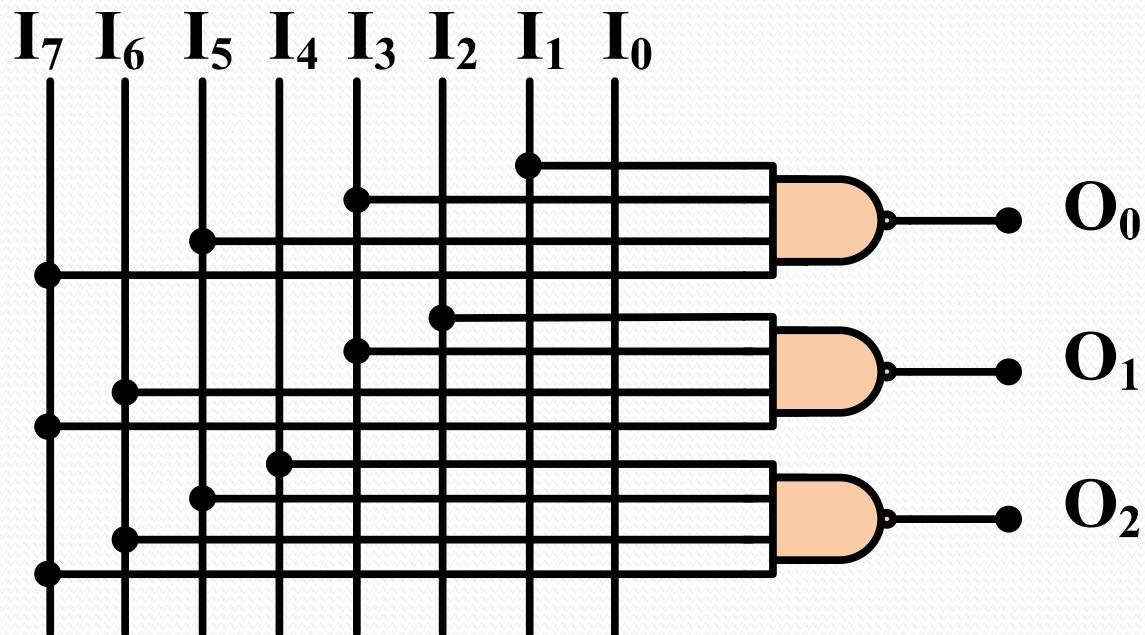
- Mã hóa từ 8 sang 3 đường

INPUTS								OUTPUTS		
I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	O_2	O_1	O_0
1	1	1	1	1	1	1	0	0	0	0
1	1	1	1	1	1	0	1	0	0	1
1	1	1	1	1	0	1	1	0	1	0
1	1	1	1	0	1	1	1	0	1	1
1	1	1	0	1	1	1	1	1	0	0
1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1	1	1

$$O_0 = \bar{I}_7 + \bar{I}_5 + \bar{I}_3 + \bar{I}_1 \quad O_1 = \bar{I}_7 + \bar{I}_6 + \bar{I}_3 + \bar{I}_2 \quad O_2 = \bar{I}_7 + \bar{I}_6 + \bar{I}_5 + \bar{I}_4$$

I. MẠCH MÃ HÓA - ENCODER

3. Mã hóa từ 8 sang 3 đường

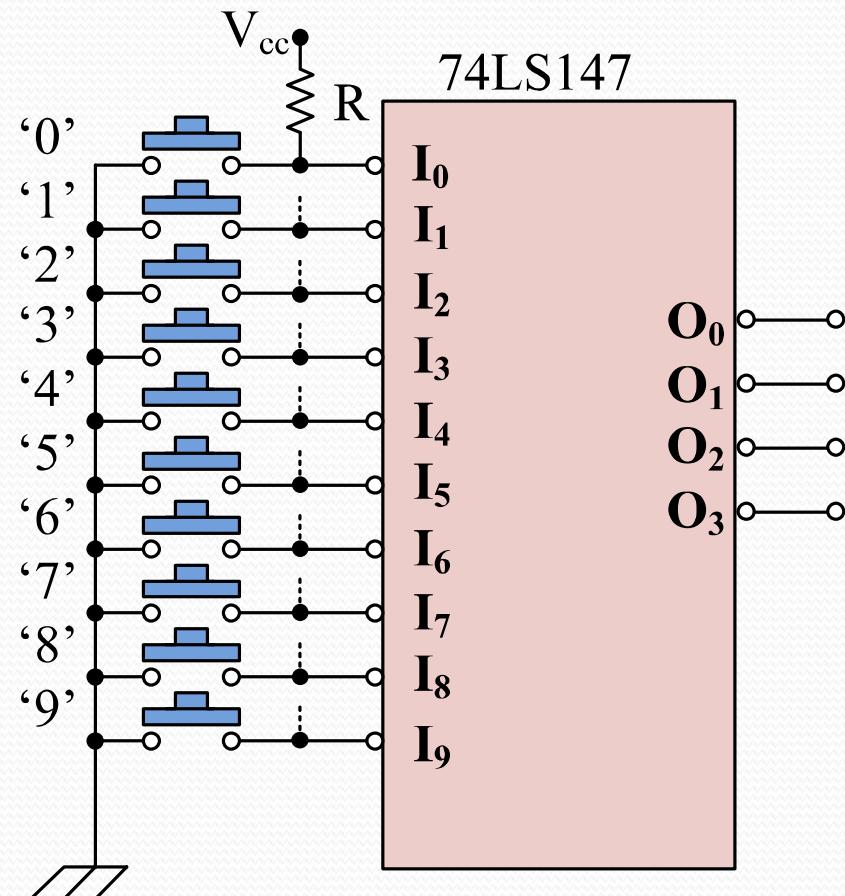


$$O_0 = \overline{I_7 + I_5 + I_3 + I_1} = \overline{\overline{I_7 + I_5 + I_3 + I_1}} = \overline{I_7 I_5 I_3 I_1}$$

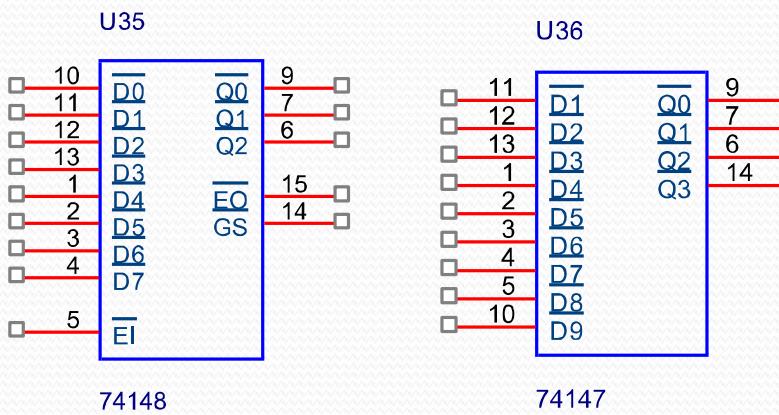
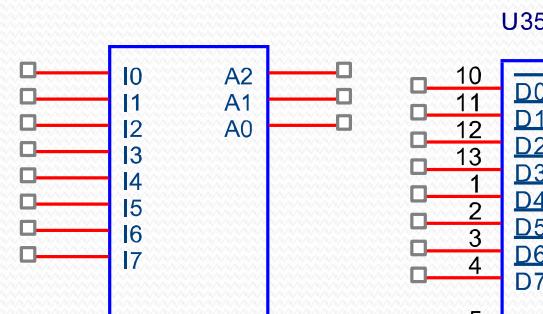
$$O_1 = \overline{I_7 + I_6 + I_3 + I_2} = \overline{I_7 I_6 I_3 I_2} \quad O_2 = \overline{I_7 + I_6 + I_5 + I_4} = \overline{I_7 I_6 I_5 I_4}$$

I. MẠCH MÃ HÓA - ENCODER

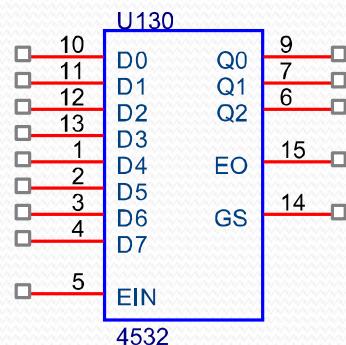
4. Ứng dụng: Vị mạch mã hóa từ 10 sang 4



I. MẠCH MÃ HÓA - ENCODER



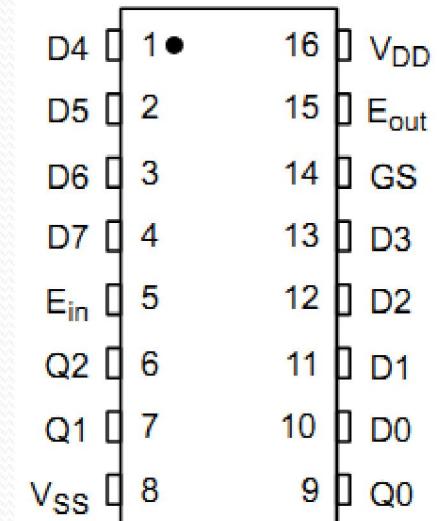
- MC14532B: 8-Bit Priority Encoder



TRUTH TABLE

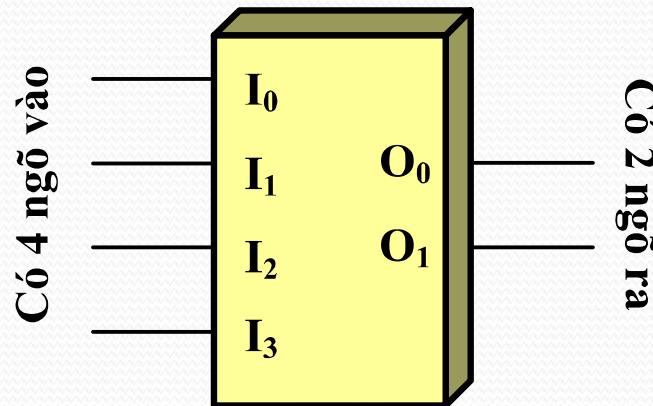
Input								Output					
E _{in}	D7	D6	D5	D4	D3	D2	D1	D0	GS	Q2	Q1	Q0	E _{out}
0	X	X	X	X	X	X	X	X	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	X	X	X	X	X	X	X	1	1	1	1	0
1	0	1	X	X	X	X	X	X	1	1	1	0	0
1	0	0	1	X	X	X	X	X	1	1	0	1	0
1	0	0	0	1	X	X	X	X	1	1	0	0	0
1	0	0	0	0	0	1	X	X	1	0	1	1	0
1	0	0	0	0	0	0	1	X	1	0	1	0	0
1	0	0	0	0	0	0	0	1	1	0	0	0	0

T
X = Don't Care



I. MẠCH MÃ HÓA - ENCODER

5. Mạch mã hóa ưu tiên (Priority Encoder) từ 4 sang 2 :



Dec.	Các ngõ vào					Các ngõ ra	
	I ₃ (MSB)	I ₂	I ₁	I ₀	O ₁ (MSB)	O ₀	
1	0	0	0	1	0	0	
2, 3	0	0	1	X	0	1	
4,5,6,7	0	1	X	X	1	0	
8 → 15	1	X	X	X	1	1	
0	0	0	0	0	X	X	
					12 trạng thái còn lại		x x

Dec.	I ₃	I ₂	I ₁	I ₀	O ₁ (MSB)	O ₀
1	0	0	0	1	0	0
2, 3	0	0	1	X	0	1
4,5,6,7	0	1	X	X	1	0
8 → 15	1	X	X	X	1	1
0	0	0	0	0	X	X

Trang

I. MẠCH MÃ HÓA - ENCODER

5. Mạch mã hóa ưu tiên (Priority Encoder) từ 4 sang 2:

- Ví dụ:** Thiết kế mạch mã hóa ưu tiên $4 \rightarrow 2$ với **ngõ vào tích cực mức thấp** theo thứ tự ưu tiên từ lớn đến nhỏ .

Dec.	I ₃	I ₂	I ₁	I ₀	O ₁ (MSB)	O ₀
14	1	1	1	0	0	0
12, 13	1	1	0	X	0	1
8,9,10,11	1	0	X	X	1	0
0→7	0	X	X	X	1	1
15	1	1	1	1	X	X

$$O_0 = \sum(0,1,2,3,4,5,6,7,12,13) + d(15)$$

$$O_1 = \sum(0,1,2,3,4,5,6,7,8,9,10,11) + d(15)$$

$$O_0 = \overline{I_3} + I_2 \overline{I_1}$$

$$O_1 = \overline{I_3} + \overline{I_2}$$

- 1. Thiết kế mạch tổ hợp theo bảng trạng thái sau:

	Các ngõ vào				Các ngõ ra	
	I ₃	I ₂	I ₁	I ₀	O ₁ (MS B)	O ₀
	1	1	1	0	0	0
	1	1	0	X	0	1
	1	0	X	X	1	0
	0	X	X	X	1	1
	1	1	1	1	X	X

- 2. Thiết kế mạch tổ hợp theo bảng trạng thái sau:

	INPUTS		OUTPUTS				
E	I ₁	I ₀	O ₃	O ₂	O ₁	O ₀	
0	X	X	0	0	0	0	
1	0	0	0	0	0	1	
1	0	1	0	0	1	0	
1	1	0	0	1	0	0	
1	1	1	1	0	0	0	

- 1. Thiết kế mạch tổ hợp theo bảng trạng thái sau:

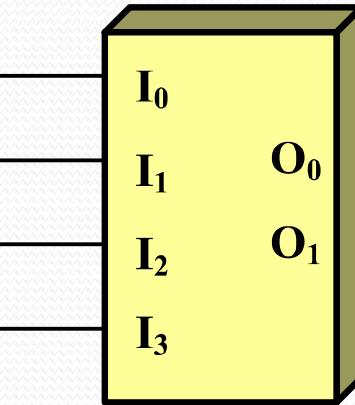
Các ngõ vào

Các ngõ

ra

	I_3	I_2	I_1	I_0	O_1 (MS B)	O_0
	1	1	1	0	0	0
	1	1	0	X	0	1
	1	0	X	X	1	0
	0	X	X	X	1	1
	1	1	1	1	X	X

Có 4 ngõ vào



Có 2 ngõ ra

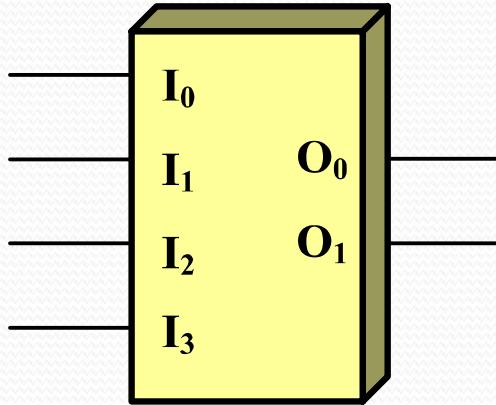
+ Các hàm ngõ ra :

$$O_0 = \sum(0,1,2,3,4,5,6,7,12,13) + d(15)$$

$$O_1 = \sum(0,1,2,3,4,5,6,7,8,9,10,11) + d(15)$$

MẠCH MÃ HÓA VÀ MẠCH GIẢI MÃ -

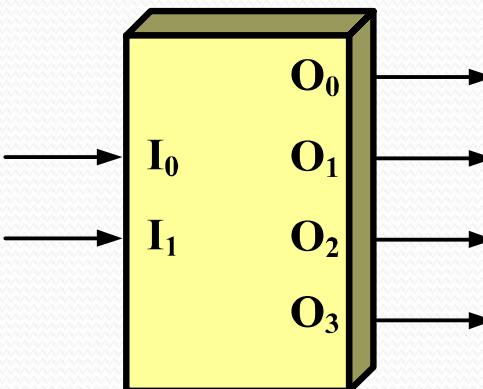
Có 4 ngõ vào



Có 2 ngõ ra

Dec.	Các ngõ vào				Các ngõ ra	
	I ₃ (MSB)	I ₂	I ₁	I ₀	O ₁ (MSB)	O ₀
1	0	0	0	1	0	0
2	0	0	1	0	0	1
4	0	1	0	0	1	0
8	1	0	0	0	1	1
	12 trạng thái còn lại				X	X

Có 2 ngõ vào



Có 4 ngõ ra

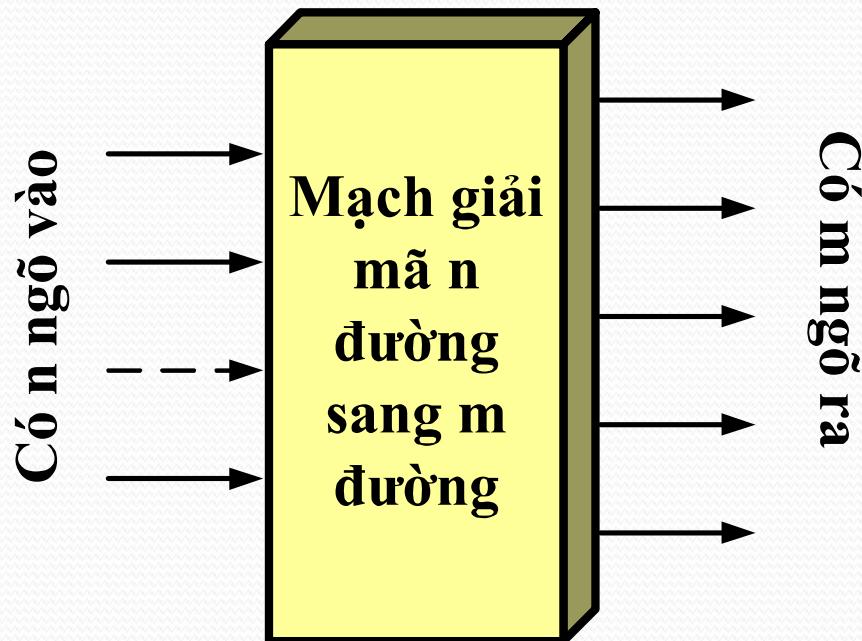
INPUTS		OUTPUTS			
I ₁	I ₀	O ₃	O ₂	O ₁	O ₀
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Trang

6

II. MẠCH GIẢI MÃ - DECODER

- Sơ đồ khối



II. MẠCH GIẢI MÃ - DECODER

- + Khái niệm: Mạch giải mã là mạch có n đường ở ngõ vào và có m đường ở ngõ ra ($n \rightarrow 2^n$). Nếu đưa một số nhị phân ngõ vào (có giá trị thập là x) thì chỉ có một ngõ ra (ứng với thứ tự **thập phân x**) tích cực (mức H/ mức L) , các ngõ ra còn lại ở trạng thái không tích cực.

Tuỳ thuộc vào qui định của bộ giải mã, ngõ ra có thể tích cực mức thấp (L) hoặc mức cao (H). Nếu một số yêu cầu không nêu rõ đặc tính tích cực của ngõ vào, ngõ ra, ta có thể giả thiết chúng tích cực mức cao.

II. MẠCH GIẢI MÃ - DECODER

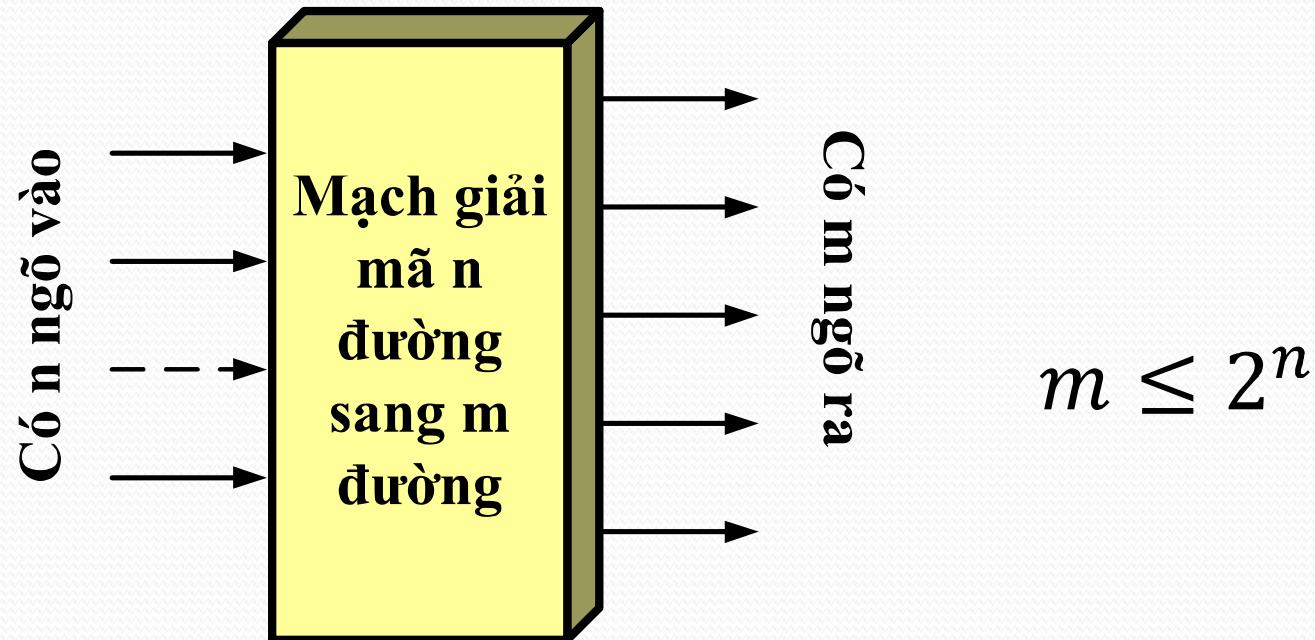
- + Ví dụ: Mạch giải mã $2 \rightarrow 4$, có 2 ngõ vào I_1, I_o (số nhị phân 2 bit) và có 4 ngõ ra có các thứ tự tương ứng là

$$O_0, O_1, O_2, O_3$$

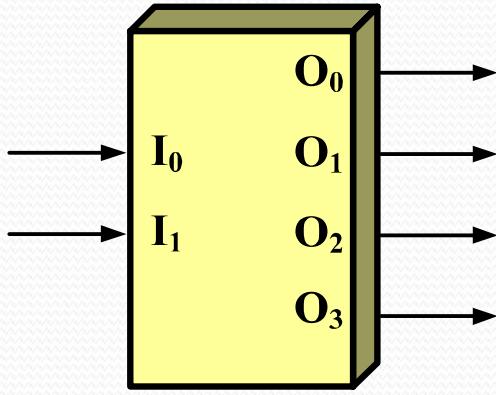
Nếu ngõ vào I_1, I_o là $10_2 = 2_{10}$, thì ngõ ra O_2 sẽ được tích cực (H/L), các ngõ ra còn lại sẽ không được tích cực. Tương tự, gõ vào I_1, I_o là $01_2 = 1_{10}$ thì ngõ ra O_1 sẽ được tích cực và ngõ vào còn lại không tích cực .

II. MẠCH GIẢI MÃ - DECODER

- Sơ đồ khối

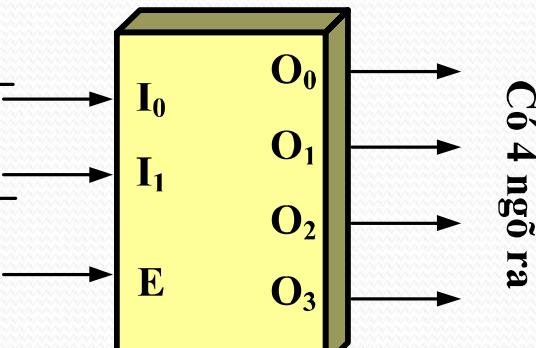


Có 2 ngõ vào



Có 4 ngõ ra

Có 2 ngõ vào



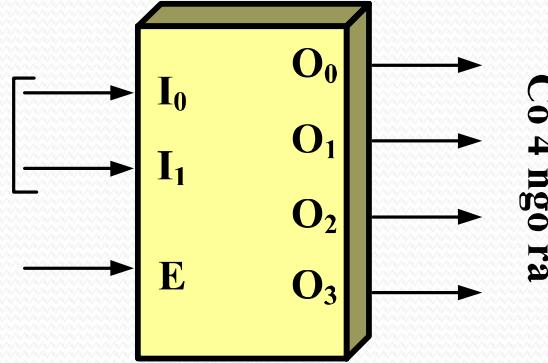
Có 4 ngõ ra

Trang

INPUTS		OUTPUTS			
I_1	I_0	O_3	O_2	O_1	O_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

INPUTS		OUTPUTS				
E	I_1	I_0	O_3	O_2	O_1	O_0
0	X	X	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

Có 2 ngõ vào



Có 4 ngõ ra

INPUTS			OUTPUTS			
E	I_1	I_0	O_3	O_2	O_1	O_0
0	X	X	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

II. MẠCH GIẢI MÃ - DECODER

1. Decoder $2 \rightarrow 4$

a. Decoder $2 \rightarrow 4$ có ngõ ra tích cực mức cao

Ví dụ: Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức cao.

Bước 1: Vẽ sơ đồ khối của *Hệ (Mạch) tổ hợp* (dựa vào yêu cầu của bài toán xác định số biến ngõ vào và số ngõ ra)

Bước 2: Lập bảng trạng thái (diễn tả mối quan hệ giữa ngõ vào và ngõ ra dựa vào yêu cầu của bài toán)

Bước 3: Viết các hàm ngõ ra theo dạng POS/SOP

Bước 4: Tối giản (Rút gọn tối ưu) các hàm ngõ ra

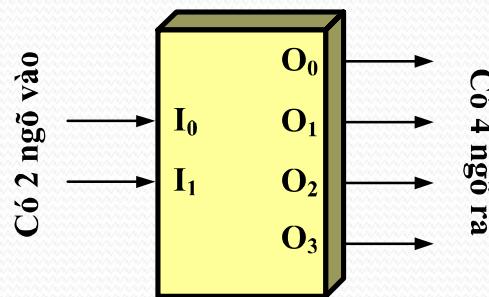
Bước 5: Vẽ mạch logic các hàm ngõ

Hướng dẫn:

II. MẠCH GIẢI MÃ - DECODER

Ví dụ: Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức cao.

- + **Bước 1:** Vẽ sơ đồ khối
- Sơ đồ khối của mạch giải mã $2 \rightarrow 4$ đường sang 4 đường như hình sau:



Ví dụ: Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức cao.

+ Bước 2: Lập bảng trạng thái

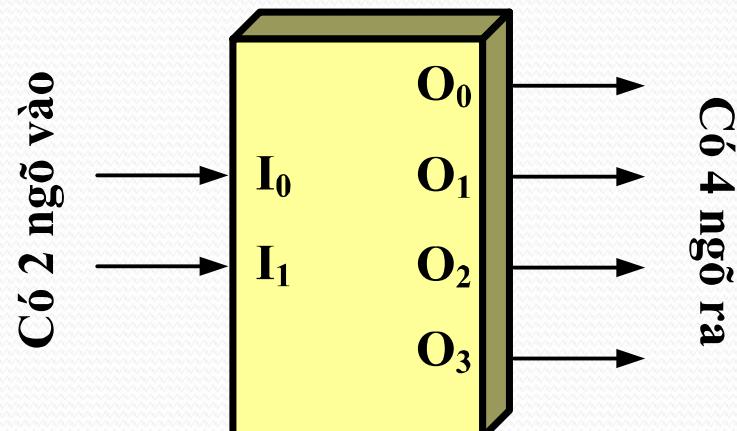
Bảng 3-3: Bảng trạng thái hoạt động của mạch:

TP	INPUTS		OUTPUTS			
	I ₁	I ₀	O ₃	O ₂	O ₁	O ₀
0.	0	0	0	0	0	1
1.	0	1	0	0	1	0
2.	1	0	0	1	0	0
3.	1	1	1	0	0	0

II. MẠCH GIẢI MÃ - DECODER

1. Decoder $2 \rightarrow 4$

a. Decoder $2 \rightarrow 4$ có ngõ ra tích cực mức cao



INPUTS		OUTPUTS			
I ₁	I ₀	O ₃	O ₂	O ₁	O ₀
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$$O_0 = \overline{I_1} \overline{I_0}$$

$$O_1 = \overline{I_1} I_0$$

$$O_2 = I_1 \overline{I_0}$$

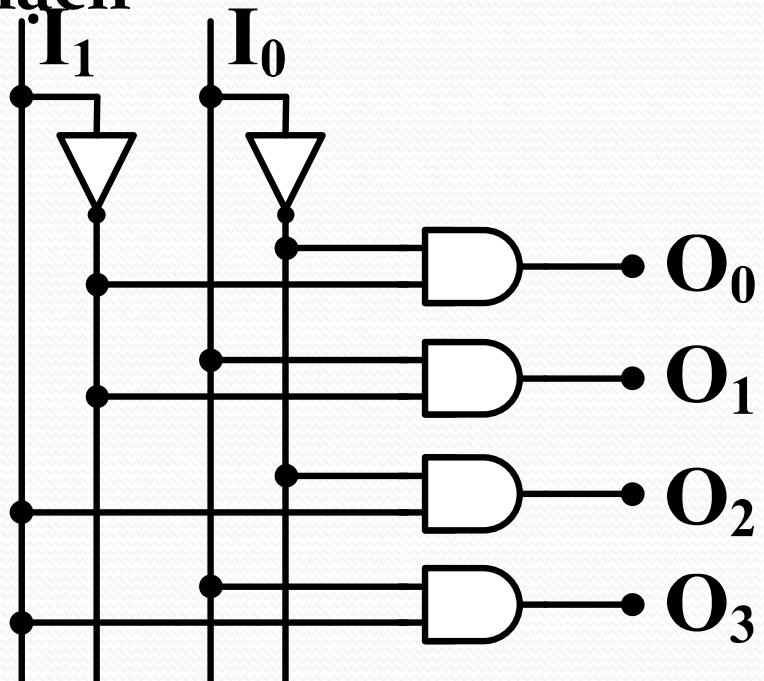
$$O_3 = I_1 I_0$$

II. MẠCH GIẢI MÃ - DECODER

1. Decoder $2 \rightarrow 4$

a. Decoder $2 \rightarrow 4$ có ngõ ra tích cực mức cao

+ Vẽ mạch



$$O_0 = \overline{I_1} \overline{I_0}$$

$$O_1 = \overline{I_1} I_0$$

$$O_2 = I_1 \overline{I_0}$$

$$O_3 = I_1 I_0$$

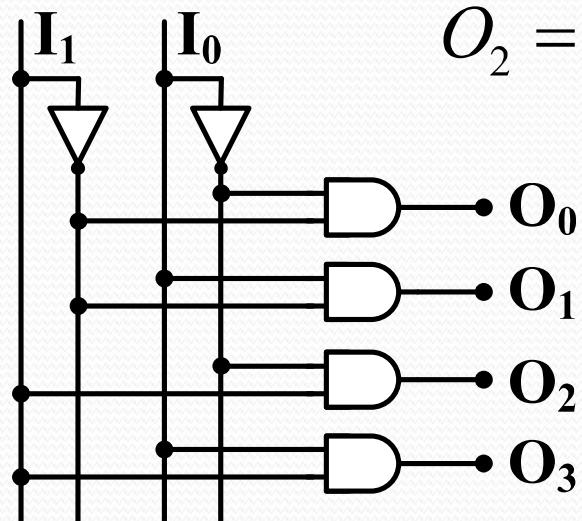
II. MẠCH GIẢI MÃ - DECODER

1. Decoder $2 \rightarrow 4$

a. Decoder $2 \rightarrow 4$ có ngõ ra tích cực mức cao

+ Vẽ mạch $O_0 = \overline{I_1} \overline{I_0}$ $O_1 = \overline{I_1} I_0$

$$O_2 = I_1 \overline{I_0} \quad O_3 = I_1 I_0$$



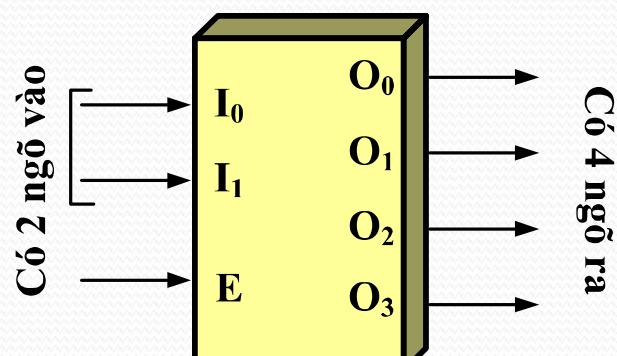
II. MẠCH GIẢI MÃ - DECODER

b. Decoder $2 \rightarrow 4$ có ngõ ra tích **cực mức cao** và có tín hiệu cho phép E;

Ví dụ: Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích **cực mức cao**, có một ngõ vào cho phép E tích **cực mức cao**.

II. MẠCH GIẢI MÃ - DECODER

b. Decoder $2 \rightarrow 4$ có ngõ ra tích cực mức cao và có tín hiệu cho phép E



$$O_0 = EI_1\bar{I}_0$$

$$O_1 = EI_1\bar{I}_0$$

$$O_2 = EI_1I_0$$

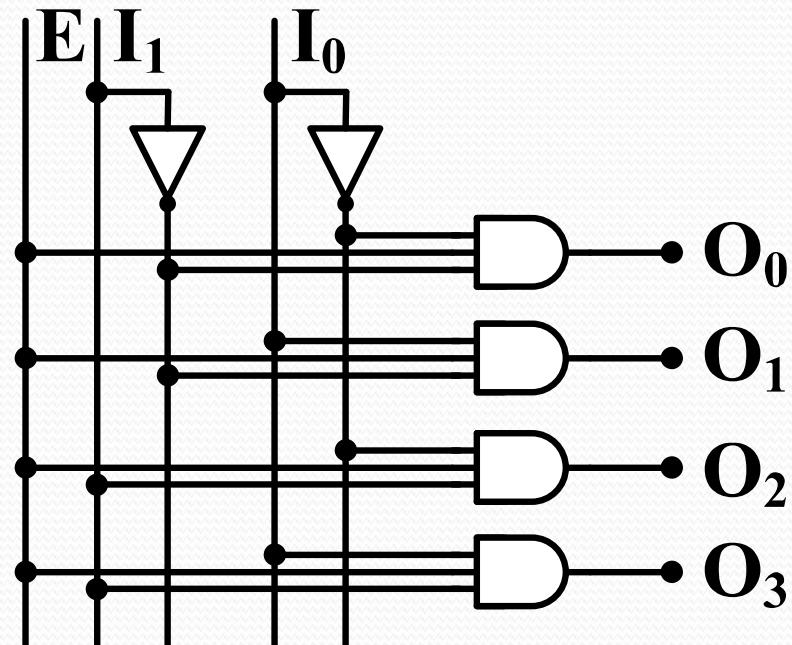
$$O_3 = EI_1I_0$$

INPUTS			OUTPUTS			
E	I_1	I_0	O_3	O_2	O_1	O_0
0	X	X	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

II. MẠCH GIẢI MÃ - DECODER

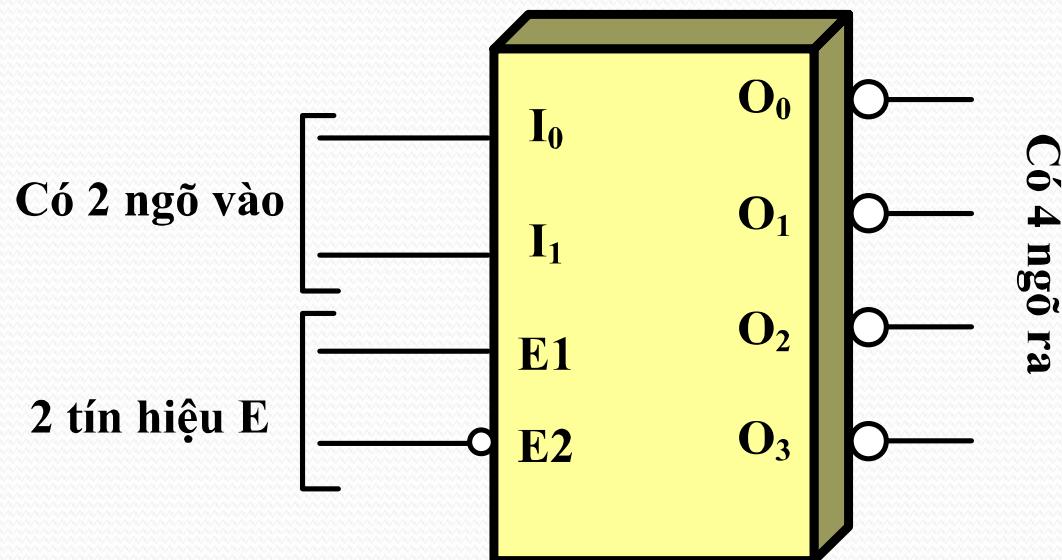
b. Decoder $2 \rightarrow 4$ có ngõ ra tích cực mức cao và có tín hiệu cho phép E

- Vẽ mạch



II. MẠCH GIẢI MÃ - DECODER

* Mạch giải mã 2 sang 4 đường với ngõ ra tích cực mức 0, có 2 tín hiệu cho phép E1 và E2:



II. MẠCH GIẢI MÃ - DECODER

- Mạch giải mã 2 sang 4 đường với ngõ ra tích cực mức 0, có 2 tín hiệu cho phép E1 và E2:

INPUTS				OUTPUTS			
$\overline{E_2}$	E_1	I_1	I_0	$\overline{O_3}$	$\overline{O_2}$	$\overline{O_1}$	$\overline{O_0}$
1	X	X	X	1	1	1	1
X	0	X	X	1	1	1	1
0	1	0	0	1	1	1	0
0	1	0	1	1	1	0	1
0	1	1	0	1	0	1	1
0	1	1	1	0	1	1	1

II. MẠCH GIẢI MÃ - DECODER

- Mạch giải mã 2 sang 4 đường với ngõ ra tích cực mức 0, có 2 tín hiệu cho phép E1 và E2:

Phương trình các ngõ ra:

$$O_0 = \overline{E_2} + \overline{E_1} + I_1 + I_0 = \overline{\overline{E_1} + \overline{E_2} + I_1 + I_0} = \overline{E_1} \overline{E_2} \overline{I_1} \overline{I_0}$$

$$O_1 = \overline{E_2} + \overline{E_1} + I_1 + \overline{I_0} = \overline{\overline{E_1} + \overline{E_2} + I_1 + \overline{I_0}} = \overline{E_1} \cdot \overline{E_2} \cdot \overline{I_1} I_0$$

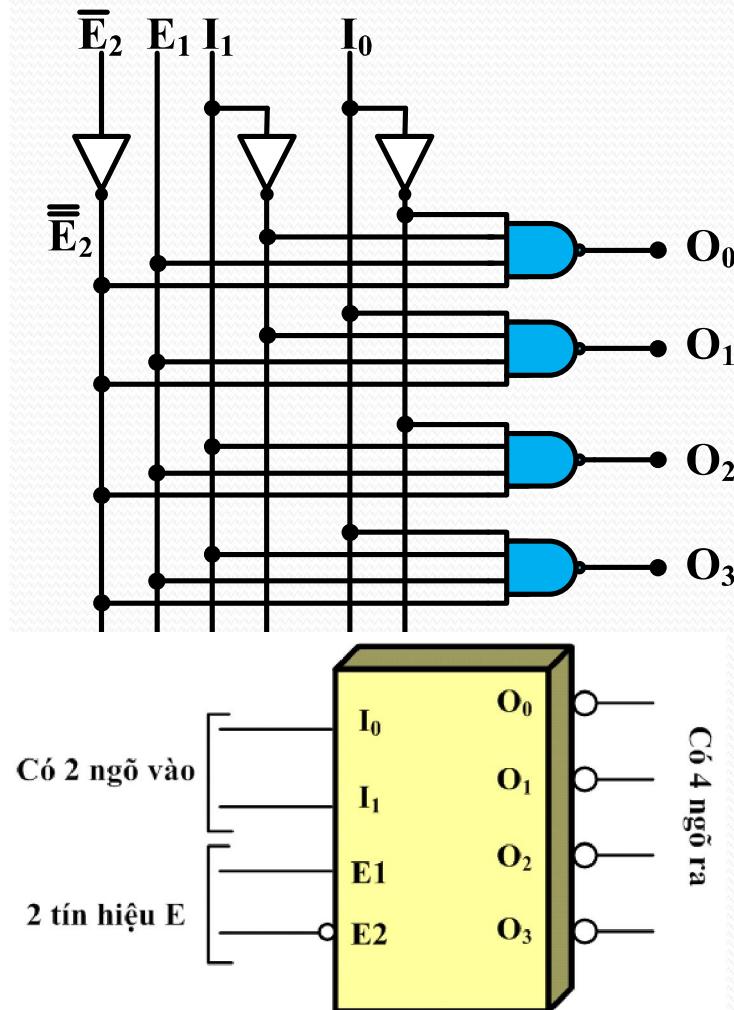
$$O_2 = \overline{E_2} + \overline{E_1} + \overline{I_1} + I_0 = \overline{\overline{E_1} + \overline{E_2} + \overline{I_1} + I_0} = \overline{E_1} \overline{E_2} I_1 \overline{I_0}$$

$$O_3 = \overline{E_2} + \overline{E_1} + \overline{I_1} + \overline{I_0} = \overline{\overline{E_1} + \overline{E_2} + \overline{I_1} + \overline{I_0}} = \overline{E_1} \overline{E_2} I_1 I_0$$

INPUTS				OUTPUTS			
$\overline{E_2}$	E_1	I_1	I_0	\overline{O}_3	\overline{O}_2	\overline{O}_1	\overline{O}_0
1	X	X	X	1	1	1	1
X	0	X	X	1	1	1	1
0	1	0	0	1	1	1	0
0	1	0	1	1	1	0	1
0	1	1	0	1	0	1	1
0	1	1	1	0	1	1	1

II. MẠCH GIẢI MÃ - DECODER

- Mạch giải mã 2 sang 4 đường với ngõ ra tích cực mức 0, có 2 tín hiệu cho phép E1 và E2:



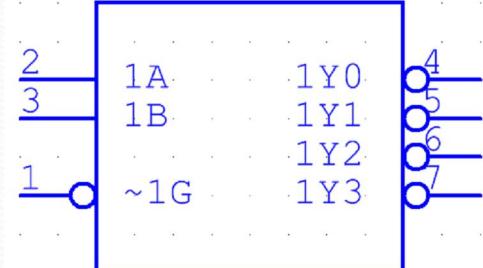
$$O_0 = \overline{\bar{E}_2 + E_1 + I_1 + I_0} = \overline{\overline{\bar{E}_1} + \overline{\bar{E}_2} + I_1 + I_0} = \overline{E_1 E_2 I_1 I_0}$$

$$O_1 = \overline{\bar{E}_2 + E_1 + I_1 + \bar{I}_0} = \overline{\overline{\bar{E}_1} + \overline{\bar{E}_2} + I_1 + \bar{I}_0} = \overline{E_1 \cdot E_2 \cdot \bar{I}_1 \bar{I}_0}$$

$$O_2 = \overline{\bar{E}_2 + \bar{E}_1 + \bar{I}_1 + I_0} = \overline{\overline{\bar{E}_1} + \overline{\bar{E}_2} + \bar{I}_1 + I_0} = \overline{E_1 E_2 I_1 \bar{I}_0}$$

$$O_3 = \overline{\bar{E}_2 + \bar{E}_1 + \bar{I}_1 + \bar{I}_0} = \overline{\overline{\bar{E}_1} + \overline{\bar{E}_2} + \bar{I}_1 + \bar{I}_0} = \overline{E_1 E_2 \bar{I}_1 \bar{I}_0}$$

INPUTS				OUTPUTS			
\bar{E}_2	E_1	I_1	I_0	\bar{O}_3	\bar{O}_2	\bar{O}_1	\bar{O}_0
1	X	X	X	1	1	1	1
X	0	X	X	1	1	1	1
0	1	0	0	1	1	1	0
0	1	0	1	1	1	0	1
0	1	1	0	1	0	1	1
0	1	1	1	0	1	1	1



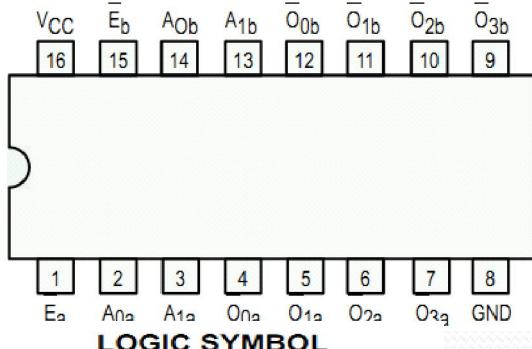
74LS139D

Các bài tập mạch giải mã:

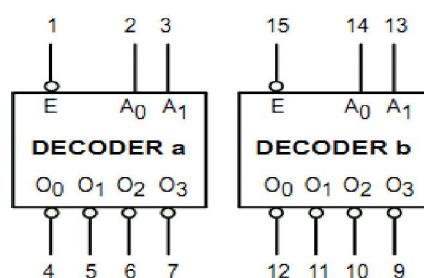
1. Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực **mức cao**.
2. Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức thấp.
3. Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức cao, có ngõ vào cho phép E (tích cực mức cao),
4. Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức cao, có ngõ vào cho phép E (tích cực mức thấp)
5. Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức thấp, có ngõ vào cho phép E (tích cực mức cao),
6. Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức thấp, có ngõ vào cho phép E (tích cực mức thấp)
7. Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức cao, có hai ngõ vào cho phép E₁ (tích cực mức cao) và E₂ (tích cực mức thấp).
8. Thiết kế mạch giải mã $2 \rightarrow 4$ với ngõ ra tích cực mức **thấp**, có **hai** ngõ vào cho phép E₁ (**tích cực mức cao**) và (**tích cực mức thấp**).
9. Thiết kế mạch giải mã $3 \rightarrow 8$ với ngõ ra tích cực mức cao.
10. Thiết kế mạch giải mã $3 \rightarrow 8$ với ngõ ra tích cực mức thấp.
11. Thiết kế mạch giải mã $3 \rightarrow 8$ với ngõ ra tích cực mức cao, có ngõ vào cho phép E (tích cực mức cao),
12. Thiết kế mạch giải $3 \rightarrow 8$ với ngõ ra tích cực mức cao, có ngõ vào cho phép E (tích cực mức thấp)
13. Thiết kế mạch giải mã $3 \rightarrow 8$ với ngõ ra tích cực mức thấp, có ngõ vào cho phép E (tích cực mức cao),
14. Thiết kế mạch giải mã $3 \rightarrow 8$ với ngõ ra tích cực mức thấp, có ngõ vào cho phép E (tích cực mức thấp)
15. Thiết kế mạch giải mã $3 \rightarrow 8$ với ngõ ra tích cực mức cao, có hai ngõ vào cho phép E₁ (tích cực mức cao) và E₂ (tích cực mức thấp).
16. Thiết kế mạch giải mã $3 \rightarrow 8$ với ngõ ra tích cực mức thấp, có hai ngõ vào cho phép E₁ (**tích cực mức cao**) và E₂ (**tích cực mức thấp**).

II. MẠCH GIẢI MÃ -

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version
has the same pinouts
(Connection Diagram)
as the Dual In-Line Package.



V_{CC} = PIN 16
GND = PIN 8

TRUTH TABLE

INPUTS			OUTPUTS			
E	A ₀	A ₁	O ₀	O ₁	O ₂	O ₃
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

V _{OH}	Output HIGH Voltage	54	2.5	3.5		V
		74	2.7	3.5		
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V
		74		0.35	0.5	
I _{IH}	Input HIGH Current			20	μ A	
				0.1	mA	
I _{IL}	Input LOW Current			-0.4	mA	

GUARANTEED OPERATING RANGE:

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage		54	4.5	5.5	V
			74	4.75	5.0	
T _A	Operating Ambient Temperature Range		54	-55	25	$^{\circ}$ C
			74	0	25	
I _{OH}	Output Current — High		54, 74			mA
I _{OL}	Output Current — Low		54			
			74			
					4.0	
					8.0	mA

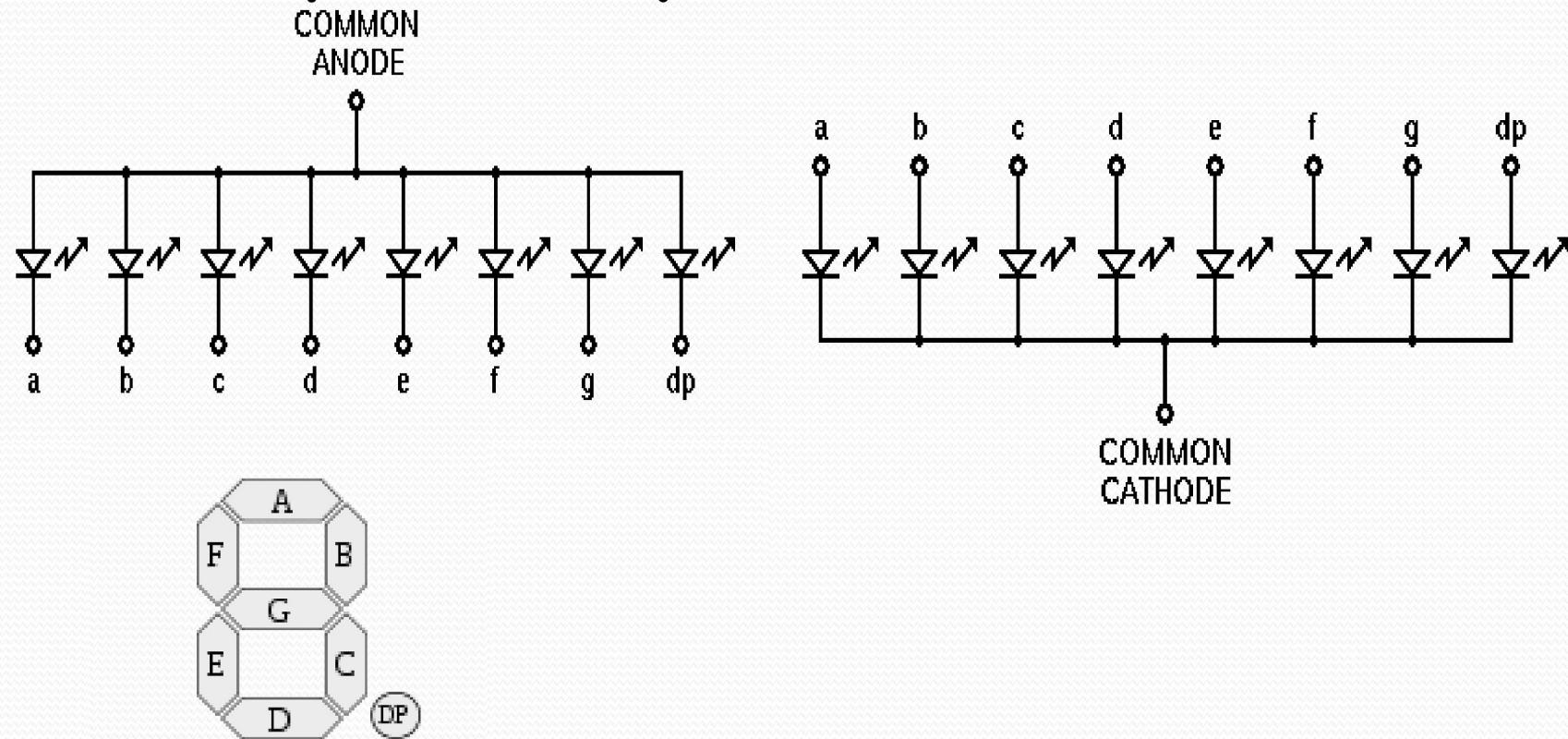
DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		

II. MẠCH GIẢI MÃ - DECODER

2. Mạch giải mã LED 7 đoạn;

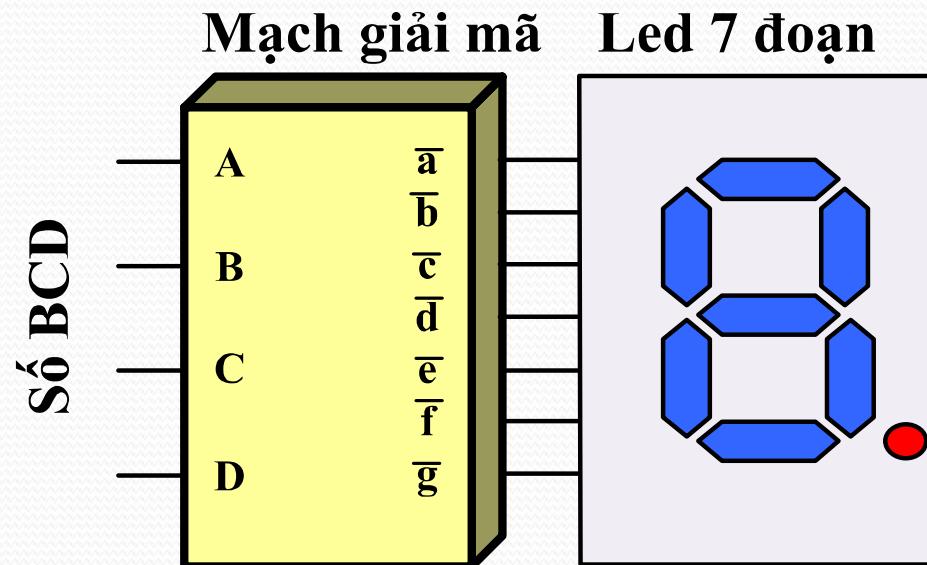
a. Giới thiệu LED 7 đoạn



II. MẠCH GIẢI MÃ - DECODER

Ví dụ: Thiết kế mạch giải mã LED 7 đoạn Anode chung

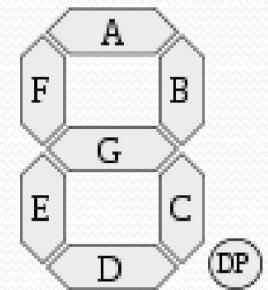
- b. Mạch Giải mã LED 7 đoạn Anode chung



II. MẠCH GIẢI MÃ - DECODER

- b. Mạch Giải mã LED 7 đoạn Anode chung**

TP	Inputs				Outputs						
	D	C	B	A	\bar{g}	\bar{f}	\bar{e}	\bar{d}	\bar{c}	\bar{b}	\bar{a}
0	0	0	0	0	1	0	0	0	0	0	0
1	0	0	0	1	1	1	1	1	0	0	1
2	0	0	1	0	0	1	0	0	1	0	0
3	0	0	1	1	0	1	1	0	0	0	0
4	0	1	0	0	0	0	1	1	0	0	1
5	0	1	0	1	0	0	1	0	0	1	0
6	0	1	1	0	0	0	0	0	0	1	0
7	0	1	1	1	1	1	1	1	0	0	0
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	1	0	0	0	0



Các trạng thái ngõ vào không phải là số BCD thì ngõ ra bằng zê-rô

II. MẠCH GIẢI MÃ - DECODER

- b. Mạch Giải mã LED 7 đoạn Anode chung

$$\bar{a} = \overline{DC}\overline{B}A + \overline{DC}\overline{B}\overline{A} = \sum(1,4)$$

$$\bar{b} = \overline{DC}\overline{B}A + \overline{DCB}\overline{A} = \sum(5,6)$$

$$\bar{c} = \overline{DC}\overline{B}\overline{A} = \sum(2)$$

$$\bar{d} = \overline{DC}\overline{B}A + \overline{DC}\overline{B}\overline{A} + \overline{DCB}A = \sum(1,4,7)$$

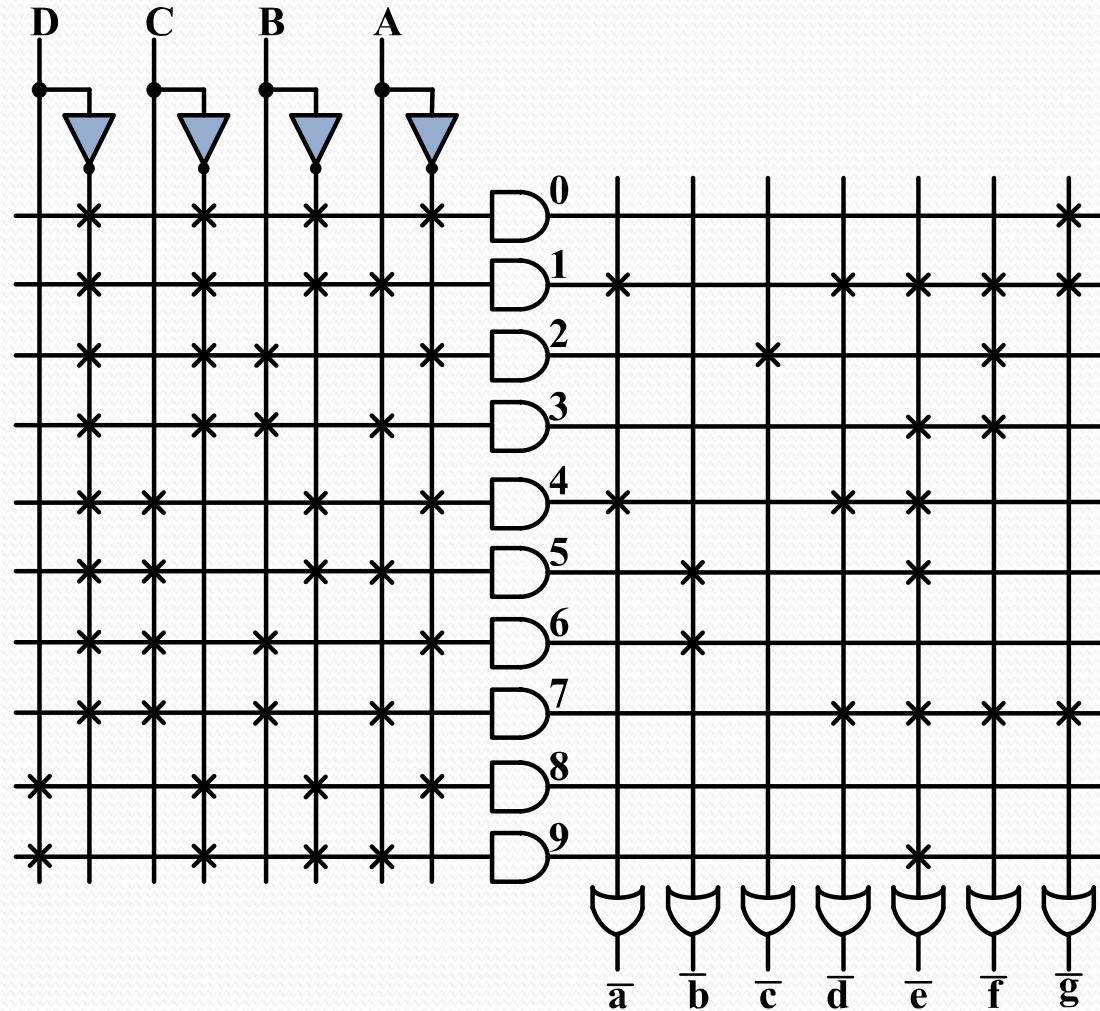
$$\bar{e} = \overline{DC}\overline{B}A + \overline{DCB}A + \overline{DC}\overline{B}\overline{A} + \overline{DC}\overline{B}A + \overline{DCB}A + D\overline{C}\overline{B}A = \sum(1,3,4,5,7,9)$$

$$\bar{f} = \overline{DC}\overline{B}A + \overline{DC}\overline{B}\overline{A} + \overline{DCB}A + \overline{DCB}A = \sum(1,2,3,7)$$

$$\bar{g} = \overline{DC}\overline{B}\overline{A} + \overline{DC}\overline{B}\overline{A} + \overline{DCB}A = \sum(0,1,7)$$

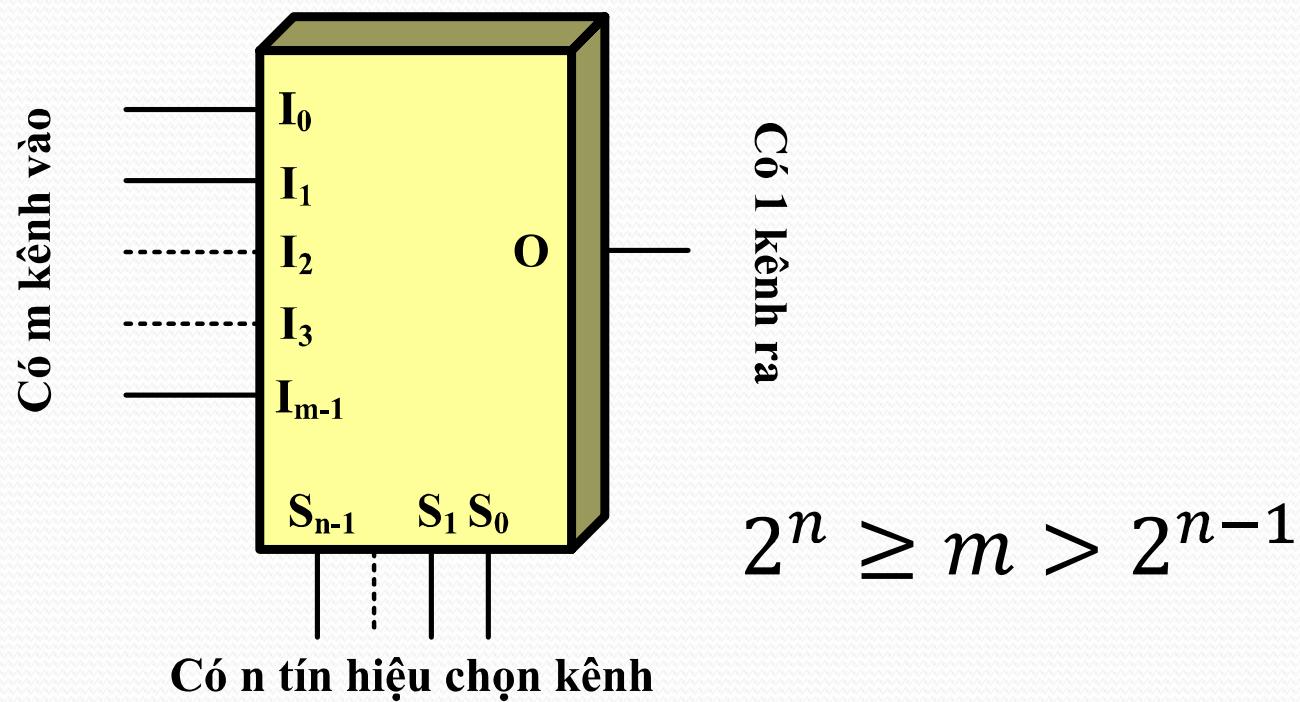
II. MẠCH GIẢI MÃ - DECODER

- Giải mã LED 7 đoạn Anode chung



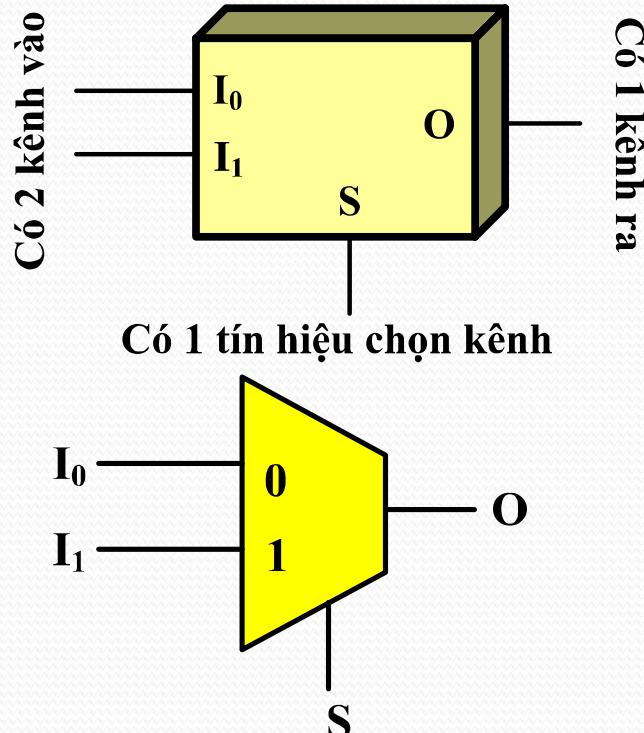
III. MẠCH ĐA HỢP - MULTIPLEXER

- SƠ ĐỒ KHỐI



III. MẠCH ĐA HỢP - MULTIPLEX

1. Mạch đa hợp 2 sang 1



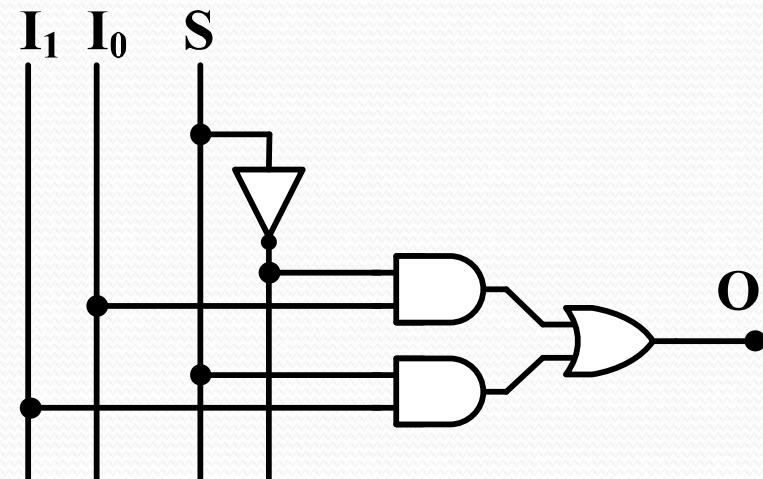
Inputs			output
I_1	I_0	S	O
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$O = \overline{I_1} I_0 \overline{S} + I_1 \overline{I_0} S + I_1 I_0 \overline{S} + I_1 I_0 S = I_0 \overline{S} + I_1 S$$

III. MẠCH ĐA HỢP - MULTIPLEX

- Mạch đa hợp 2 sang 1

Inputs			output
I_1	I_0	S	O
x	I_0	0	I_0
I_1	x	1	I_1

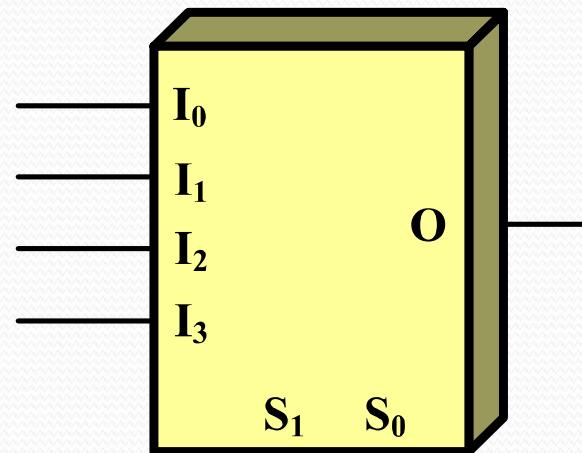


$$O = I_0 \bar{S} + I_1 S$$

III. MẠCH ĐA HỢP - MULTIPLEX

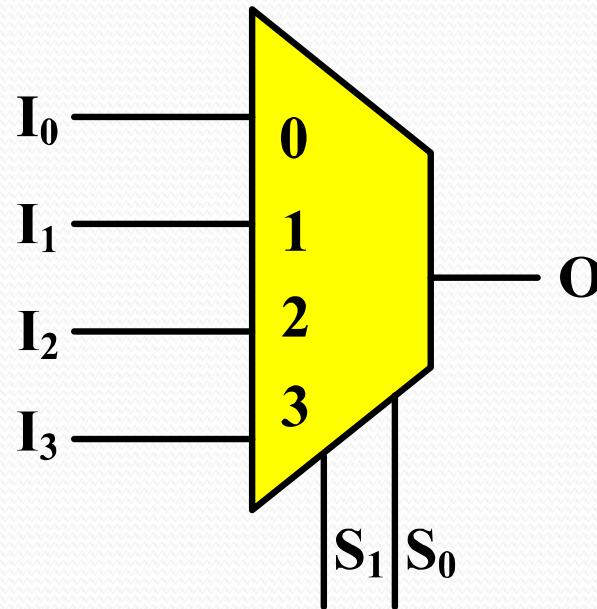
- Mạch đa hợp 4 sang 1

Có 4 kênh vào



Có 2 tín hiệu chọn kênh

Có 1 kênh ra



III. MẠCH ĐA HỢP - MULTIPLEX

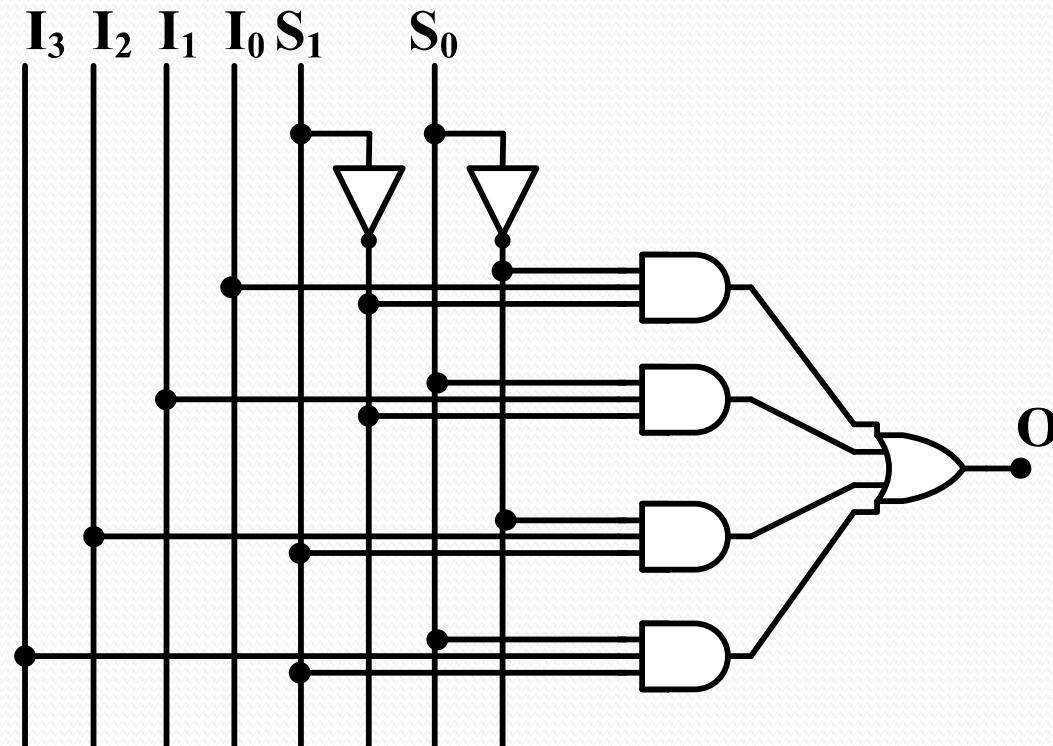
2. Mạch đa hợp 4 sang 1

Inputs						output
I ₃	I ₂	I ₁	I ₀	S ₁	S ₀	O
x	x	x	I ₀	0	0	I ₀
x	x	I ₁	x	0	1	I ₁
x	I ₂	x	x	1	0	I ₂
I ₃	x	x	x	1	1	I ₃

$$O = I_0 \overline{S_1} \overline{S_0} + I_1 \overline{S_1} S_0 + I_2 S_1 \overline{S_0} + I_3 S_1 S_0$$

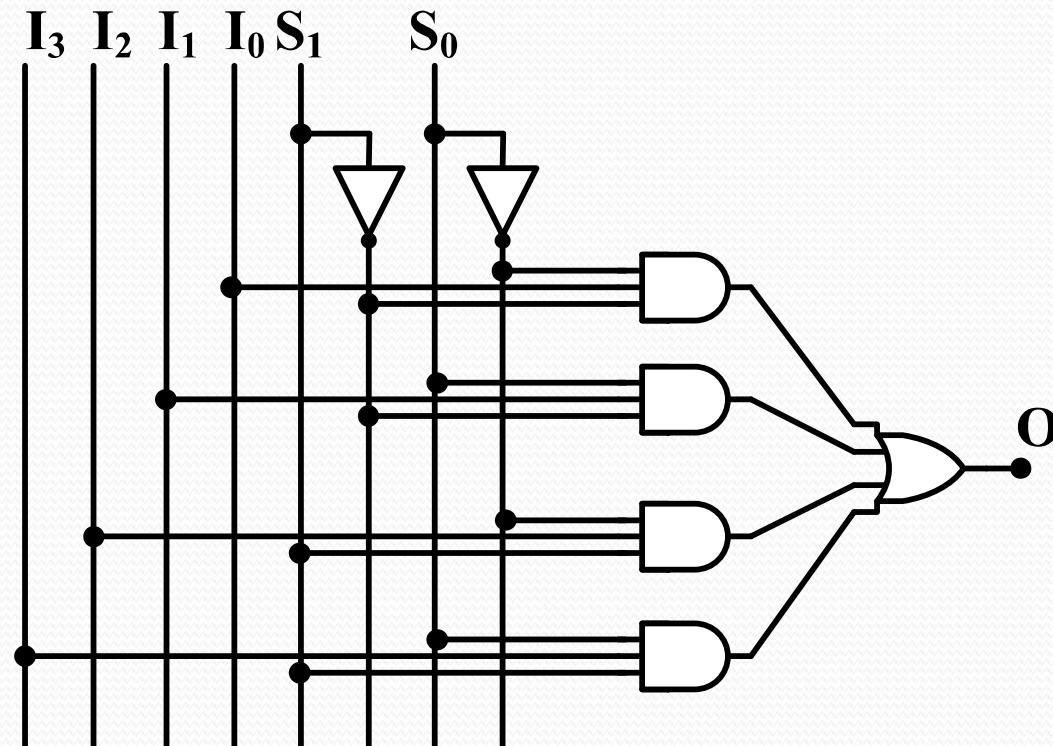
III. MẠCH ĐA HỢP - MULTIPLEX

- Mạch đa hợp 4 sang 1



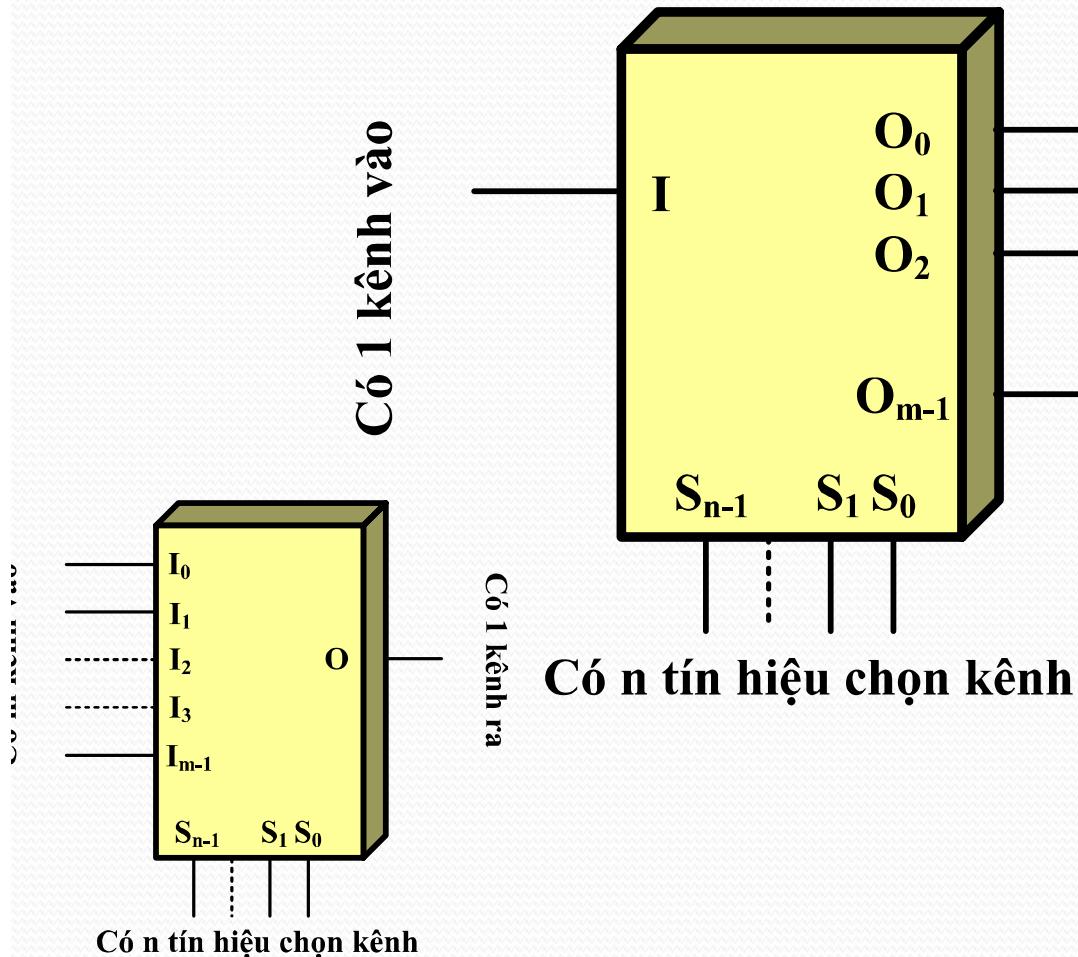
III. MẠCH ĐA HỢP - MULTIPLEX

- Mạch đa hợp 4 sang 1



IV. MẠCH GIẢI ĐA HỢP - DEMULTIPLEX

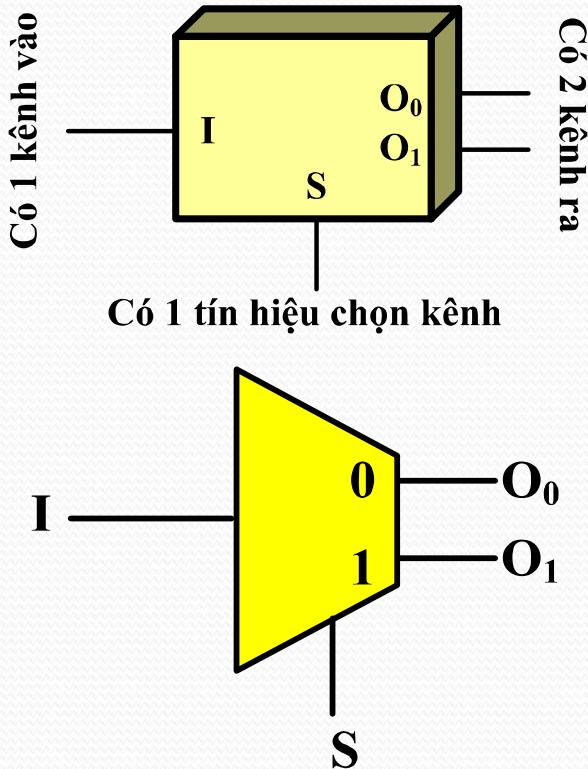
- Sơ đồ khối



$$2^n \geq m \geq 2^{n-1}$$

IV. MẠCH GIẢI ĐA HỢP - DEMULTIPLEX

1. Giải đa hợp 1 sang 2



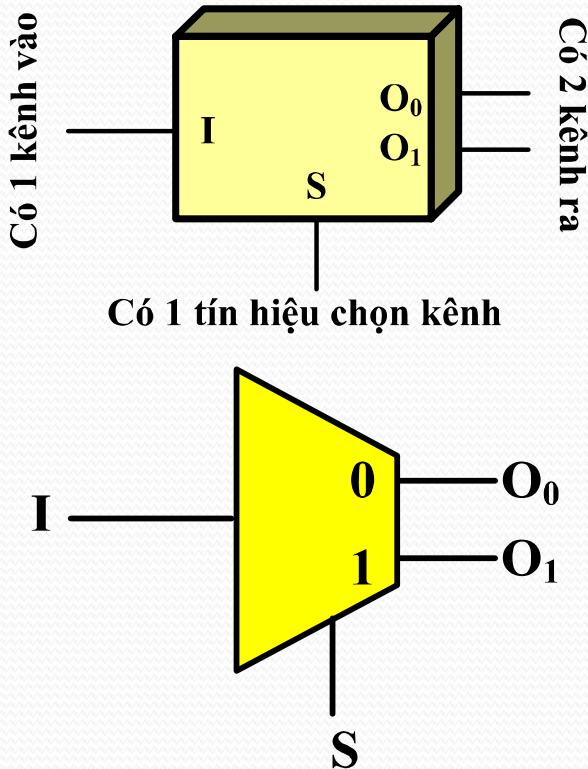
Inputs		outputs	
I	S	O ₁	O ₀
I	0	0	I
I	1	I	0

$$O_0 = I\bar{S}$$

$$O_1 = IS$$

IV. MẠCH GIẢI ĐA HỢP - DEMULTIPLEX

1. Giải đa hợp 1 sang 2



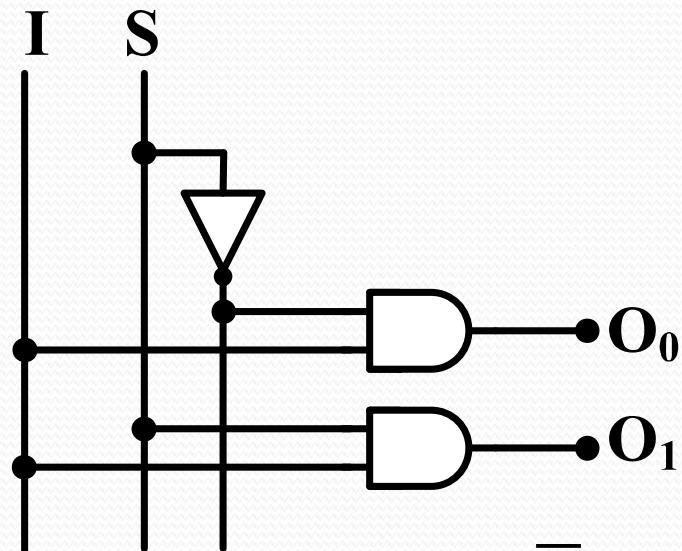
Inputs		outputs	
	S	O ₁	O ₀
	0	0	I
	1	I	0

$$O_0 = I\bar{S}$$

$$O_1 = IS$$

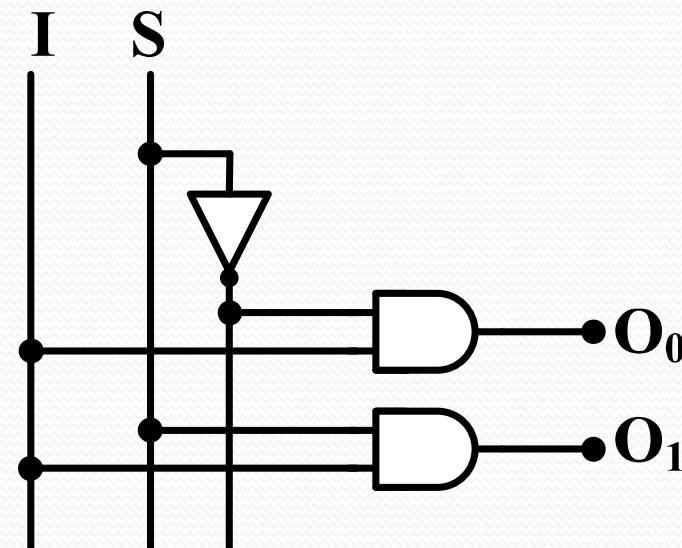
IV. MẠCH GIẢI ĐA HỢP - DEMULTIPLEX

1. Giải đa hợp 1 sang 2



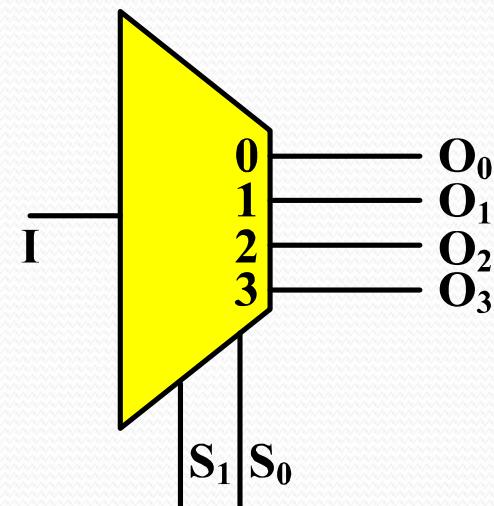
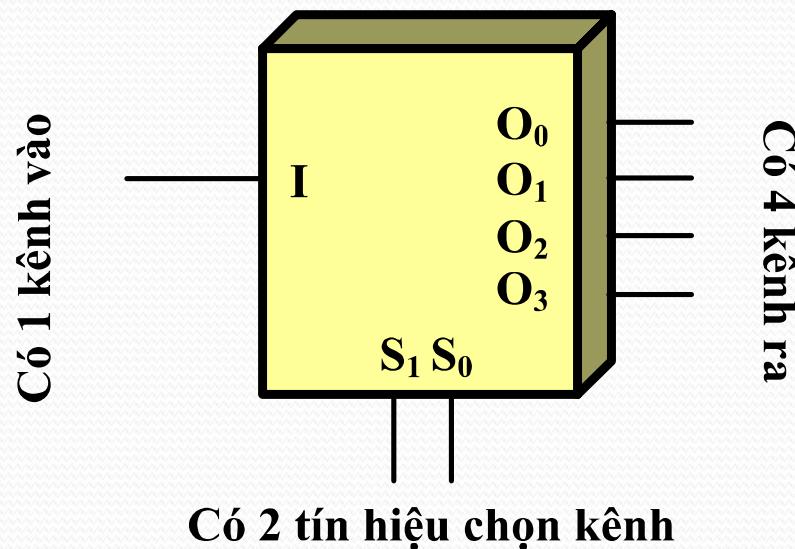
$$O_0 = I\bar{S}$$

$$O_1 = IS$$



IV. MẠCH GIẢI ĐA HỢP - DEMULTIPLEX

2. Giải đa hợp 1 sang 4



IV. MẠCH GIẢI ĐA HỢP - DEMULTIPLEX

- Giải đa hợp 1 sang 4

Inputs			outputs			
E	S ₁	S ₀	O ₃	O ₂	O ₁	O ₀
0	x	x	0	0	0	0
1	0	0	0	0	0	I
1	0	1	0	0	I	0
1	1	0	0	I	0	0
1	1	1	I	0	0	0

$$O_0 = E \bar{S}_1 \bar{S}_0$$

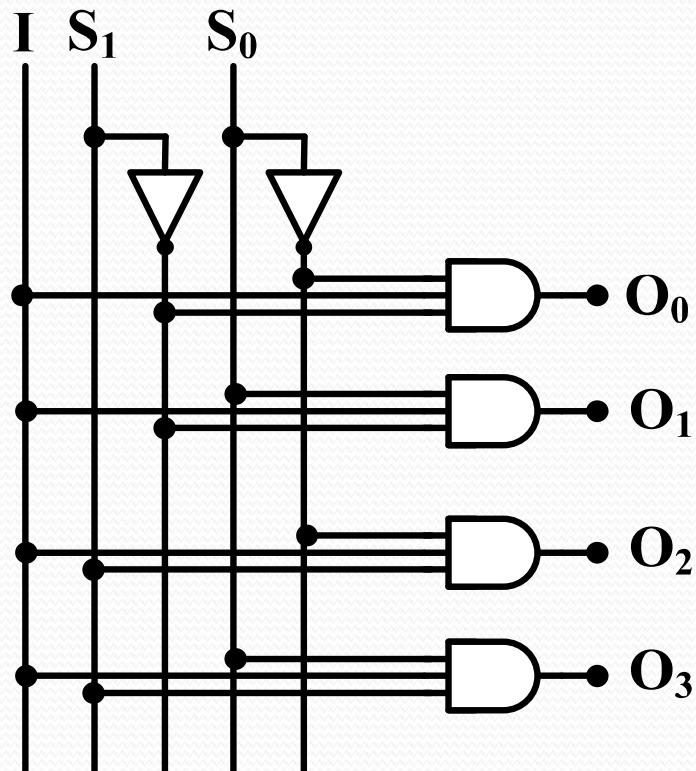
$$O_1 = E S_1 \bar{S}_0$$

$$O_2 = E \bar{S}_1 S_0$$

$$O_3 = E S_1 S_0$$

IV. MẠCH GIẢI ĐA HỢP - DEMULTIPLEX

- Giải đa hợp 1 sang 4



V. MẠCH SO SÁNH NHỊ PHÂN

Ví dụ : Thiết mạch so sánh 2 bit A và B. Biết rằng bộ so sánh có 3 ngõ ra để báo hiệu các trạng thái $A > B$, $A = B$ và $A < B$.

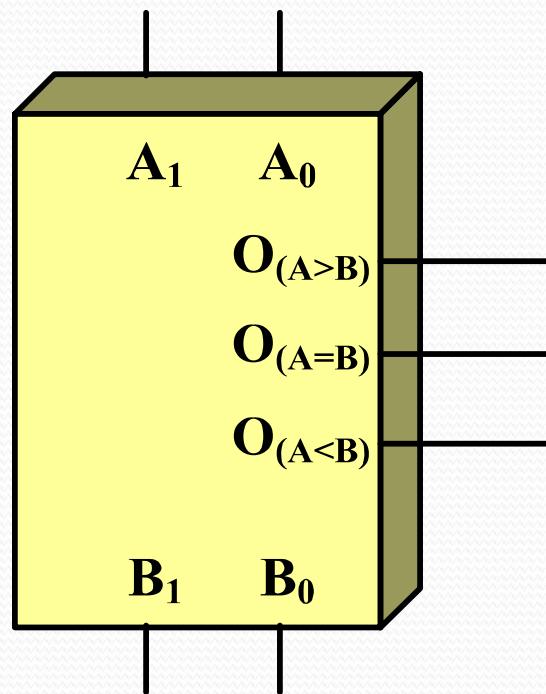
V. MẠCH SO SÁNH NHỊ PHÂN

Ví dụ : Thiết mạch so sánh 2 số nhị phân 2 bit A_1A_0 và B_1B_0 . Biết rằng bộ so sánh có 3 ngõ ra để báo hiệu các trạng thái $A > B$, $A = B$ và $A < B$.

$$A = (A_1A_0)_{10} \text{ và } B = (B_1B_0)_{10}$$

V. MẠCH SO SÁNH NHỊ PHÂN

- So sánh 2 số nhị phân 2 bit



INPUTS				OUTPUTS		
A		B		O _(A>B)	O _(A=B)	O _(A<B)
A1	A0	B1	B0			
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

V. MẠCH SO SÁNH NHỊ PHÂN

- So sánh 2 số nhị phân 2 bit

Phương trình các ngoặc ra

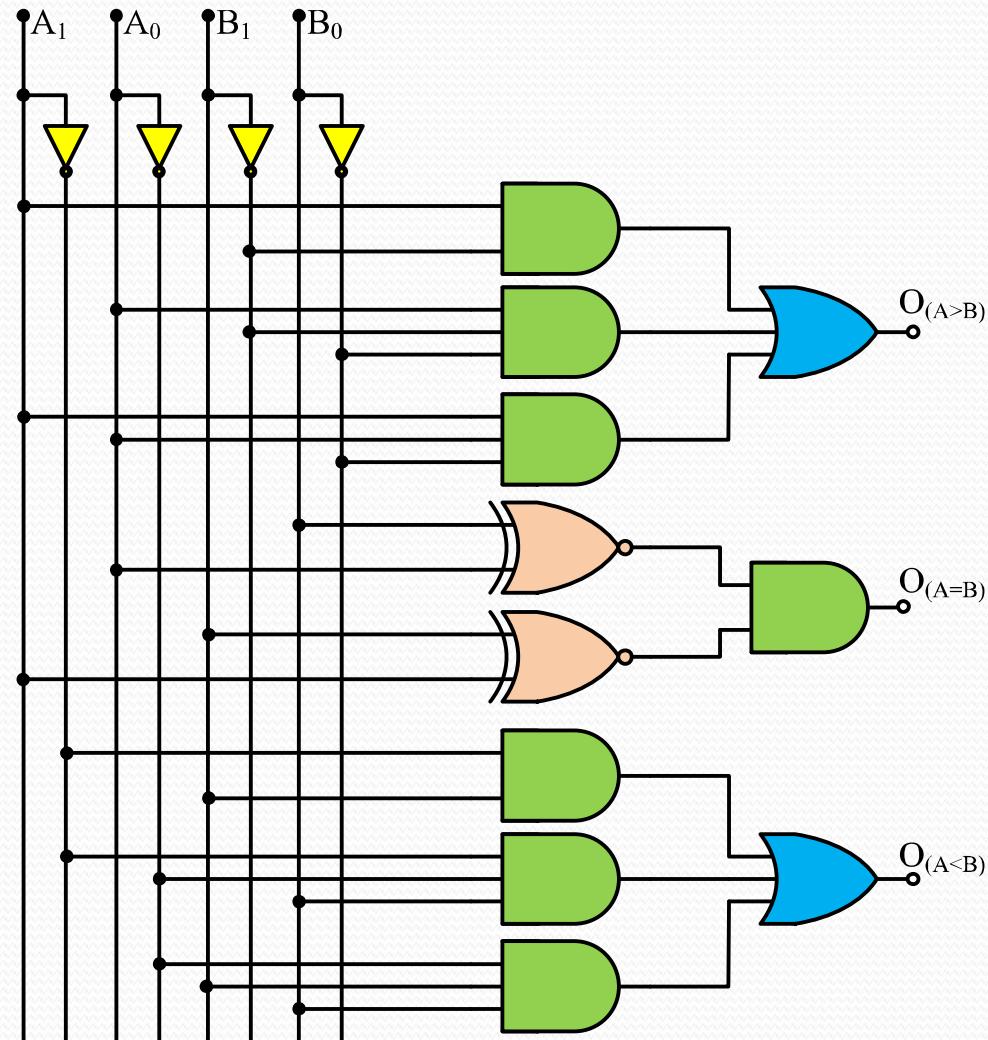
$$O_{(A>B)} = A_1 \overline{B_1} + A_0 \overline{B_1} \overline{B_0} + A_1 A_0 \overline{B_0}$$

$$O_{(A<B)} = \overline{A_1} B_1 + \overline{A_1} \overline{A_0} B_0 + \overline{A_0} B_1 B_0$$

$$O_{(A=B)} = (\overline{A_1 \oplus B_1}) (\overline{A_0 \oplus B_0})$$

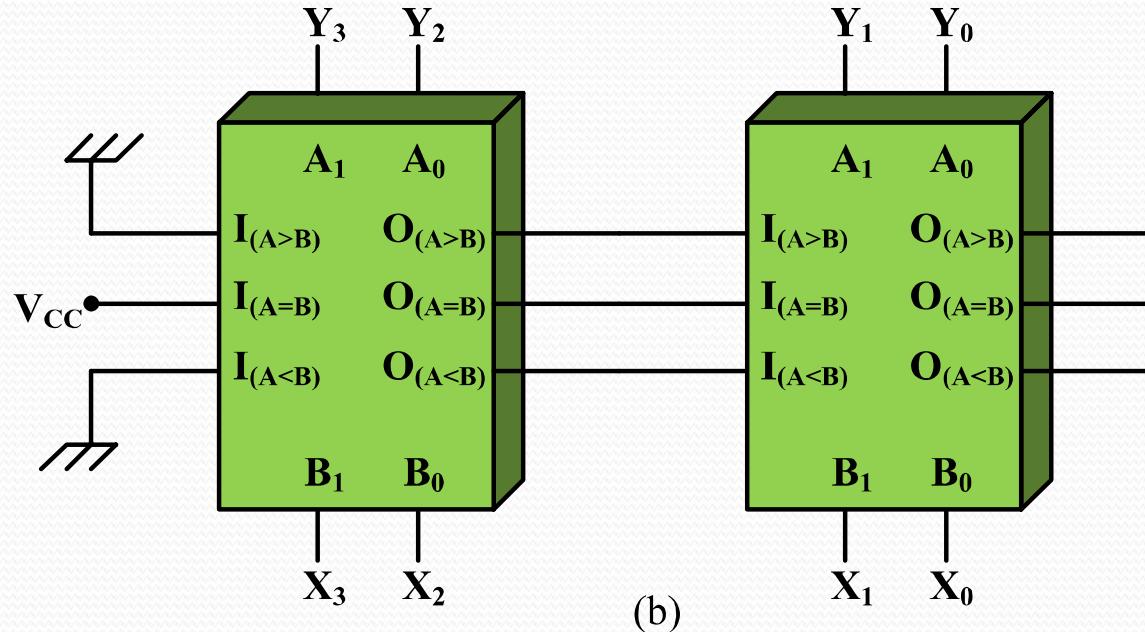
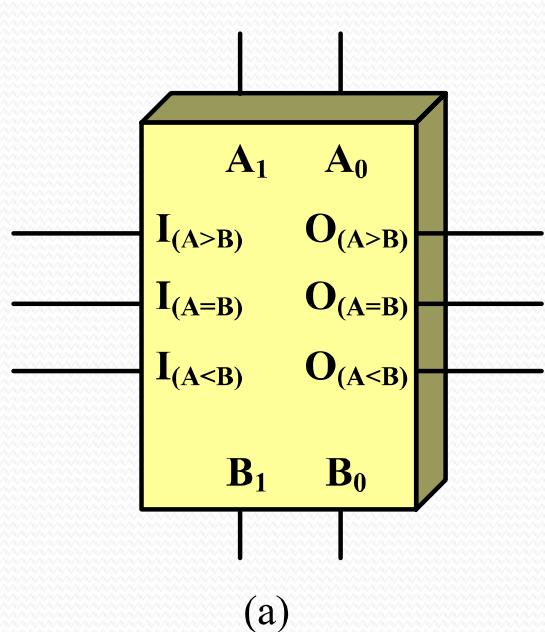
V. MẠCH SO SÁNH NHỊ PHÂN

- Mạch điện



V. MẠCH SO SÁNH NHỊ PHÂN

- Mạch so sánh 2 số nhị phân 2 bit có chức năng mở rộng



INPUTS							OUTPUTS		
$I_{(A>B)}$	$I_{(A=B)}$	$I_{(A<B)}$	A1	A0	B1	B0	$O_{(A>B)}$	$O_{(A=B)}$	$O_{(A<B)}$
1	0	0	x	x	x	x	1	0	0
0	0	1	x	x	x	x	0	0	1
0	1	0	0	0	0	0		1	
0	1	0	0	0	0	1			1
0	1	0	0	0	1	0			1
0	1	0	0	0	1	1			1
0	1	0	0	1	0	0	1		
0	1	0	0	1	0	1		1	
0	1	0	0	1	1	0			1
0	1	0	0	1	1	1			1
0	1	0	1	0	0	0	1		
0	1	0	1	0	0	1	1		
0	1	0	1	0	1	0		1	
0	1	0	1	0	1	1			1
0	1	0	1	1	0	0	1		
0	1	0	1	1	0	1	1		
0	1	0	1	1	1	0	1		
0	1	0	1	1	1	1		1	

V. MẠCH SO SÁNH NHỊ PHÂN

- Phương trình ngơ ra

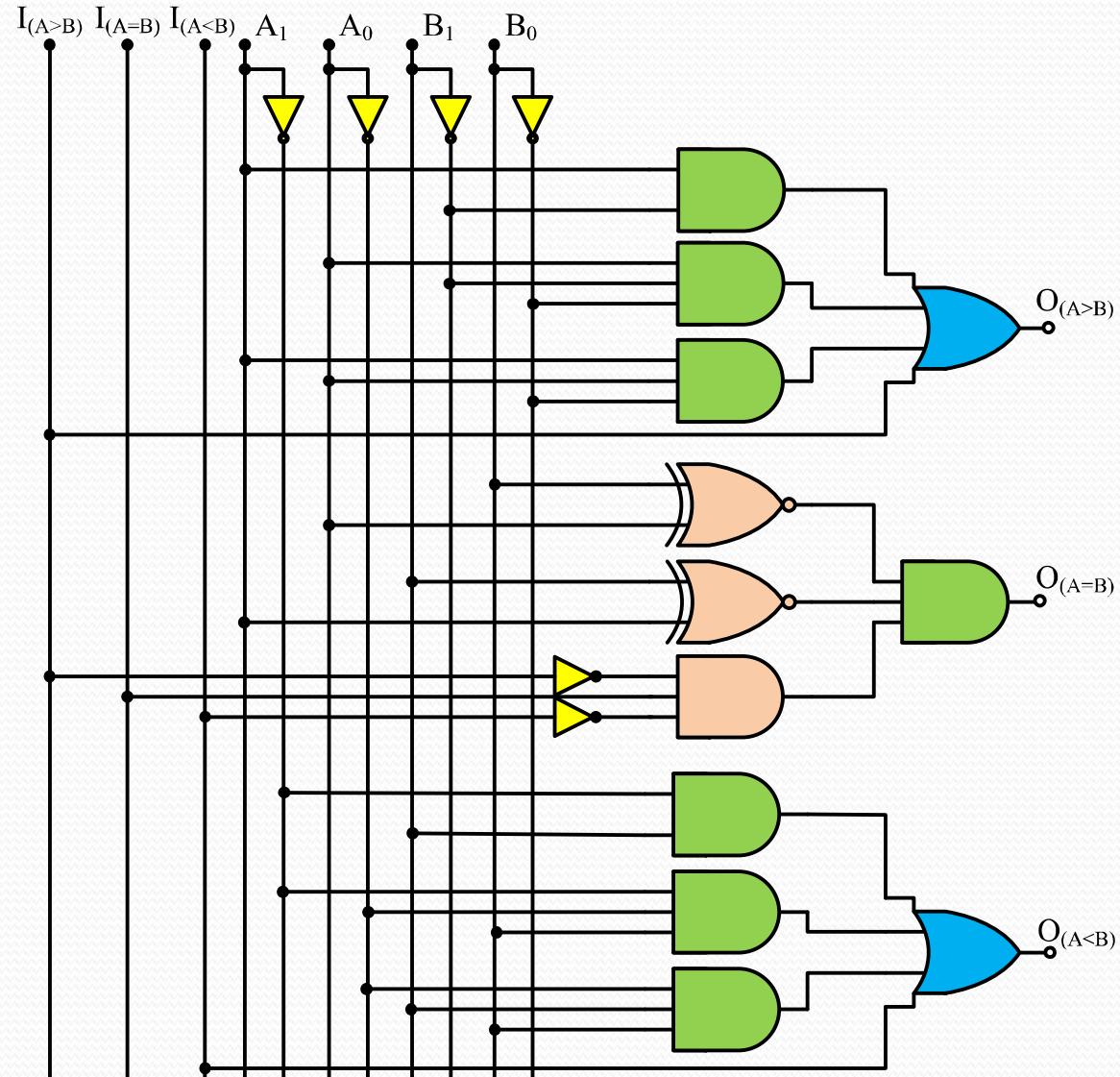
$$O_{(A>B)} = A_1 \overline{B_1} + A_0 \overline{B_1} \overline{B_0} + A_1 A_0 \overline{B_0} + I_{(A>B)} \overline{I_{(A=B)}} \overline{I_{(A<B)}}$$

$$O_{(A<B)} = \overline{A_1} B_1 + \overline{A_1} \overline{A_0} B_0 + \overline{A_0} B_1 B_0 + I_{(A>B)} \overline{I_{(A=B)}} \overline{I_{(A<B)}}$$

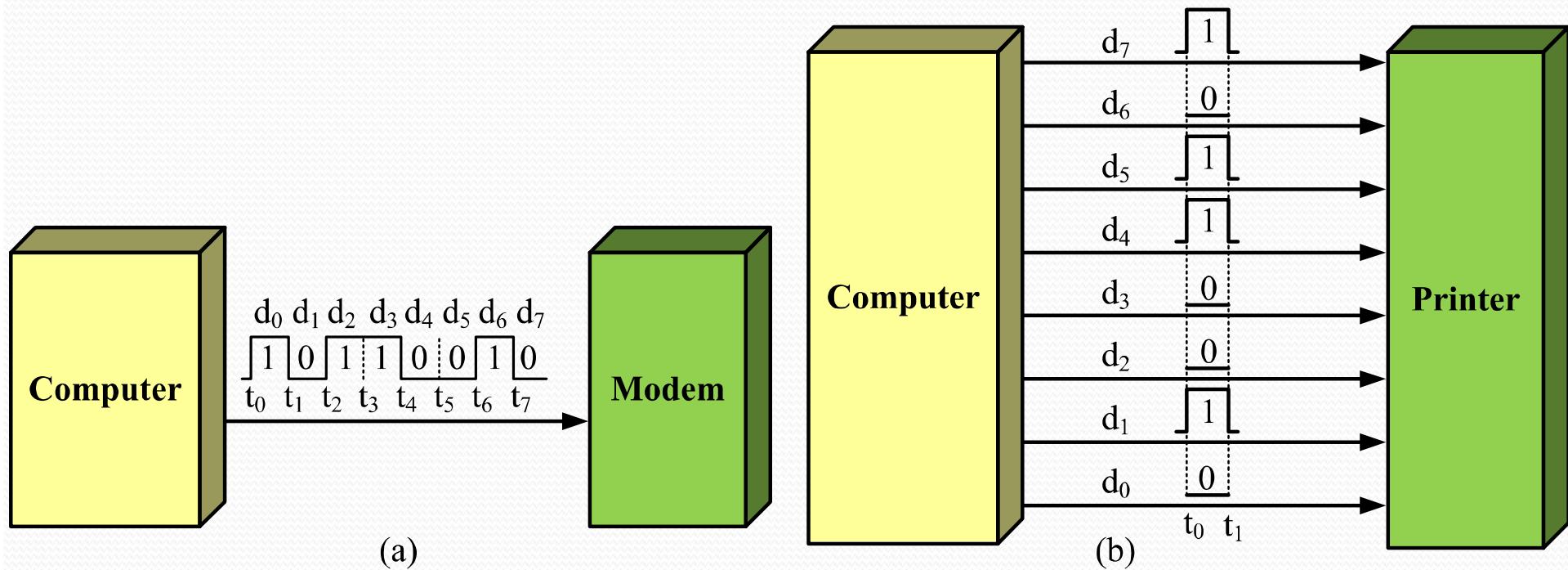
$$O_{(A=B)} = (\overline{A_1 \oplus B_1}) \times (\overline{A_0 \oplus B_0}) \times (\overline{I_{(A>B)}} \overline{I_{(A=B)}} \overline{I_{(A<B)}})$$

V. MẠCH SO SÁNH NHỊ PHÂN

- Mạch điện

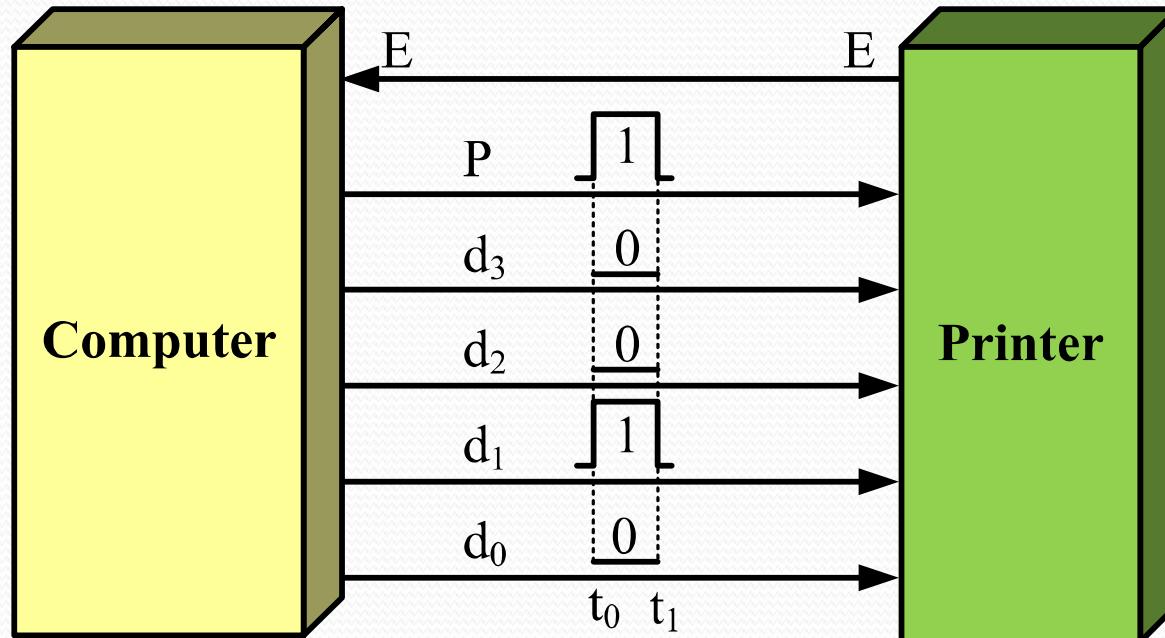


VI. KIỂM TRA CHẨN LẺ - PARITY



VI. KIỂM TRA CHẴN LẺ - PARITY

- Thiết kế mạch tạo và kiểm tra parity cho hệ thống



VI. KIỂM TRA CHẴN LẺ - PARITY

- Máy phát (máy tính) tạo bit kiểm tra chẵn/ lẻ
- Bit Parity là bit được thêm vào dữ liệu phát sao cho tổng số bit ‘1’ phát đi là số chẵn (parity chẵn) hoặc số lẻ (parity lẻ)

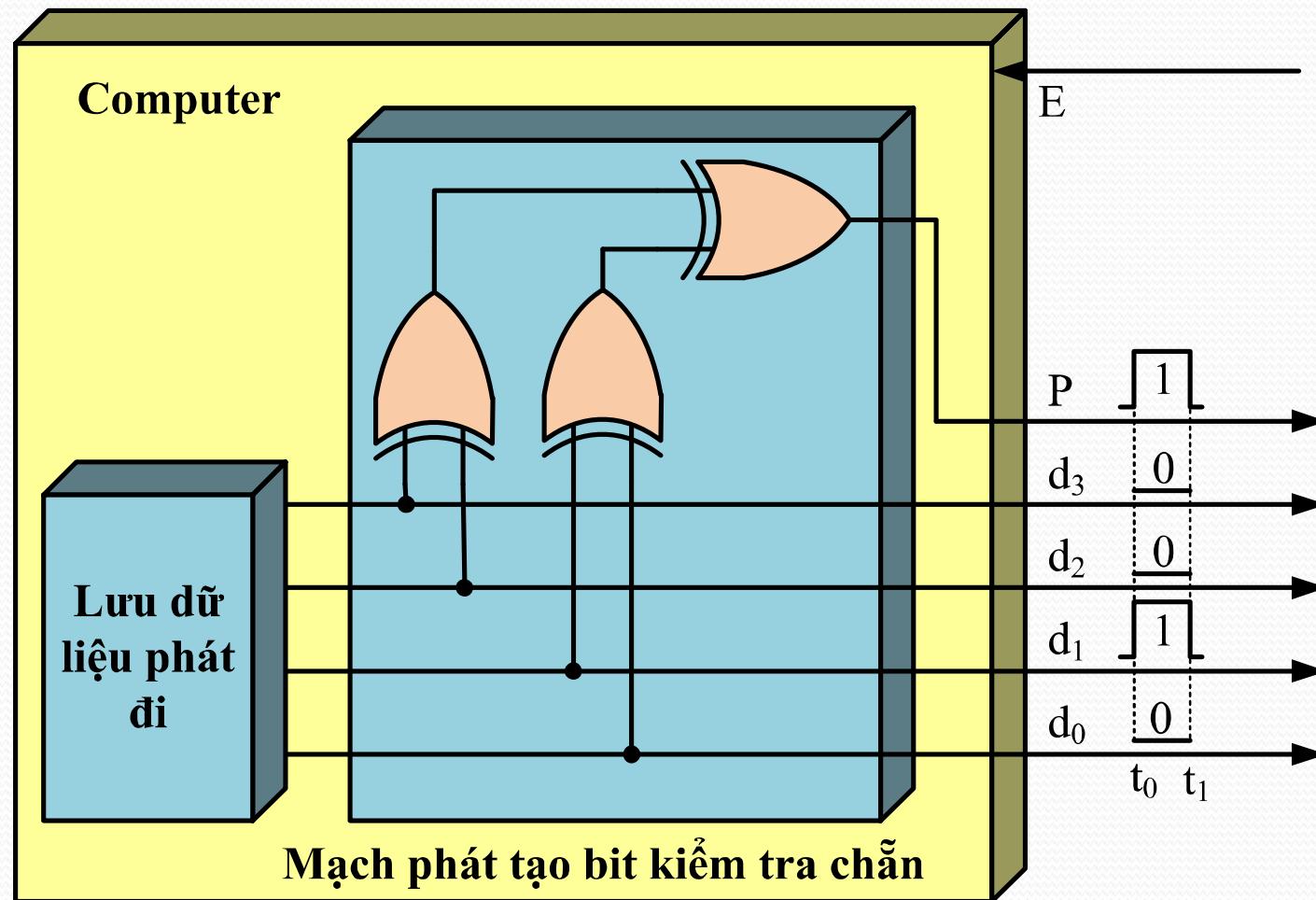
Inputs				Output	
D ₃	D ₂	D ₁	D ₀	P	tp
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	1	2
0	0	1	1	0	3
0	1	0	0	1	4
0	1	0	1	0	5
0	1	1	0	0	6
0	1	1	1	1	7
1	0	0	0	1	8
1	0	0	1	0	9
1	0	1	0	0	10
1	0	1	1	1	11
1	1	0	0	0	12
1	1	0	1	1	13
1	1	1	0	1	14
1	1	1	1	0	15

VI. KIỂM TRA CHẨN LẺ - PARITY

- Phương trình

$$\begin{aligned} P &= \overline{\overline{D_3}\overline{D_2}\overline{D_1}}D_0 + \overline{\overline{D_3}\overline{D_2}}D_1\overline{D_0} + \overline{\overline{D_3}D_2}\overline{\overline{D_1}\overline{D_0}} + \overline{\overline{D_3}D_2}D_1D_0 \\ &+ D_3\overline{\overline{D_2}\overline{D_1}\overline{D_0}} + D_3\overline{\overline{D_2}}D_1D_0 + D_3D_2\overline{\overline{D_1}\overline{D_0}} + D_3D_2D_1\overline{\overline{D_0}} \\ &= \overline{\overline{D_3}\overline{D_2}}(D_1 \oplus D_0) + \overline{\overline{D_3}D_2}(\overline{D_1 \oplus D_0}) + D_3\overline{\overline{D_2}}(\overline{D_1 \oplus D_0}) + D_3D_2(D_1 \oplus D_0) \\ &= (D_1 \oplus D_0)(\overline{D_3 \oplus D_2}) + (\overline{D_1 \oplus D_0})(D_3 \oplus D_2) \\ &= (D_1 \oplus D_0) \oplus (D_3 \oplus D_2) \end{aligned}$$

VI. KIỂM TRA CHẴN LẺ - PARITY



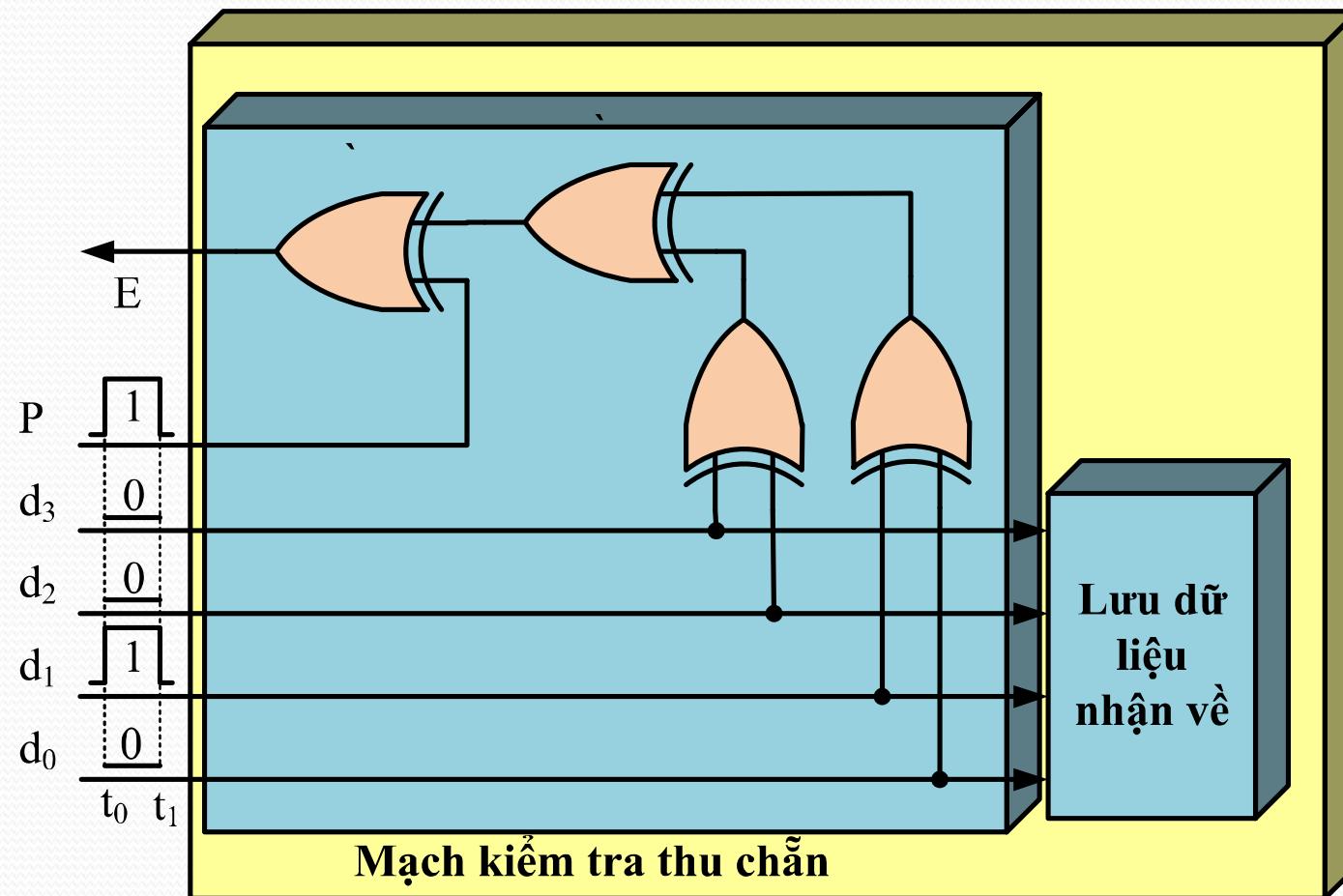
VI. KIỂM TRA CHẴN LẺ - PARITY

- Máy thu (modem hoặc máy in) tạo bit kiểm tra chẵn
 - Nếu dữ liệu là số chẵn - là dữ liệu đúng thì E bằng 0.
 - Nếu dữ liệu là số lẻ - là dữ liệu sai thì E bằng 1 để báo cho bên phát biết để yêu cầu gởi lại.

$$E = (D_1 \oplus D_0) \oplus (D_3 \oplus D_2) \oplus P$$

VI. KIỂM TRA CHẴN LẺ - PARITY

Printer or modem

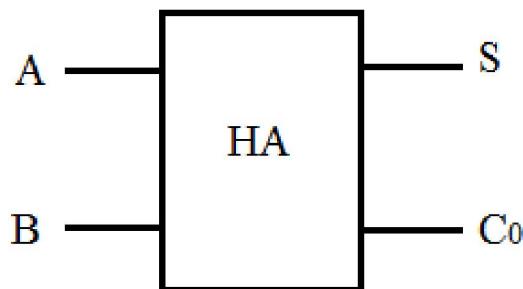


VII. CỘNG NHỊ PHÂN

1 CỘNG BÁN PHẦN (HALF ADDER)

Cộng bán phần hai số nhị phân 1 bit

Sơ đồ khối



Bảng trạng thái

Ngõ vào		Ngõ ra	
A	B	S	C ₀
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Trong đó
A: số hạng
B: số hạng
S: tổng
C₀ : số nhớ

Hàm ngõ ra
 $S = \overline{A}\overline{B} + A\overline{B} = A \oplus B$

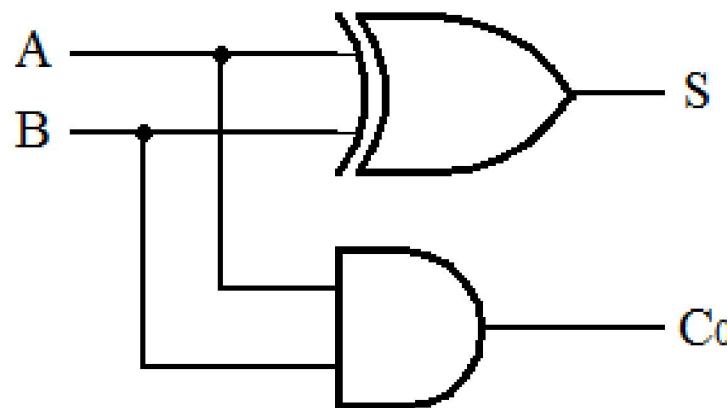
$$C_0 = AB$$

VII. CỘNG NHỊ PHÂN

1 CỘNG BÁN PHẦN

Cộng bán phần hai số nhị phân 1 bit

Mạch điện như sau

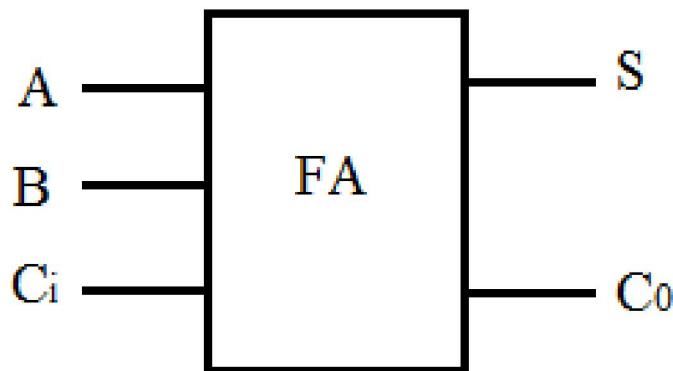


VII. CỘNG NHỊ PHÂN

2 CỘNG TOÀN PHẦN (FULL ADDER: FA)

Cộng toàn phần hai số nhị phân 1 bit

Sơ đồ khối



Trong đó

A: số hạng

B: số hạng

S: tổng

C_0 : số nhớ

C_i : số nhớ của bit có
trọng số thấp hơn 1 đv

VII. CỘNG NHỊ PHÂN

2 CỘNG TOÀN PHẦN

Cộng toàn phần hai số nhị phân 1 bit

Bảng trạng thái

Ngõ vào			Ngõ ra	
A	B	C_i	S	C_0
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

BC_i	00	01	11	10
A				
0				
1				
	1	1	1	

Hàm ngõ ra

$$\begin{aligned} S &= \overline{ABC}_i + \overline{ABC}_i + A\overline{BC}_i + ABC_i \\ &= C_i(\overline{AB} + AB) + \overline{C}_i(\overline{AB} + A\overline{B}) \\ &= C_i(A \oplus B) + \overline{C}_i(A \oplus B) \\ &= A \oplus B \oplus C_i \end{aligned}$$

VII. CỘNG NHỊ PHÂN

2 CỘNG TOÀN PHẦN

Cộng toàn phần hai số nhị phân 1 bit

Bảng trạng thái

Ngõ vào			Ngõ ra	
A	B	C_i	S	C_0
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Hàm ngõ ra

$$S = A \oplus B \oplus C_i$$

$C_i \setminus AB$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

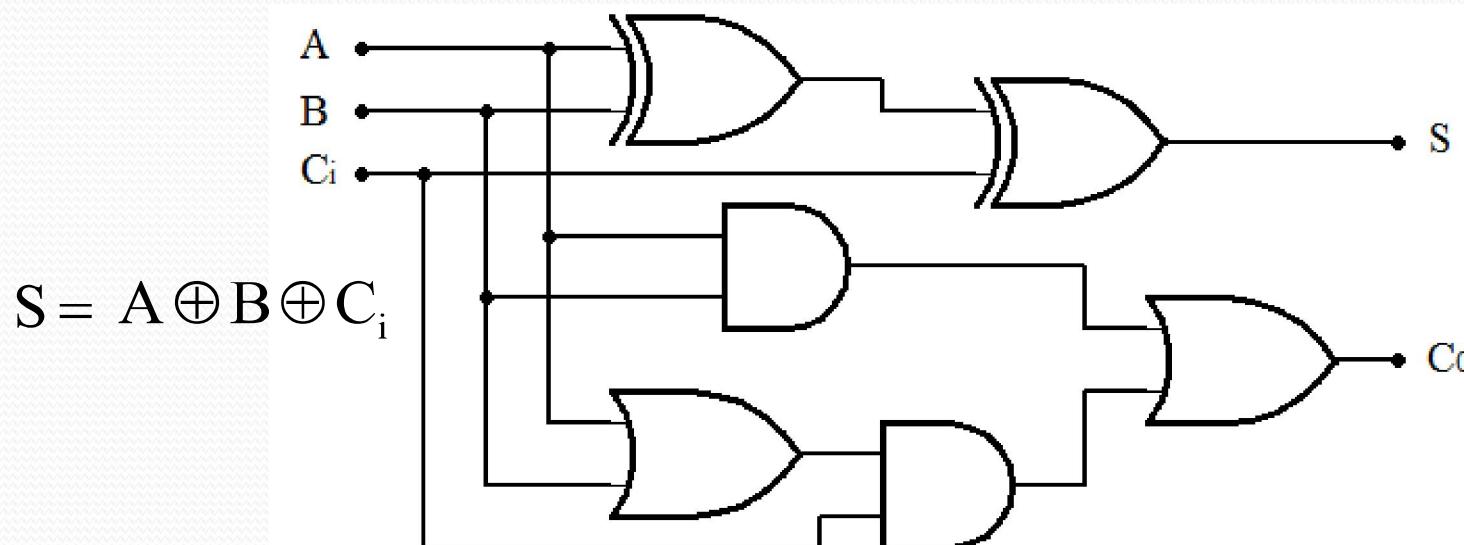
$$\begin{aligned}C_0 &= AB + AC_i + BC_i \\&= AB + (A + B)C_i\end{aligned}$$

VII. CỘNG NHỊ PHÂN

2 CỘNG TOÀN PHẦN

Cộng toàn phần hai số nhị phân 1 bit

Mạch điện như sau:



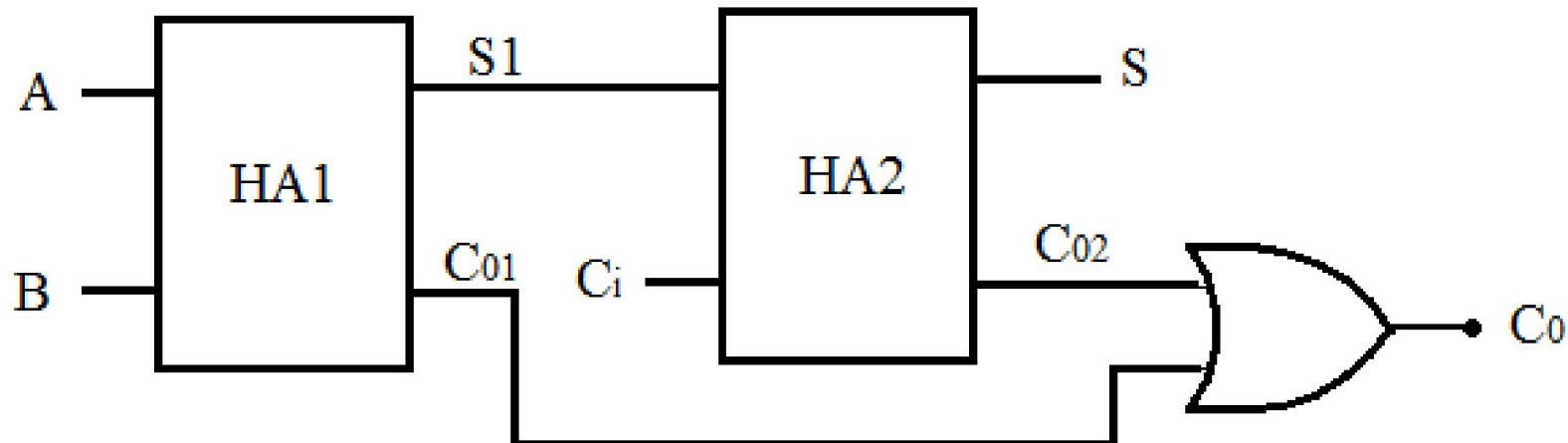
$$C_0 = AB + AC_i + BC_i$$

VII. CỘNG NHỊ PHÂN

2 CỘNG TOÀN PHẦN

Cộng toàn phần hai số nhị phân 1 bit

Chúng ta có thể thực hiện mạch cộng toàn phần bằng cách ghép hai mạch cộng bán phần



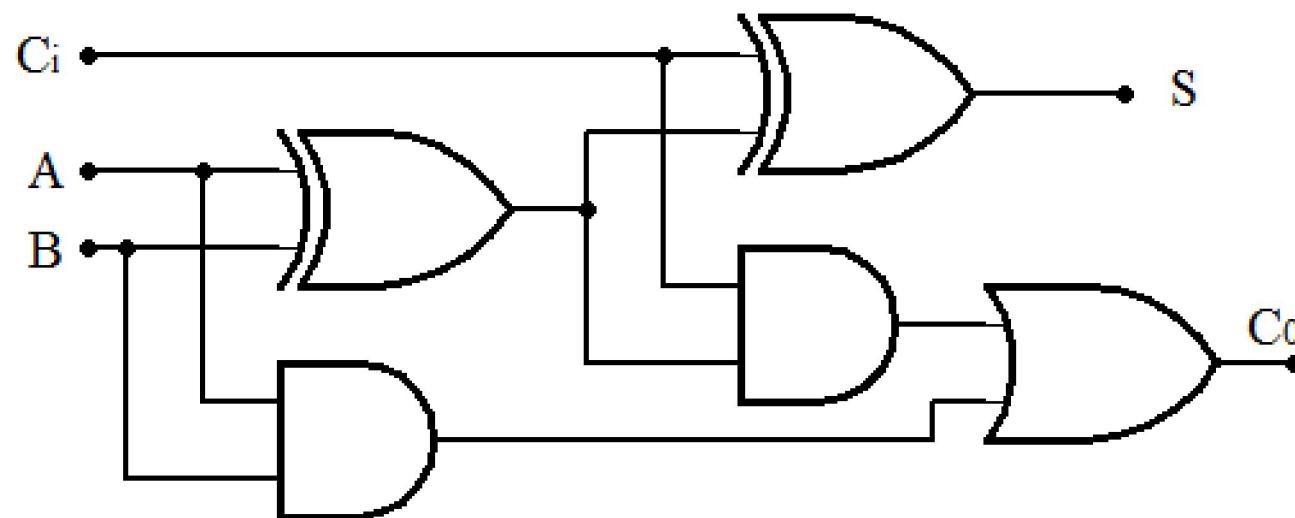
VII. CỘNG NHỊ PHÂN

2 CỘNG TOÀN PHẦN

Cộng toàn phần hai số nhị phân 1 bit

Chúng ta có thể thực hiện mạch cộng toàn phần bằng cách ghép hai mạch cộng bán phần

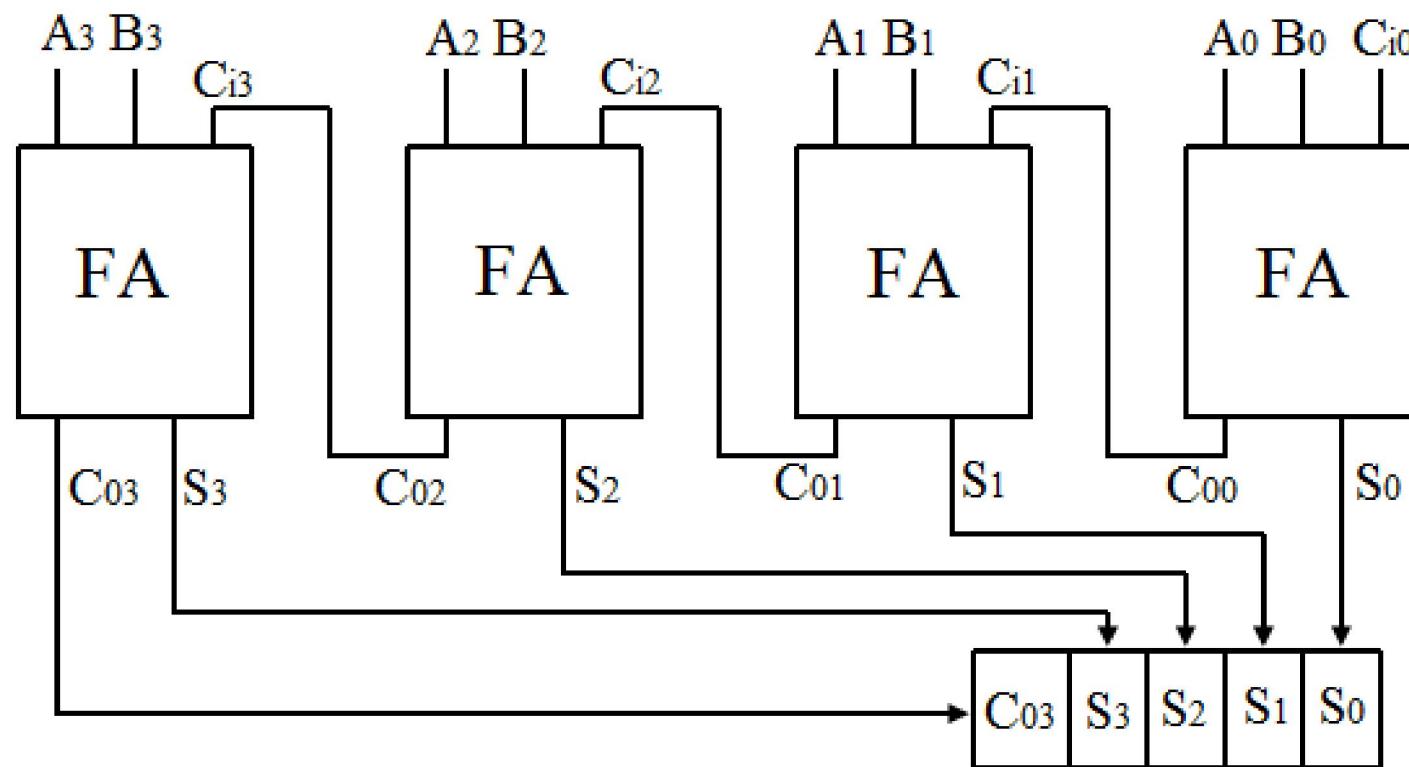
Mạch điện như sau



VII. CỘNG NHỊ PHÂN

3 CỘNG NHỊ PHÂN

Cộng hai số nhị phân 4 bit $A_3A_2A_1A_0$ cộng với $B_3B_2B_1B_0$

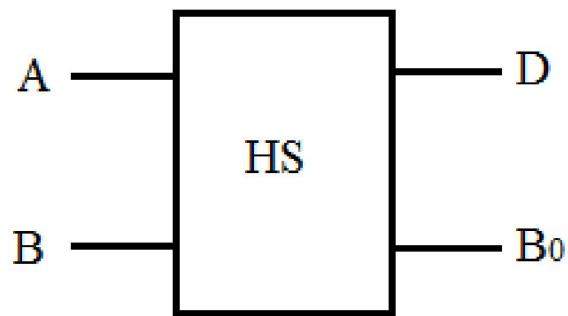


VIII. TRỪ NHỊ PHÂN

1 MẠCH TRỪ BÁN PHẦN

Trừ bán phần hai số nhị phân 1 bit

Sơ đồ khối



Bảng trạng thái

Ngõ vào		Ngõ ra	
A	B	D	B ₀
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Trong đó

A: số bị trừ

B: số trừ

D: Hiệu

B₀ : số mượn

Hàm ngõ ra

$$D = \overline{A}\overline{B} + A\overline{B} = A \oplus B$$

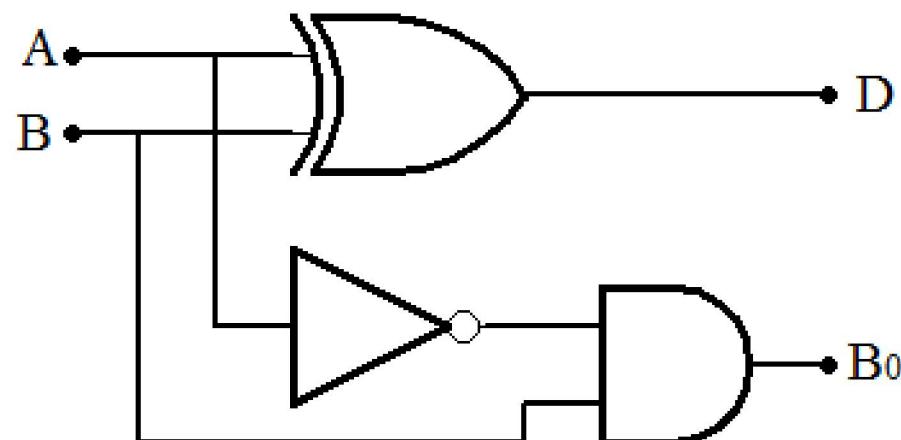
$$B_0 = \overline{AB}$$

VIII. TRỪ NHỊ PHÂN

1 MẠCH TRỪ BÁN PHẦN

Trừ bán phần hai số nhị phân 1 bit

Mạch điện như sau

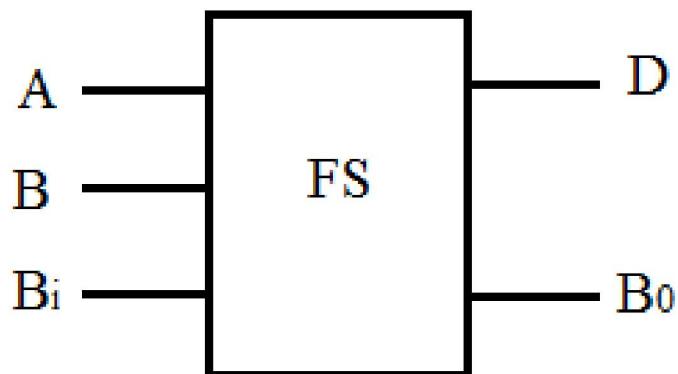


VIII. TRỪ NHỊ PHÂN

2 MẠCH TRỪ TOÀN PHẦN

Trừ toàn phần hai số nhị phân 1 bit

Sơ đồ khối



Trong đó

A: số bị trừ

B: số trừ

D: hiệu

B_0 : số mượn

B_i : số mượn của bit có trọng số thấp hơn (số trả)

VIII. TRỪ NHỊ PHÂN

6.2 MẠCH TRỪ TOÀN PHẦN

Trừ toàn phần hai số nhị phân 1 bit

Bảng trạng thái

Ngõ vào			Ngõ ra	
A	B	B_i	D	B_0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Hàm ngõ ra

$$\begin{aligned} D &= \overline{\overline{A}}\overline{B}B_i + \overline{A}\overline{B}\overline{B}_i + A\overline{\overline{B}}\overline{B}_i + A\overline{B}B_i \\ &= B_i(\overline{AB} + AB) + \overline{B}_i(\overline{AB} + A\overline{B}) \\ &= B_i(\overline{A} \oplus \overline{B}) + \overline{B}_i(A \oplus B) \\ &= A \oplus B \oplus B_i \end{aligned}$$

VIII. TRỪ NHỊ PHÂN

6.2 MẠCH TRỪ TOÀN PHẦN

Trừ toàn phần hai số nhị phân 1 bit

Bảng trạng thái

Ngõ vào			Ngõ ra	
A	B	B_i	D	B_0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Hàm ngõ ra

$$D = A \oplus B \oplus B_i$$

$B_i \setminus AB$	00	01	11	10
0	0	1	0	0
1	1	1	1	0

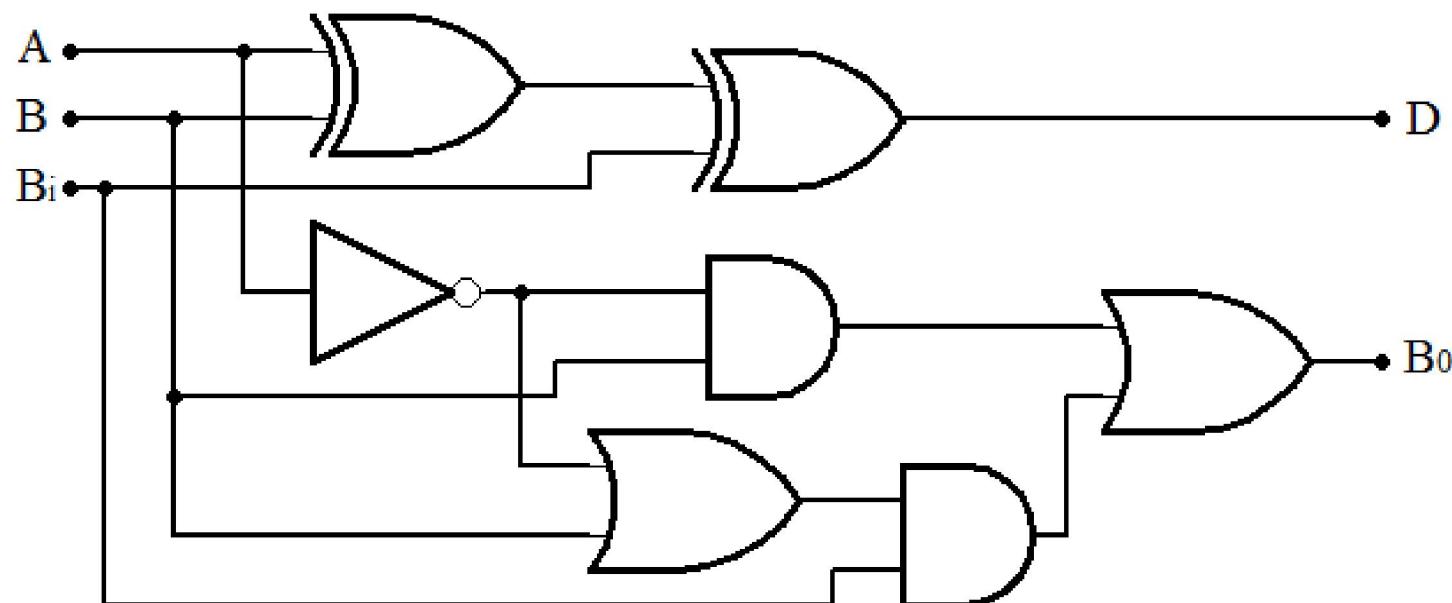
$$\begin{aligned}B_0 &= \overline{A}\overline{B} + BB_i + \overline{A}\overline{B}_i \\&= \overline{AB} + (\overline{A} + B)B_i\end{aligned}$$

VIII. TRỪ NHỊ PHÂN

2 MẠCH TRỪ TOÀN PHẦN

Trừ toàn phần hai số nhị phân 1 bit

Mạch điện như sau



VIII. TRỪ NHỊ PHÂN

MẠCH TRỪ NHIỀU BIT

