Министерство образования Республики Беларусь

Учреждение образования «Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных средств

Дисциплина: Основы проектирования электронных вычислительных средств

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовому проекту

на тему

ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

БГУИР КП 1-40 02 02 049 ПЗ

Студент: гр. 850702 Турко В.Д.

Руководитель: кандидат технических

наук, доцент Качинский М. В.

Минск 2020

**СОДЕРЖАНИЕ**

[ВВЕДЕНИЕ 6](#_gjdgxs)

[1](#_30j0zll) задание A.1.12,14 7

[1.1](#_1fob9te) Условие задачи 7

[1.2](#_3znysh7) Краткие теоретические сведения 7

[1.3](#_2et92p0) Синтез принципиальной схемы 7

[1.4](#_tyjcwt) Схемотехническое моделирование схемы 8

[2](#_3dy6vkm) задание A.2.5,101 11

[2.1](#_1t3h5sf) Условие задачи 11

[2.2](#_4d34og8) Краткие теоретические сведения 11

[2.3](#_2s8eyo1) Синтез принципиальной схемы 11

[2.4](#_26in1rg) Схемотехническое моделирование схемы 12

[3](#_lnxbz9) задание A.3.2,Д 14

[3.1](#_35nkun2) Условие задачи 14

[3.2](#_1ksv4uv) Краткие теоретические сведения 14

[3.3](#_44sinio) Синтез принципиальной схемы 14

[3.4](#_2jxsxqh) Схемотехническое моделирование схемы 15

[4](#_z337ya) задание а.4.5,И 16

[4.1](#_3j2qqm3) Условие задачи 16

[4.2](#_1y810tw) Краткие теоретические сведения 16

[4.3](#_4i7ojhp) Синтез принципиальной схемы 16

[4.4](#_2xcytpi) Схемотехническое моделирование схемы 18

[5](#_3whwml4) задание а.5.4,А 20

[5.1](#_2bn6wsx) Условие задачи 20

[5.2](#_qsh70q) Краткие теоретические сведения 20

[5.3](#_3as4poj) Синтез принципиальной схемы 20

[5.4](#_1pxezwc) Схемотехническое моделирование схемы 21

[6](#_49x2ik5) Параметры используемой элементной базы 22

[6.1](#_2p2csry) КР1553ЛН1 22

[6.2](#_147n2zr) КР1533ЛИ1 24

[6.3](#_3o7alnk) КР1553ЛЛ1 27

[6.4](#_23ckvvd) КР1533КП2 29

[6.5](#_ihv636) КР1533ТВ9 33

[6.6](#_32hioqz) КР1533ЛА3 37

[6.7](#_1hmsyys) КР1533ЛИ3 39

[6.8](#_41mghml) КР1533ТВ15 42

[6.9](#_2grqrue) КР1533ИП3 47

[заключение 54](#_vx1227)

[список использованных источников 55](#_3fwokq0)

[приложение а 56](#_1v1yuxt)

**ВВЕДЕНИЕ**

Цифровые устройства стали являются неотъемлемой частью современного мира и имеют широкое применение в различных областях жизни человека. Цифровое устройство позволяет обрабатывать информацию в цифровой форме, используя цифровые технологии. И благодаря развитию технологий, всё больше задач можно решить с помощью цифровых устройств. Наибольшее распространение получили цифровые устройства на микроэлектронной элементной базе, и сложность этих устройств постоянно растет.

Темой данного курсового проектирования является: Проектирование цифровых устройств на интегральных микросхемах. Актуальность этой темы заключается в необходимости построении устройств, позволяющих эффективно решить поставленную задачу.

Целью данной курсовой работы является изучение методов и средств для решения задач проектирования цифровых устройств. В соответствии с поставленной целью необходимо решить две основные задачи:

- синтез принципиальной схемы

- схемотехническое моделирование схемы.

В результате выполнения данного курсового проектирования были спроектированы такие схемы, как преобразователь кода, генераторов чисел,

4-разрядный регистр сдвига, преобразователь кода на арифметическо-логическом устройстве.

Все схемы, спроектированные в ходе выполнения данного курсового проектирования, были выполнены на элементах серии КР1533.

1. **задание A.1.12,14**
2. **Условие задачи**

Построить преобразователь кодов из кода «10 - А» в код 8421.

1. **Краткие теоретические сведения**

Код 8421, или двоично-десятичный код, отражает весовых множителей, приписываемых соответствующим битам в кодирующей группе. Удобства этого кода проявляются при машинном переводе из десятичной системы в двоичною и обратно ([1], с. 10).

Код с дополнение до 10 «10 – А», получается прибавлением к каждой цифре кода прямого замещения.

1. **Синтез принципиальной схемы**

Синтез данной схемы начинается с построения таблицы истинности двух кодов. Где X – код дополнение до 10, Y – 8421.

Таблица 1.1 – Таблица истинности для кодов

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| X3 | X2 | X1 | X0 | Y3 | Y2 | Y1 | Y0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | - | - | - | - |
| 1 | 0 | 1 | 1 | - | - | - | - |
| 1 | 1 | 0 | 0 | - | - | - | - |
| 1 | 1 | 0 | 1 | - | - | - | - |
| 1 | 1 | 1 | 0 | - | - | - | - |

Продолжение таблицы 1.1

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| X3 | X2 | X1 | X0 | Y3 | Y2 | Y1 | Y0 |
| 1 | 1 | 1 | 1 | - | - | - | - |

Нанесём функции на карты Карно (см. рисунок 1.1):

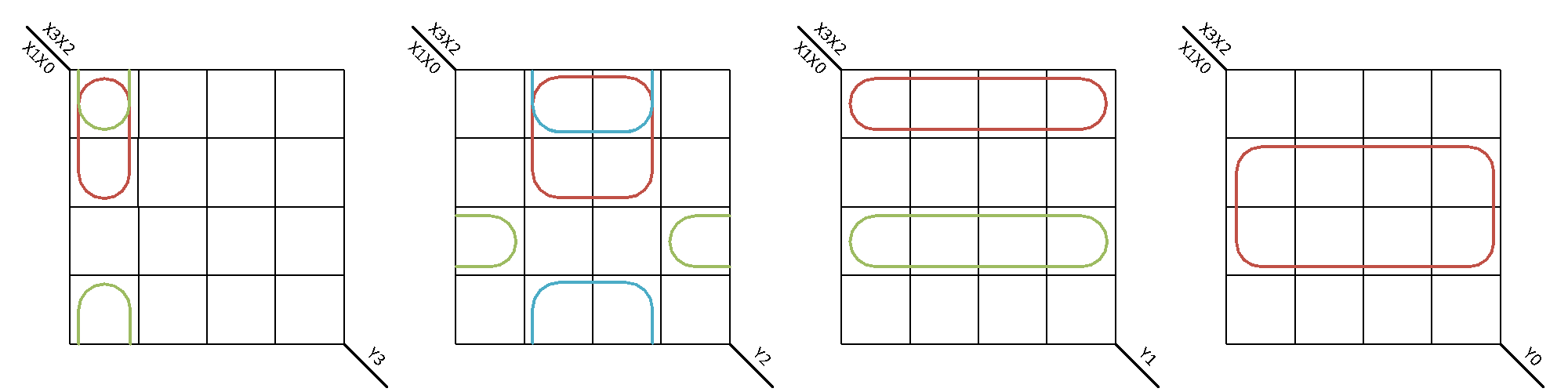


Рисунок 1.1 – Карты Карно для преобразования кода дополнение до 10 в код 8421

По картам Карно запишем логические выражения для выходных функций кода 8421:

|  |  |
| --- | --- |
|  | (2.1) |
|  |
|  |
|  |

После преобразований получим:

|  |  |
| --- | --- |
|  | (2.2) |
|  |
|  |
|  |

1. **Схемотехническое моделирование схемы**

Так как в Xilinx ISE отсутствует возможность подачи входной переменной непосредственно на выход, было необходимо добавить два последовательно соединенных инвертора. Для реализации схемы в Xilinx ISE были использованы элементы из группы Logic, а именно 8 инверторов INV, 4 элемента AND2 (2И) и 4 элемента OR2 (2ИЛИ). Результат построения схемы представлен на рисунке 1.2.

Устройство преобразователя кодов представлено в приложении А на электрической принципиальной схеме ГУИР.431324.001 Э3.

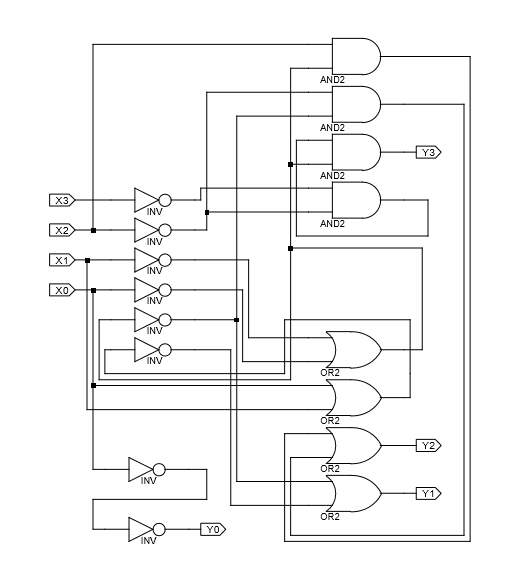


Рисунок 1.2 – Схема построенная в Xilinx ISE

Для симуляции работы схемы был использован тест для моделирования (четырёхразрядная таблица истинности), представленный в таблице 1.2. Результат моделирования представлен на рисунке 1.3.

Таблица 1.2 – Входные наборы для схемы

|  |  |  |  |
| --- | --- | --- | --- |
| Наборы 0000–0011 | Наборы 0100–0111 | Наборы 1000–1011 | Наборы 1100–1111 |
| x3 <= ‘0’;  x2 <= ‘0’;  x1 <= ‘0’;  x0 <= ‘0’;  wait for 50ns;  x3 <= ‘0’;  x2 <= ‘0’;  x1 <= ‘0’;  x0 <= ‘1’;  wait for 50ns;  x3 <= ‘0’;  x2 <= ‘0’;  x1 <= ‘1’;  x0 <= ‘0’;  wait for 50ns; | x3 <= ‘0’;  x2 <= ‘1’;  x1 <= ‘0’;  x0 <= ‘0’;  wait for 50ns;  x3 <= ‘0’;  x2 <= ‘1’;  x1 <= ‘0’;  x0 <= ‘1’;  wait for 50ns;  x3 <= ‘0’;  x2 <= ‘1’;  x1 <= ‘1’;  x0 <= ‘0’;  wait for 50ns; | x3 <= ‘1’;  x2 <= ‘0’;  x1 <= ‘0’;  x0 <= ‘0’;  wait for 50ns;  x3 <= ‘1’;  x2 <= ‘0’;  x1 <= ‘0’;  x0 <= ‘1’;  wait for 50ns;  x3 <= ‘1’;  x2 <= ‘0’;  x1 <= ‘1’;  x0 <= ‘1’;  wait for 50ns; | x3 <= ‘1’;  x2 <= ‘1’;  x1 <= ‘0’;  x0 <= ‘0’;  wait for 50ns;  x3 <= ‘1’;  x2 <= ‘1’;  x1 <= ‘0’;  x0 <= ‘1’;  wait for 50ns;  x3 <= ‘1’;  x2 <= ‘1’;  x1 <= ‘1’;  x0 <= ‘0’;  wait for 50ns; |

Продолжение таблицы 1.2

|  |  |  |  |
| --- | --- | --- | --- |
| Наборы 0000–0011 | Наборы 0100–0111 | Наборы 1000–1011 | Наборы 1100–1111 |
| x3 <= ‘0’;  x2 <= ‘0’;  x1 <= ‘1’;  x0 <= ‘1’;  wait for 50ns; | x3 <= ‘0’;  x2 <= ‘1’;  x1 <= ‘1’;  x0 <= ‘1’;  wait for 50ns; | x3 <= ‘1’;  x2 <= ‘0’;  x1 <= ‘1’;  x0 <= ‘1’;  wait for 50ns; | x3 <= ‘1’;  x2 <= ‘1’;  x1 <= ‘1’;  x0 <= ‘1’;  wait; |

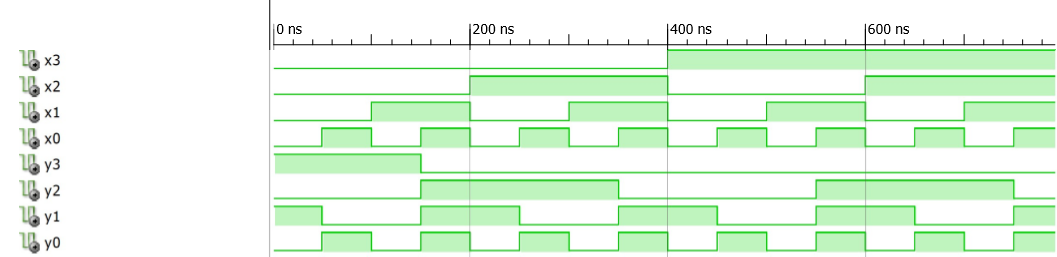


Рисунок 1.3 – Симуляция схемы в ISim

1. **задание A.2.5,101**
2. **Условие задачи**

Построить на одной ИМС SN74ALS153 (КР1533КП2) комбинационный узел, реализующий заданную логическую функцию трех переменных.

1. **Краткие теоретические сведения**

Микросхема SN74ALS153 (КР1533КП2) представляет собой сдвоенный селектор-мультиплексор «1 из 4» с общими адресными входами и раздельными входами стробирования ([2], с. 192).

1. **Синтез принципиальной схемы**

Синтез данной схемы начинается с построения таблицы истинности (таблица 2.1) двух кодов. Где X – входные переменные, F – логическая функция.

Таблица 2.1 – Таблица истинности для кодов

|  |  |  |  |
| --- | --- | --- | --- |
| X3 | X2 | X1 | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

Нанесём функцию на карту Карно (см. рисунок 2.1):

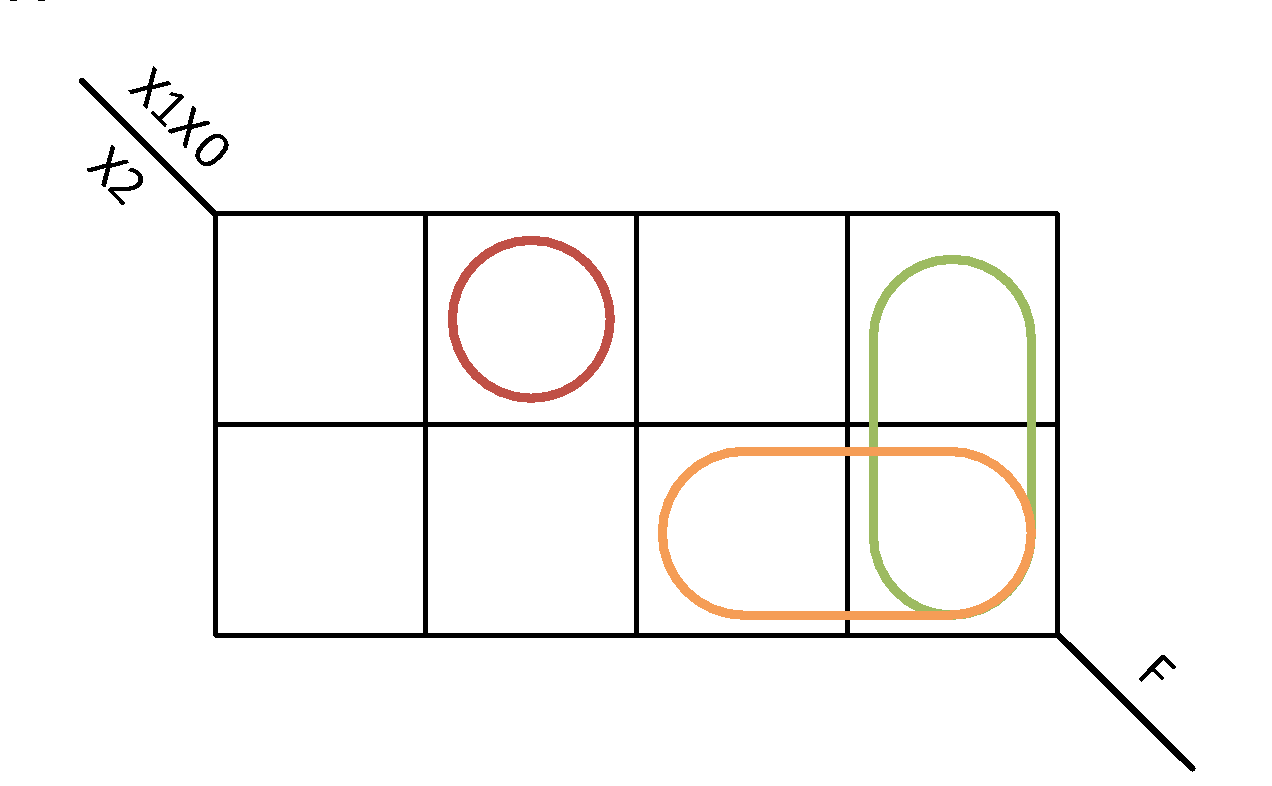


Рисунок 2.1 – Карта Карно для выходной функции

По картам Карно запишем логическое выражение для выходной функции:

|  |  |
| --- | --- |
|  | (2.1) |

В выражении выходной функции все переменные встречаются в инверсном виде, поэтому к адресным входам мультиплексора можно подключить любые две переменные.

Подадим на вход SED2 переменную , а на вход SED1 – . Сравнив значение переменной со значением функции , определим, что необходимо подать на входы данных мультиплексора-селектора (таблица 2.2).

Таблица 2.2 – Таблица истинности логической функции F

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X2 | X1 | X0 | F | D |
| 0 | 0 | 0 | 0 |  |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |  |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |  |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |  |
| 1 | 1 | 1 | 1 |

Из таблицы 2.2. видно, что на вход данных мультиплексора необходимо подать переменную через инвертор. В качестве инвертора можно использовать второй мультиплексор-селектор.

1. **Схемотехническое моделирование схемы**

Так как микросхема КР1533КП2 имеет вход стробирования с инверсией, на вход стробирования первого мультиплексора необходимо подать «логическую 1» вместо «логического 0», а переменную X0 на вход стробирования второго мультиплексора через инвертор. Для построения схемы в Xilinx ISE были использованы два мультиплексора M4\_1E из категории Mux и один инвертор INV из категории Logic. Результат построения схемы представлен на рисунке 2.2.

Устройство данного комбинационного узла представлено в приложении А на электрической принципиальной схеме ГУИР.431243.002 Э3.

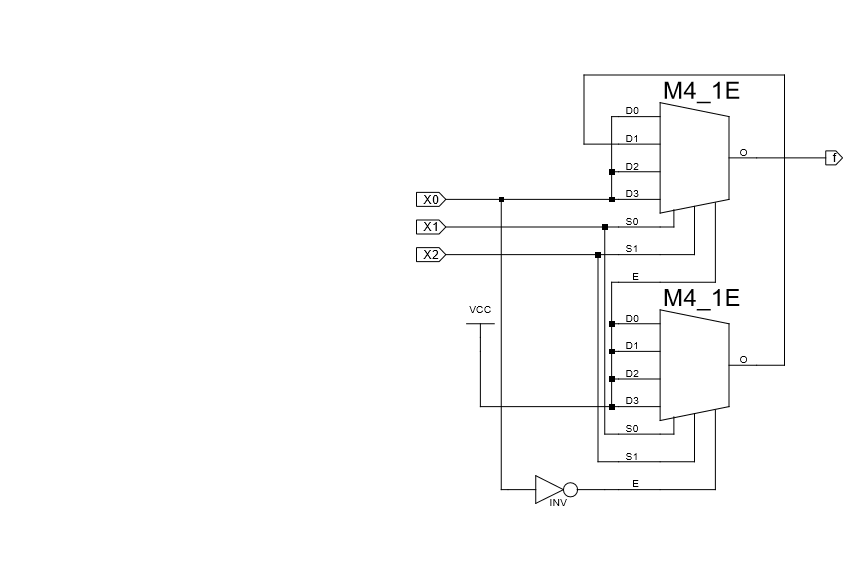


Рисунок 2.2 – Схема построенная в Xilinx ISE

Для моделирования работы схемы был использован тест для моделирования (трёхразрядная таблица истинности), представленный в таблице 2.3. Результат моделирования представлен на рисунке 2.3.

Таблица 2.3 – Входные наборы для схемы

|  |  |  |  |
| --- | --- | --- | --- |
| Наборы 000–001 | Наборы 010–011 | Наборы 100–101 | Наборы 110–111 |
| x2 <= ‘0’;  x1 <= ‘0’;  x0 <= ‘0’;  wait for 50ns;  x2 <= ‘0’;  x1 <= ‘0’;  x0 <= ‘1’;  wait for 50ns; | x2 <= ‘0’;  x1 <= ‘1’;  x0 <= ‘0’;  wait for 50ns;  x2 <= ‘0’;  x1 <= ‘1’;  x0 <= ‘1’;  wait for 50ns; | x2 <= ‘1’;  x1 <= ‘0’;  x0 <= ‘0’;  wait for 50ns;  x2 <= ‘1’;  x1 <= ‘0’;  x0 <= ‘1’;  wait for 50ns; | x2 <= ‘1’;  x1 <= ‘1’;  x0 <= ‘0’;  wait for 50ns;  x2 <= ‘1’;  x1 <= ‘1’;  x0 <= ‘1’;  wait; |

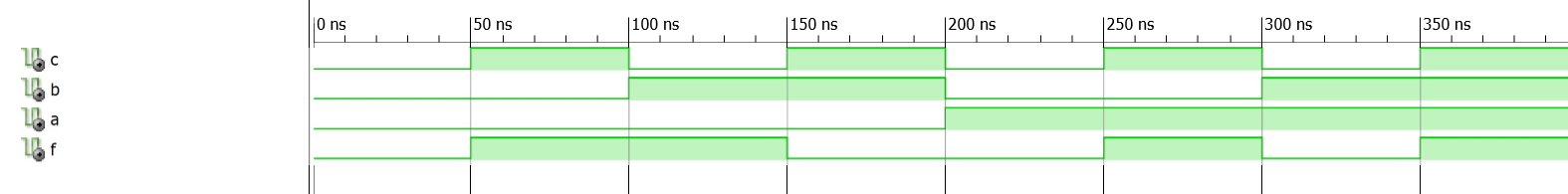


Рисунок 2.3 – Симуляция схемы в ISim

1. **задание A.3.2,Д**
2. **Условие задачи**

На базе двух JK-триггеров одной ИМС SN74ALS112 (KP1533TB9) и логических схем той же серии построить генератор чисел 1 – 13 – 6 – 4.

1. **Краткие теоретические сведения**

Для построения генератора заданных чисел необходима последовательностная схема на 4 состояния, которую можно реализовать с помощью двух JK-триггеров. К выходам схема подключается выходная логика, имеющая четыре выхода, так как для кодирования числа 13 необходимо 4 двоичных разряда.

1. **Синтез принципиальной схемы**

Синтез данной схемы начинается с построения таблицы истинности двух кодов. Где Q – значения на выходах JK-триггеров, Y – выходные переменные.

Таблица 3.1 – Таблица истинности выходной логики генератора

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Q2 | Q1 | Y3 | Y2 | Y1 | Y0 |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |

По таблице 3.1 определим выходы Y:

|  |  |
| --- | --- |
|  | (2.1) |
|  |
|  |
|  |

Из выражений (2.1) видно, что выходная логика генератора может быть реализована на двух ИМС SN74ALS00 (KP1533ЛА3).

1. **Схемотехническое моделирование схемы**

JK-триггеры, входящие в состав микросхемы КР1533ТВ9, имеют выходы с и без инверсии. Для построения схемы в Xilinx ISE были выбраны два JK-триггера FJKC из категории Flip\_Flop, 2 инвертора INV и 6 элементов NAND2 (2И-НЕ) из категории Logic. Так как выбранный JK-триггер имеет только один выход (без инверсии), то было необходимо добавить два инвертора, по одному для каждого триггера. Результат построения схемы представлен на рисунке 3.2.

Устройство генератор сдвига на базе двух JK-триггеров представлен в приложении А, на электрической принципиальной схеме ГУИР.431232.003 Э3.

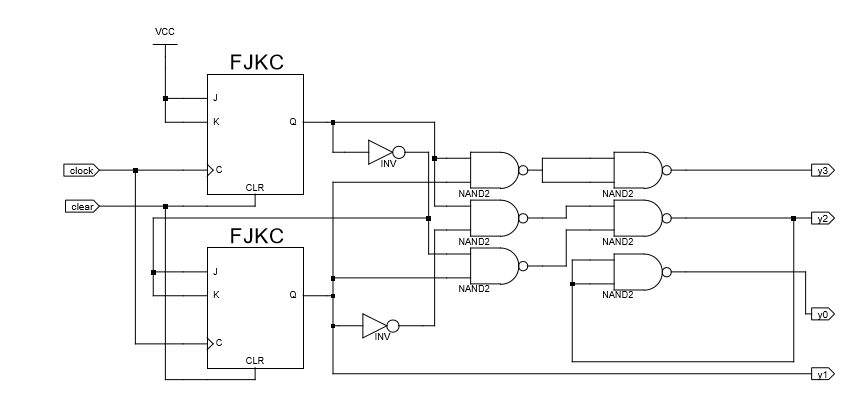


Рисунок 3.2 – Схема построенная в Xilinx ISE

Для моделирования работы схемы в качестве теста для моделирования был использован синхросигнал, изменения которого генерировали сигнал. Перед началом работы с помощью входов CLR обоих триггеров счётчик был вставлен в значение «0». Результат моделирования схемы представлен на рисунке 3.3.

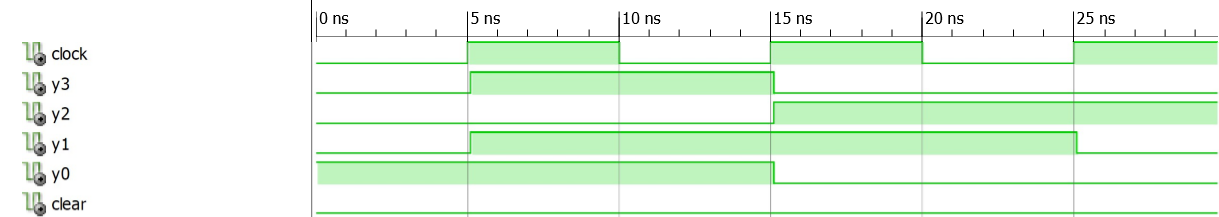


Рисунок 3.3 – Симуляция схемы в ISim

1. **задание а.4.5,И**
2. **Условие задачи**

На элементах серии SN74ALS (KP1533) построить 4-разрядный регистр сдвига, имеющий следующую последовательность состояний 0 – 1 – 3 – 7 – 15 – 14 – 13 – 11 – 6 – 12 – 8 – 0.

1. **Краткие теоретические сведения**

Сдвиговый регистр представляет собой схему, состоящую из связанных между собой однобитовых элементов памяти, расположенных на едином корпусе интегральной схемы. Элементами памяти являются триггеры, соединённые друг с другом таким образом, что выход одного служит входом другого ([3], c. 120).

1. **Синтез принципиальной схемы**

Синтез данной схемы начинается с построения диаграмм состояний счётчика (см. рисунок 4.1 и 4.2) и составления таблиц для используемых (таблица 4.1) и неиспользуемых (таблица 4.2) состояний

Таблица 4.1 – Таблица состояний

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ДЦ\* | Q3 | Q2 | Q1 | Q0 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 |
| 15 | 1 | 1 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 |
| 13 | 1 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 |
| Примечание: \* – десятичная цифра | | | | |

Таблица 4.2 – Таблица поведения счетчика после перехода в неиспользуемое состояние

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ДЦ\* | Q3 | Q2 | Q1 | Q0 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 |
| 15 | 1 | 1 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 |
| 13 | 1 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 |
| Примечание: \* – десятичная цифра | | | | |

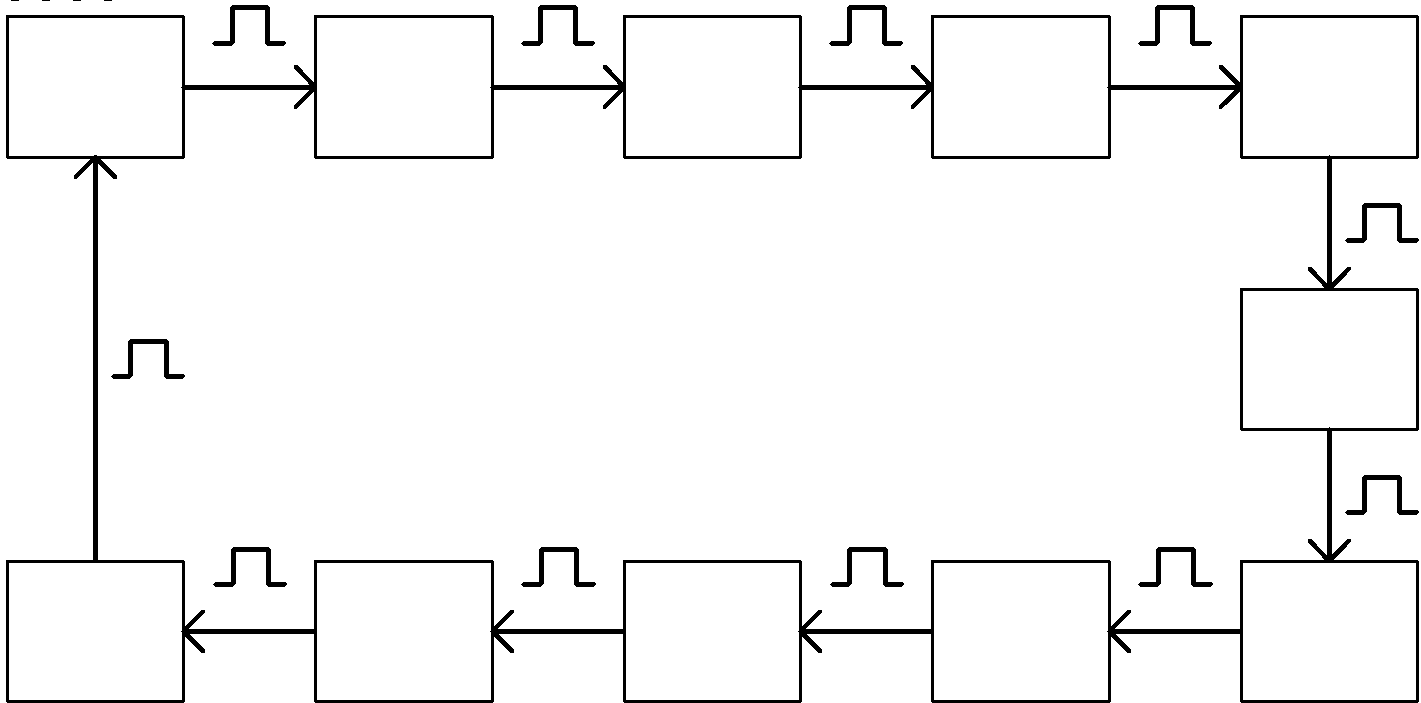


Рисунок 4.1 – Диаграмма состояний

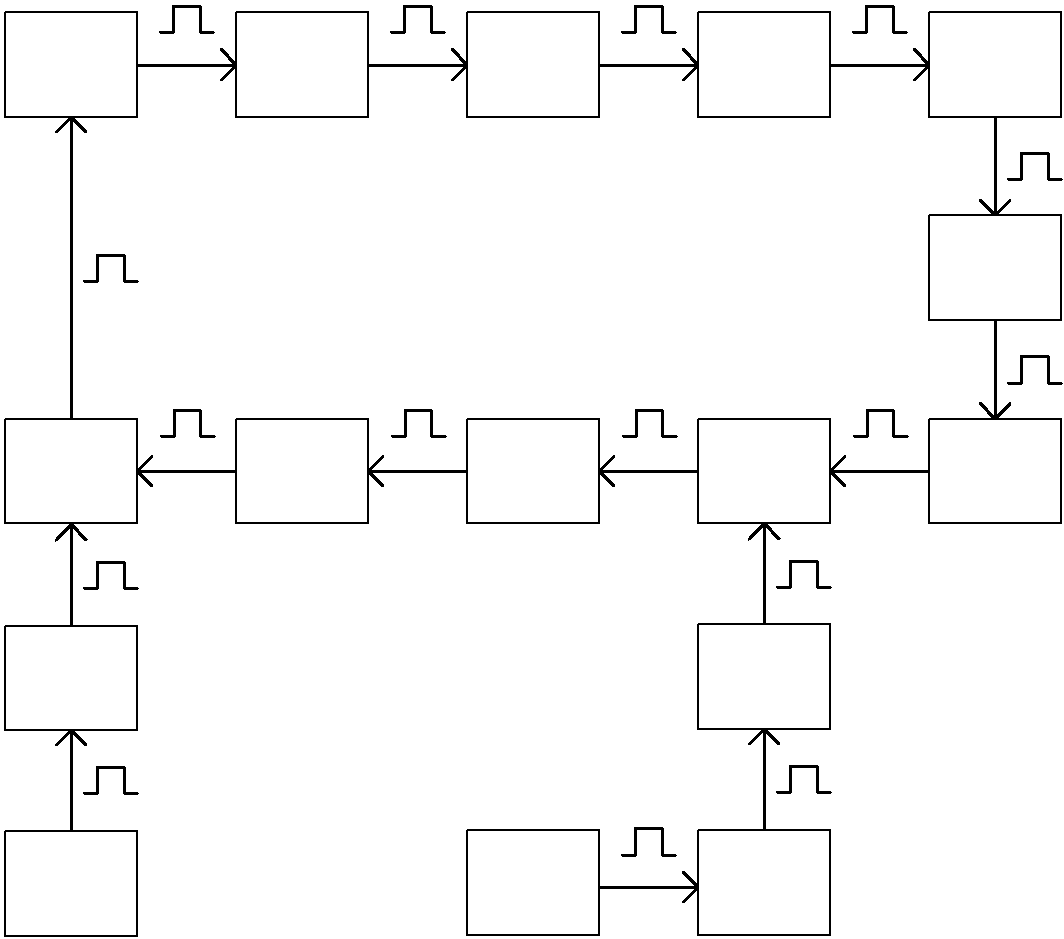


Рисунок 4.2 – Полная диаграмма состояний

Нанесём функцию обратной связи и неиспользуемые состояния на карту Карно (см. рисунок 4.3). В ячейках карты эти значения обозначены соответственно «1» и «d».

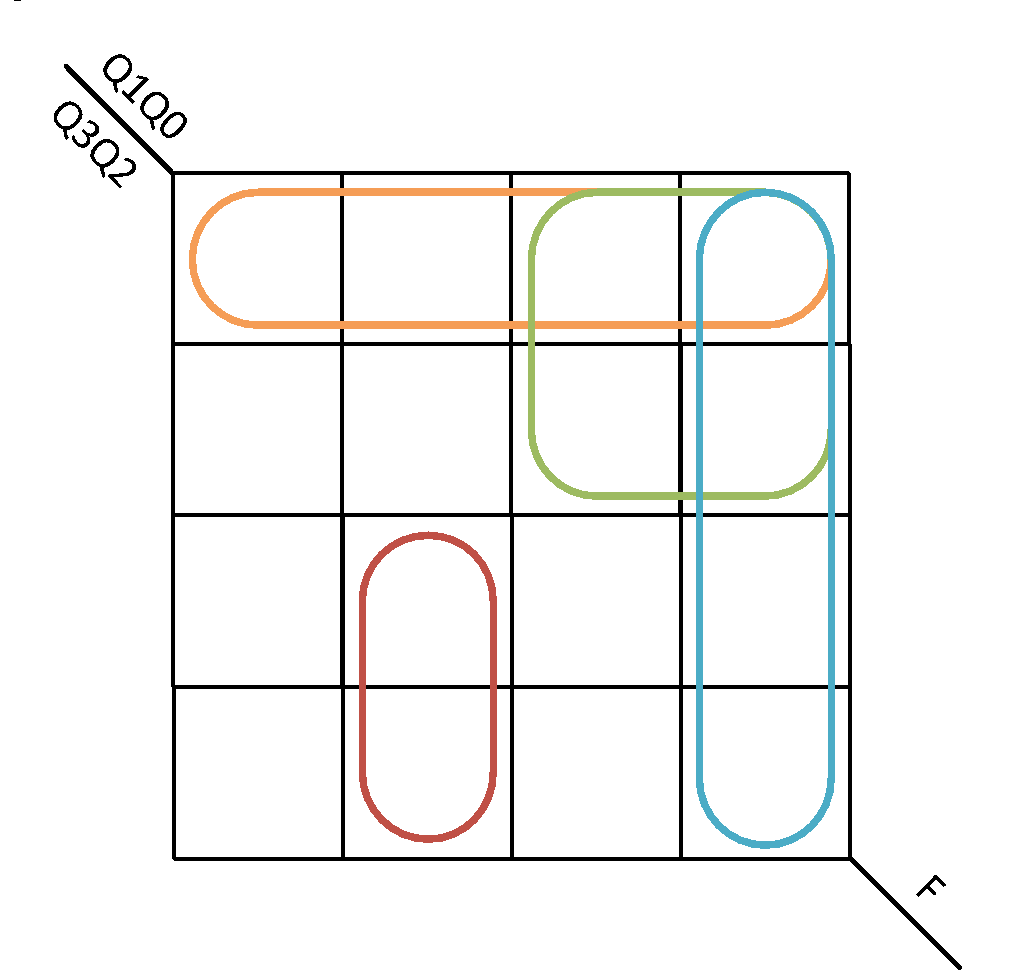


Рисунок 4.3 – Карты Карно для функции обратной связи

По карте Карно запишем логическое выражение для функции обратной связи:

|  |  |
| --- | --- |
|  | (4.1) |

1. **Схемотехническое моделирование схемы**

Для построения схемы было решено использовать следующие микросхемы: КР1533ЛЛ1, КР1533ЛИ3 и КР1533ТВ15. Микросхема КР1533ТВ15 представляет собой два независимых JK-триггера, каждый из которых имеет с инверсией информационный вход К и один из двух выходов. Поэтому для построения схемы в Xilinx ISE необходимо было добавить соответствующие инверторы, а именно 5 элементов INV из категории Logic. Также для построения схемы были использованы 2 элемента AND2 (2И), AND3 (3И) и 3 элемента OR2 (2ИЛИ). Результат построения схемы представлен на рисунке 2.2.

Устройство 4-разрядного регистра сдвига представлен в приложении А, на электрической принципиальной схеме ГУИР.431233.004 Э3.

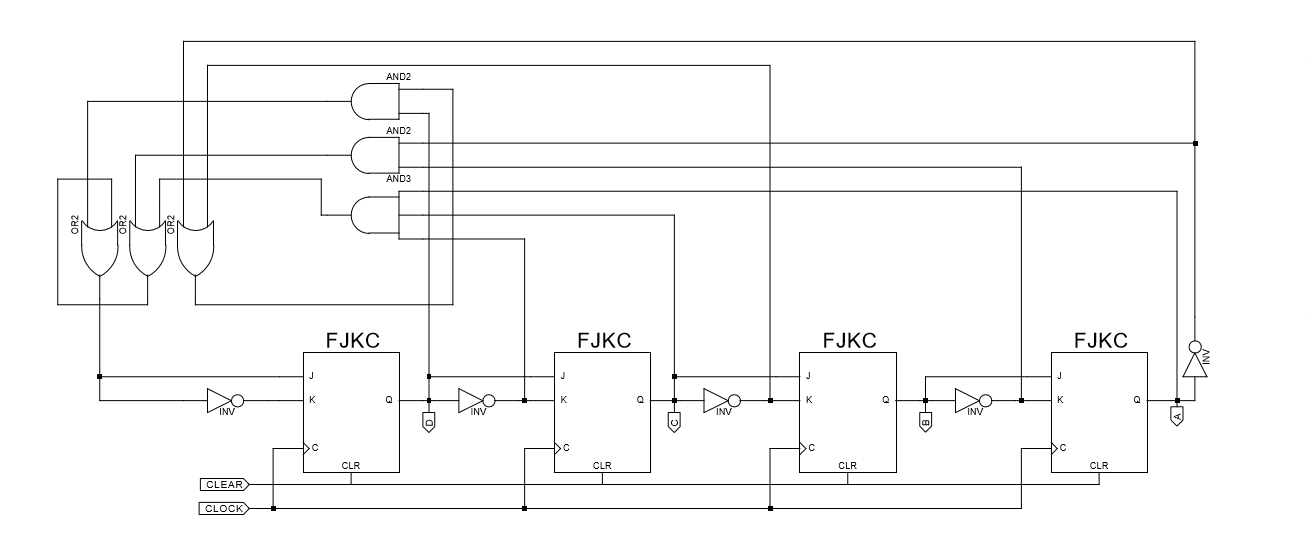


Рисунок 4.2 – Схема построенная в Xilinx ISE

Для моделирования работы схемы в качестве теста для моделирования был использован синхросигнал, изменения которого генерировали сигнал. Результат моделирования схемы представлен на рисунке 4.3.

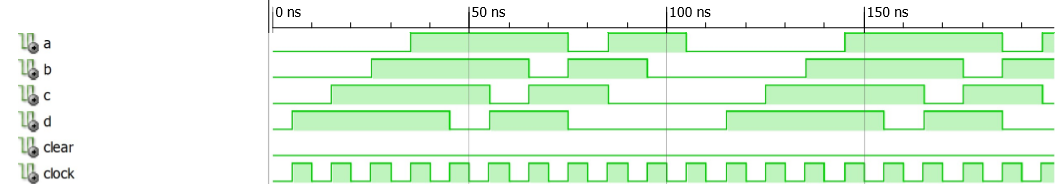


Рисунок 4.3 – Симуляция схемы в ISim

1. **задание а.5.4,А**
2. **Условие задачи**

На ИМС АЛУ SN74ALS181 (КР1533ИП3), построить преобразователь прямого кода в обратный.

1. **Краткие теоретические сведения**

В системе представления чисел в прямом коде со знаком число состоит из величины и символа, указывающего на то, какой является эта величина: положительной или отрицательной. Для представления двоичного числа в данной системе необходимо добавить еще один двоичный разряд, который называют знаковым битом.

Обратным кодом в случае двоичных чисел называют поразрядное дополнение, которое для n-разрядного числа вычисляется путем вычитания. В обратном коде старший бит является знаковым ([4], c. 60-63).

1. **Синтез принципиальной схемы**

Синтез преобразователя прямого кода в обратный начинается с изучения элемента ИМС АЛУ SN74ALS181 (КР1533ИП3).

При подаче на M0 и значения «логическая 1» выполняется операция , т. е. на выходах Fi получаем обратный код.

Преобразователь прямого кода в обратный на основе АЛУ КР1533ИП3 представлен в приложении А, на электрической принципиальной схеме ГУИР.431235.005 Э3.

1. **Схемотехническое моделирование схемы**

Для реализации принципиальной схемы в Xilinx ISE был использован элемент ADSU4 из категории Arithmetic. Результат построения схемы представлен на рисунке 5.1. Устройство преобразователя кодов представлено в приложении А на электрической принципиальной схеме   
ГУИР.431235.005 Э3.

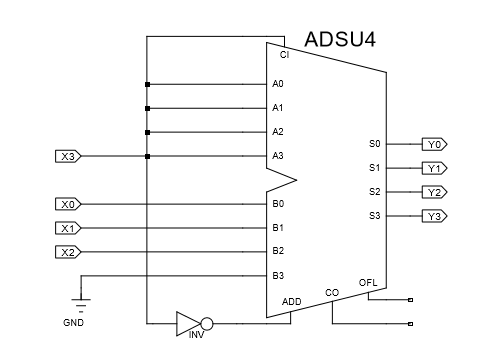


Рисунок 5.1 – Схема построенная в Xilinx ISE

Для симуляции работы схемы был использован тест для моделирования (четырёхразрядная таблица истинности), представленный в таблице 1.2. Результат моделирования представлен на рисунке 5.2.

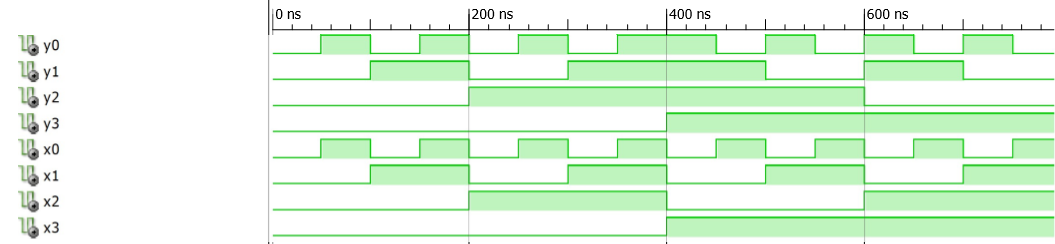


Рисунок 5.2 – Симуляция схемы в ISim

1. **Параметры используемой элементной базы**
2. **КР1553ЛН1**

Микросхема содержит шесть идентичных логических элементов со стандартными активными выходами, выполняющих Булеву функцию ([2], с. 272).

Расположение выводов показано на рисунке 6.1.1а, условно-графическое обозначение микросхемы показано на рисунке 6.1.1б. Назначения выводов представлены в таблице 6.1.1, таблица истинности представлена в таблице 6.1.2, статические и динамические параметры – в таблицах 6.1.3 и 6.1.4 соответственно.

|  |  |
| --- | --- |
|  |  |
| а) | б) |

Рисунок 6.1.1 – Микросхема КР1553ЛН1

Таблица 6.1.1 – Таблица назначений выводов

|  |  |  |
| --- | --- | --- |
| 01 | 1D | Вход |
| 02 | 1Y | Выход |
| 03 | 2D | Вход |
| 04 | 2Y | Выход |
| 05 | 3D | Вход |
| 06 | 3Y | Выход |
| 07 | 0V | Общий вывод |
| 08 | 4Y | Выход |
| 09 | 4D | Вход |
| 10 | 5Y | Выход |
| 11 | 5D | Вход |

Продолжение таблицы 6.1.1

|  |  |  |
| --- | --- | --- |
| 12 | 6Y | Выход |
| 13 | 6D | Вход |
| 14 | UCC | Напряжение питания |

Таблица 6.1.2 – Таблица истинности

|  |  |
| --- | --- |
| 0 | Y |
| H | L |
| L | H |

Таблица 6.1.3 – Таблица статических параметров КР1533ЛН1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| UOH | Выходное напряжение высокого уровня | 2,5 |  | В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  IDH = – 0,4мА IDL = – 0,4мА |
| UDL | Выходное напряжение низкого уровня |  | 0,4  0,5 | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0L = 4мА  I0L = 8мА |
| IIH | Входной ток высокого уровня |  | 20 | мкА | UCC = 5,5B  UIH = 2,7B |
| IIL | Входной ток низкого уровня |  | | – 0,1| | мА | UCC = 5,5B  UIL = 0,4B |
| IOH | Выходной ток | | – 15| | | – 70| | мА | UCC = 5,5B  U0 = 5,5мА |
| UCDI | Прямое падение напряжения на антизвонном диоде |  | | – 1,5| | В | UCC = 4,5B  II = – 18мА |
| ICCH | Ток потребления при высоком уровне выходного напряжения |  | 1,1 | мА | UCC = 5,5B |

Продолжение таблицы 6.1.3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ICCL | Ток потребления при низком уровне выходного напряжения |  | 4,2 | мА | UCC = 5,5B |

Таблица 6.1.4 – Таблица динамических параметров КР1533ЛН1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| tPLH | Время задержки распространения сигнала при выключении |  | 11 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |
| tPHL | Время задержки распространения сигнала при включении |  | 8 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |

1. **КР1533ЛИ1**

Микросхема содержит четыре идентичных логических элемента со стандартными активными выходами, выполняющих Булевы функции или в положительной логике ([2], с. 254).

Расположение выводов показано на рисунке 6.2.1а, условно-графическое обозначение микросхемы показано на рисунке 6.2.1б. Назначения выводов представлены в таблице 6.2.1, таблица истинности представлена в таблице 6.2.2, статические и динамические параметры – в таблицах 6.2.3 и 6.2.4 соответственно.

|  |  |
| --- | --- |
|  |  |
| а) | б) |

Рисунок 6.2.1 – Микросхема КР1553ЛИ1

Таблица 6.2.1 – Таблица назначений выводов

|  |  |  |
| --- | --- | --- |
| 01 | 1D1 | Вход информационный |
| 02 | 1D2 | Выход информационный |
| 03 | 1Y | Вход |
| 04 | 2D1 | Выход информационный |
| 05 | 2D2 | Вход информационный |
| 06 | 2Y | Выход |
| 07 | 0V | Общий вывод |
| 08 | 3Y | Выход |
| 09 | 3D2 | Вход информационный |
| 10 | 3D1 | Выход информационный |
| 11 | 4Y | Вход |
| 12 | 4D2 | Выход информационный |
| 13 | 4D1 | Вход информационный |
| 14 | UCC | Напряжение питания |

Таблица 6.2.2 – Таблица истинности

|  |  |  |
| --- | --- | --- |
| D1 | D2 | Y |
| H | H | H |
| L | H | L |
| H | L | L |
| L | L | L |

Таблица 6.2.3 – Таблица статических параметров КР1533ЛИ1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| U0H | Выходное напряжение высокого уровня | 2,5 |  | В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  IDH = – 0,4мА IDL = – 0,4мА |
| U0L | Выходное напряжение низкого уровня |  | 0,4  0,5 | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0L = 4мА  I0L = 8мА |
| IIH | Входной ток высокого уровня |  | 20 | мкА | UCC = 5,5B  UIH = 2,7B |
| IIL | Входной ток низкого уровня |  | | – 0,1| | мА | UCC = 5,5B  UIL = 0,4B |
| I0H | Выходной ток | | – 15| | | – 112| | мА | UCC = 5,5B  U0 = 2,25мА |
| UCDI | Прямое падение напряжения на антизвонном диоде |  | | – 1,5| | В | UCC = 4,5B  II = – 18мА |
| ICCH | Ток потребления при высоком уровне выходного напряжения |  | 2,4 | мА | UCC = 5,5B |
| ICCL | Ток потребления при низком уровне выходного напряжения |  | 4,0 | мА | UCC = 5,5B |

Таблица 6.2.4 – Таблица динамических параметров КР1533ЛИ1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| tPLH | Время задержки распространения сигнала при выключении |  | 14 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |
| tPHL | Время задержки распространения сигнала при включении |  | 10 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |

1. **КР1553ЛЛ1**

Микросхема содержит четыре идентичных логических элемента со стандартными активными выходами, выполняющих Булевы функции или в положительной логике ([2], с. 268).

Расположение выводов показано на рисунке 6.3.1а, условно-графическое обозначение микросхемы показано на рисунке 6.3.1б. Назначения выводов представлены в таблице 6.3.1, таблица истинности представлена в таблице 6.3.2, статические и динамические параметры – в таблицах 6.3.3 и 6.3.4 соответственно.

|  |  |
| --- | --- |
|  |  |
| а) | б) |

Рисунок 6.3.1 – Микросхема КР1553ЛЛ1

Таблица 6.3.1 – Таблица назначений выводов

|  |  |  |
| --- | --- | --- |
| 01 | 1D1 | Вход |
| 02 | 1D2 | Вход |
| 03 | Y1 | Выход |
| 04 | 2D1 | Вход |
| 05 | 2D2 | Вход |
| 06 | Y2 | Выход |
| 07 | 0V | Общий вывод |
| 08 | Y3 | Выход |
| 09 | 3D1 | Вход |
| 10 | 3D2 | Вход |
| 11 | Y4 | Выход |
| 12 | 4D1 | Вход |
| 13 | 4D2 | Вход |
| 14 | UCC | Напряжение питания |

Таблица 6.3.2 – Таблица истинности

|  |  |  |
| --- | --- | --- |
| D1 | D2 | Y |
| L | L | L |
| X | H | H |
| H | X | H |

Таблица 6.3.3 – Таблица статических параметров КР1533ЛЛ1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| U0H | Выходное напряжение высокого уровня | UCC-2 |  | В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  IDH = – 0,4мА IDL = – 0,4мА |
| U0L | Выходное напряжение низкого уровня |  | 0,4  0,5 | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0L = 4мА  I0L = 8мА |

Продолжение таблицы 6.3.3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| IIH | Входной ток высокого уровня |  | 20 | мкА | UCC = 5,5B  UIH = 2,7B |
| IIL | Входной ток низкого уровня |  | | – 0,1| | мА | UCC = 5,5B  UIL = 0,4B |
| I0H | Выходной ток | | – 15| | | – 112| | мА | UCC = 5,5B  U0 = 2,25мА |
| UCDI | Прямое падение напряжения на антизвонном диоде |  | | – 1,5| | В | UCC = 4,5B  II = – 18мА |
| ICCH | Ток потребления при высоком уровне выходного напряжения |  | 2,4 | мА | UCC = 5,5B |
| ICCL | Ток потребления при низком уровне выходного напряжения |  | 4,0 | мА | UCC = 5,5B |

Таблица 6.3.4 – Таблица динамических параметров КР1533ЛЛ1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| tPLH | Время задержки распространения сигнала при выключении |  | 14 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |
| tPHL | Время задержки распространения сигнала при включении |  | 12 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |

1. **КР1533КП2**

Микросхема представляет собой сдвоенный селектор-мультиплексор 1 из 4 с общими входами выбора данных и раздельными входами стробирования. При высоком уровне напряжения на входе стробирования С соответствующий выход Y устанавливается с состояние низкого уровня напряжения, в ином случае на выход проходит информация от выбранного входами SED1, SED2 информационного входа D0-D3 ([2], с. 192).

Расположение выводов данной микросхемы показано на рисунке 6.4.1а, условно-графическое обозначение микросхемы показано на рисунке 6.4.1б, функциональная схема – на рисунке 6.4.1.в. Назначения выводов представлены в таблице 6.4.1, таблица истинности представлена в таблице 6.4.2, статические и динамические параметры – в таблицах 6.4.3 и 6.4.4 соответственно.

|  |  |
| --- | --- |
|  |  |
| а) | б) |
|  | |
| в) | |

Рисунок 6.4.1 – Микросхема КР1553КП2

Таблица 6.4.1 – Таблица назначений выводов

|  |  |  |
| --- | --- | --- |
| 01 |  | Вход стробирования |
| 02 | SED2 | Вход «Выбор данных» |
| 03 | 1D3 | Вход информационный |
| 04 | 1D2 | Вход информационный |
| 05 | 1D1 | Вход информационный |
| 06 | 1D0 | Вход информационный |
| 07 | 1Y | Выход |
| 08 | 0V | Общий вывод |
| 09 | 2Y | Выход |
| 10 | 2D0 | Вход информационный |
| 11 | 2D1 | Вход информационный |
| 12 | 2D2 | Вход информационный |
| 13 | 2D3 | Вход информационный |
| 14 | SED1 | Напряжение питания |
| 15 |  | Вход стробирования |
| 16 | UCC | Вывод питания от источника напряжения |

Таблица 6.4.2 – Таблица истинности

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | | | Выход |
| SED1 | SED2 | D0 | D1 | D2 | D3 |  | Y |
| X | X | X | X | X | X | H | L |
| L | L | L | X | X | X | L | L |
| L | L | H | X | X | X | L | H |
| H | L | X | L | X | X | L | L |
| H | L | X | H | X | X | L | H |
| L | H | X | X | L | X | L | L |
| L | H | X | X | H | X | L | H |
| H | H | X | X | X | L | L | L |
| H | H | X | X | X | H | L | H |

Таблица 6.4.3 – Таблица статических параметров КР1533ЛЛ1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| U0H | Выходное напряжение высокого уровня | 2,5  2,4 |  | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0H = – 0,4мА  I0H = – 0,4мА  I0L = – 2,6мА |
| U0L | Выходное напряжение низкого уровня |  | 0,4  0,5 | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0L = 12мА  I0L = 24мА |
| IIH | Входной ток высокого уровня |  | 20 | мкА | UCC = 5,5B  UIH = 2,7B |
| IIL | Входной ток низкого уровня |  | | – 0,1| | мА | UCC = 5,5B  UIL = 0,4B |
| IOH | Выходной ток | | – 15| | | – 112| | мА | UCC = 5,5B  U0 = 2,25мА |
| UCDI | Прямое падение напряжения на антизвонном диоде |  | | – 1,5| | В | UCC = 4,5B  II = – 18мА |
| ICC | Ток потребления |  | 14 | мА | UCC = 5,5B |

Таблица 6.4.4 – Таблица динамических параметров КР1533ЛЛ1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| tPLH | Время задержки распространения сигнала при выключении  – по выводам 03 – 06,  10 – 13  – по выводам 02, 14  – по выводам 01, 15 |  | 10  21  18 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |
| tPHL | Время задержки распространения сигнала при включении  – по выводам 03 – 06,  10 – 13  – по выводам 02, 14  – по выводам 01, 15 |  | 15  21  18 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |

1. **КР1533ТВ9**

Микросхема представляет собой два JK-триггера, срабатывающих по отрицательному фронту тактового сигнала, со входами сброса и предустановки. Низкий уровень напряжения на входах установки или сброса устанавливает выходы триггера в соответствующее состояние вне зависимости от состояния на других входах (C, J и K). При наличии на входах установки и сброса напряжения высокого уровня для правильной работы триггера требуется предварительная установка информации по входам J и K относительно отрицательного фронта тактового сигнала, а также соответствующая выдержка информации после подачи отрицательного фронта синхросигнала С. При подаче на входы J и K напряжения высокого уровня триггер будет работать в качестве счетного ([2], с. 308).

Расположение выводов данной микросхемы показано на рисунке 6.5.1а, условно-графическое обозначение микросхемы показано на рисунке 6.5.1б, функциональная схема представлена на рисунке 6.5.1.в. Назначения выводов представлены в таблице 6.5.1, таблица истинности – в таблице 6.5.2, статические и динамические параметры – в таблицах 6.5.3 и 6.5.4 соответственно.

|  |  |
| --- | --- |
|  |  |
| а) | б) |
|  | |
| в) | |

Рисунок 6.5.1 – Микросхема КР1533ТВ9

Таблица 6.5.1 – Таблица назначений выводов

|  |  |  |
| --- | --- | --- |
| 01 | C1 | Вход тактовый |
| 02 | K1 | Вход разрешения установки универсального JK-триггера в состояние «логический 0» |
| 03 | J1 | Вход разрешения установки универсального JK-триггера в состояние «логическая 1» |

Продолжение таблицы 6.5.1

|  |  |  |
| --- | --- | --- |
| 04 |  | Вход установки состояние «логическая 1» |
| 05 | Q1 | Выход |
| 06 |  | Выход |
| 07 |  | Выход |
| 08 | 0V | Общий вывод |
| 09 | Q2 | Выход |
| 10 |  | Вход установки состояние «логическая 1» |
| 11 | J2 | Вход разрешения установки универсального JK-триггера в состояние «логическая 1» |
| 12 | K2 | Вход разрешения установки универсального JK-триггера в состояние «логический 0» |
| 13 | C2 | Вход тактовый |
| 14 |  | Вход установки состояние «логический 0» |
| 15 |  | Вход установки состояние «логический 0» |
| 16 | UCC | Вывод питания от источника напряжения |

Таблица 6.5.2 – Таблица истинности

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | Выход | |
|  |  | C | J | K | Q |  |
| L | X | X | X | X | H | L |
| H | L | X | X | X | L | H |
| L | L | X | X | X | H\* | H\* |
| H | H | ˥ | L | H | L | H |
| H | H | ˥ | H | H | Счётный режим | |
| H | H | ˥ | L | L | Qo |  |
| H | H | ˥ | H | L | H | L |
| H | H | X | X | X | Qo |  |

Таблица 6.5.3 – Таблица статических параметров КР1533ТВ9

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| U0H | Выходное напряжение высокого уровня | UCC-2 |  | В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0H = – 0,4мА |
| U0L | Выходное напряжение низкого уровня |  | 0,4  0,5 | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0L = 12мА  I0L = 24мА |
| IIH | Входной ток высокого уровня  – по информационным входам J, K и тактовому входу С  – по входам и |  | 20  40 | мкА | UCC = 5,5B  UIH = 2,7B |
| IIL | Входной ток низкого уровня  – по информационным входам J, K и тактовому входу С  – по входам и |  | | – 0,2|  | – 0,4| | мА | UCC = 5,5B  UIL = 0,4B |
| IOH | Выходной ток | | – 30| | | – 112| | мА | UCC = 5,5B  U0 = 2,25мА |
| UCDI | Прямое падение напряжения на антизвонном диоде |  | | – 1,5| | В | UCC = 4,5B  II = – 18мА |
| ICC | Ток потребления |  | 4,5 | мА | UCC = 5,5B |

Таблица 6.5.4 – Таблица динамических параметров КР1533ТВ9

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| tPLH | Время задержки распространения сигнала при выключении  – по входам и  – по тактовому входу С |  | 15  15 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |
| tPHL | Время задержки распространения сигнала при включении  – по входам и  – по тактовому входу С |  | 18  19 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |

1. **КР1533ЛА3**

Микросхема содержит четыре идентичных логических элемента со стандартными активными выходами, выполняющих Булевы функции или в положительной логике ([2], с. 226).

Расположение выводов показано на рисунке 6.6.1а, условно-графическое обозначение микросхемы показано на рисунке 6.6.1б. Назначения выводов представлены в таблице 6.6.1, таблица истинности – в таблице 6.6.2, статические и динамические параметры – в таблицах 6.6.3 и 6.6.4 соответственно.

|  |  |
| --- | --- |
|  |  |
| а) | б) |

Рисунок 6.6.1 – Микросхема КР1553ЛА3

Таблица 6.6.1 – Таблица назначений выводов

|  |  |  |
| --- | --- | --- |
| 01 | 1D1 | Вход |
| 02 | 1D2 | Вход |
| 03 | Y1 | Выход |
| 04 | 2D1 | Вход |
| 05 | 2D2 | Вход |
| 06 | Y2 | Выход |
| 07 | 0V | Общий вывод |
| 08 | Y3 | Выход |
| 09 | 3D1 | Вход |
| 10 | 3D2 | Вход |
| 11 | Y4 | Выход |
| 12 | 4D1 | Вход |
| 13 | 4D2 | Вход |
| 14 | UCC | Напряжение питания |

Таблица 6.6.2 – Таблица истинности

|  |  |  |
| --- | --- | --- |
| D1 | D2 | Y |
| H | H | L |
| L | H | H |
| H | L | H |
| L | L | H |

Таблица 6.6.3 – Таблица статических параметров КР1533ЛА3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| U0H | Выходное напряжение высокого уровня | 2,5 |  | В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0H = – 0,4мА  I0L = – 0,4мА |
| U0L | Выходное напряжение низкого уровня |  | 0,4  0,5 | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0L = 4мА  I0L = 8мА |

Продолжение таблицы 6.6.3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| IIH | Входной ток высокого уровня |  | 20 | мкА | UCC = 5,5B  UIH = 2,7B |
| IIL | Входной ток низкого уровня |  | | – 0,1| | мА | UCC = 5,5B  UIL = 0,4B |
| I0H | Выходной ток | | – 15| | | – 70| | мА | UCC = 5,5B  U0 = 2,25мА |
| UCDI | Прямое падение напряжения на антизвонном диоде |  | | – 1,5| | В | UCC = 4,5B  II = – 18мА |
| ICCH | Ток потребления при высоком уровне выходного напряжения |  | 0,85 | мА | UCC = 5,5B |
| ICCL | Ток потребления при низком уровне выходного напряжения |  | 3,0 | мА | UCC = 5,5B |

Таблица 6.6.4 – Таблица динамических параметров КР1533ЛЛА3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| tPLH | Время задержки распространения сигнала при выключении |  | 11 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |
| tPHL | Время задержки распространения сигнала при включении |  | 8 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |

1. **КР1533ЛИ3**

Микросхема содержит три идентичных логических элемента со стандартными активными выходами, выполняющих Булевы функции или в положительной логике ([2], с. 258).

Расположение выводов показано на рисунке 6.7.1а, условно-графическое обозначение микросхемы показано на рисунке 6.7.1б. Назначения выводов представлены в таблице 6.7.1, таблица истинности – в таблице 6.7.2, статические и динамические параметры – в таблицах 6.7.3 и 6.7.4 соответственно.

|  |  |
| --- | --- |
|  |  |
| а) | б) |

Рисунок 6.7.1 – Микросхема КР1553ЛИ3

Таблица 6.7.1 – Таблица назначений выводов

|  |  |  |
| --- | --- | --- |
| 01 | 1D1 | Вход информационный |
| 02 | 1D2 | Вход информационный |
| 03 | 2D1 | Вход информационный |
| 04 | 2D2 | Вход информационный |
| 05 | 2D3 | Вход информационный |
| 06 | Y2 | Выход |
| 07 | 0V | Общий вывод |
| 08 | Y3 | Выход |
| 09 | 3D1 | Вход информационный |
| 10 | 3D2 | Вход информационный |
| 11 | 3D3 | Вход информационный |
| 12 | 1Y | Выход |
| 13 | 1D3 | Вход информационный |
| 14 | UCC | Напряжение питания |

Таблица 6.7.2 – Таблица истинности

|  |  |  |  |
| --- | --- | --- | --- |
| D1 | D2 | D3 | Y |
| H | H | H | H |

Продолжение таблицы 6.7.2

|  |  |  |  |
| --- | --- | --- | --- |
| L | H | H | L |
| H | L | H | L |
| L | L | H | L |
| H | H | L | L |
| L | H | L | L |
| H | L | L | L |
| L | L | L | L |

Таблица 6.7.3 – Таблица статических параметров КР1533ЛИ3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| U0H | Выходное напряжение высокого уровня | | UCC-2 |  | В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  IDH = – 0,4мА IDL = – 0,4мА |
| U0L | Выходное напряжение низкого уровня | |  | 0,4  0,5 | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0L = 4мА  I0L = 8мА |
| IIH | | Входной ток высокого уровня |  | 20 | мкА | UCC = 5,5B  UIH = 2,7B |
| IIL | | Входной ток низкого уровня |  | | – 0,1| | мА | UCC = 5,5B  UIL = 0,4B |
| I0H | | Выходной ток | | – 30| | | – 112| | мА | UCC = 5,5B  U0 = 2,25мА |
| UCDI | | Прямое падение напряжения на антизвонном диоде |  | | – 1,5| | В | UCC = 4,5B  II = – 18мА |
| ICCH | | Ток потребления при высоком уровне выходного напряжения |  | 1,8 | мА | UCC = 5,5B |

Продолжение таблицы 6.7.3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ICCL | Ток потребления при низком уровне выходного напряжения |  | 3,0 | мА | UCC = 5,5B |

Таблица 6.7.4 – Таблица динамических параметров КР1533ЛЛА3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| tPLH | Время задержки распространения сигнала при выключении |  | 10 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |
| tPHL | Время задержки распространения сигнала при включении |  | 13 | нс | UСС =  = 5,0B±10%  RL = 0,5кОм  CL = 50пФ  t = 2нс |

1. **КР1533ТВ15**

Микросхема состоит из двух независимых JK-триггеров, имеющих общую цепь питания. Вход синхронизации прямой динамический, поэтому данный от входов J и K передаются на выходы и по положительному перепаду (фронту) импульса на входе С. Триггер имеет асинхронные входы установки и сброса с активным низким уровнем. В таблице 6.8.2 представлены состояния для одного триггера ([2], с. 478).

Расположение выводов данной микросхемы показано на рисунке 6.8.1а, условно-графическое обозначение микросхемы показано на рисунке 6.8.1б, функциональная схема – на рисунке 6.8.1.в. Назначения выводов представлены в таблице 6.8.1, таблица истинности – в таблице 6.8.2, статические и динамические характеристики – в таблицах 6.8.3 и 6.8.4 соответственно, значения входной и внутренней емкостей – в таблице 6.8.5.

|  |  |
| --- | --- |
|  |  |
| а) | б) |
|  | |
| в) | |

Рисунок 6.8.1 – Микросхема КР1554ТВ15

Таблица 6.8.1 – Таблица назначений выводов

|  |  |  |
| --- | --- | --- |
| 01 |  | Вход установки в состояние «логический 0» |
| 02 | 1J | Вход информационный |
| 03 |  | Вход информационный |
| 04 | 1C | Вход информационный |
| 05 |  | Вход установки в состояние «логическая 1» |
| 06 | 1Q | Выход |
| 07 |  | Выход |
| 08 | 0V | Общий вывод |
| 09 |  | Выход |
| 10 | 2Q | Выход |

Продолжение таблицы 6.8.1

|  |  |  |
| --- | --- | --- |
| 11 |  | Вход установки в состояние «логическая 1» |
| 12 | 2C | Вход синхронизации |
| 13 |  | Вход информационный |
| 14 | 2J | Вход информационный |
| 15 |  | Вход установки в состояние «логический 0» |
| 16 | UCC | Вход питания от источника напряжения |

Таблица 6.8.2 – Таблица истинности

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | Выход | |
|  |  | C | J |  | Q |  |
| L | H | X | X | X | H | L |
| H | L | X | X | X | L | H |
| L | L | X | X | X | H\* | H\* |
| H | H | L→H | L | L | L | H |
| H | H | L→H | H | L | Счётный режим | |
| H | H | L→H | L | H | Qo |  |
| H | H | L→H | H | H | H | L |
| H | H | L | X | X | Qo |  |

Таблица 6.8.3 – Таблица статических характеристик КР1554ТВ15

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Обозначение | Параметр | Режим измерения | UСС\*, В | Т =25°С  СL = 50пФ | | Та = – 45 +  + 85°С  СL = 50пФ | | Ед. изм. |
| мин. | макс. | мин. | макс. |
| U1H | Входное напряжение высокого уровня |  | 3,0  4,5  5,5 | 2,1  3,15  3,85 |  | 2,1  3,15  3,85 |  | B |
| U1L | Входное напряжение низкого уровня |  | 3,0  4,5  5,5 |  | 0,9  1,35  1,65 |  | 0,9  1,35  1,65 | B |

Продолжение таблицы 6.8.3

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| U0H | Входное напряжение высокого уровня | | U1=  =U1L  или  U1L | I0H = –50  мкА | 3,0  4,5  5,5 | 2,9  4,4  5,4 |  | 2,9  4,4  5,4 |  | B |
| I0H = –12  мкА  I0H = –24  мкА  I0H = –24  мкА | 3,0  4,5  5,5 | 2,56  3,86  4,86 |  | 2,4  3,7  4,7 |  |
| U0L | Входное напряжение низкого уровня | | U1=  =U1L | I0H = –50  мкА | 3,0  4,5  5,5 |  | 0,1  0,1  0,1 |  | 0,1  0,1  0,1 | В |
| I0H = –12  мкА  I0H = –24  мкА  I0H = –24  мкА | 3,0  4,5  5,5 |  | 0,32  0,32  0,32 |  | 0,4  0,4  0,4 |
| II | Входной ток | | UI = UCC или GND | | 5,5 |  | ±1,0 |  | ±1,0 | мкА |
| ICC | Ток потребле-ния | | UI = UCC или GND | | 5,5 |  | 8,0 |  | 50 | мкА |
| I0L | Выходные токи\*\* | | U0L = 1,1B | | 5,5 |  |  | 86 |  | мА |
| I0H | U0H = 3,85B | | 5,5 |  |  | – 76 |  |
| Примечания: | | \* – диапазон напряжений питания 3,3B±0,3B; 5,0B±0,5B  \*\* – длительность воздействия режима не более 20 мс | | | | | | | | |

Таблица 6.8.4 – Таблица динамических характеристик КР1554ТВ15

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обозначение | Параметр | UСС\*, В | Т =25°С  СL = 50пФ | Та = – 45 +  + 85°С  СL = 50пФ | Ед. изм. |
| макс. | макс. |
| tPHL | Время задержки распространения сигнала при включении  – от такового входа С к выходам D  – от входов установки и выходам D | 3,0  4,5  3,0  4,5 | 14,0  10,5  12,0  9,5 | 14,5  10,5  13,5  10,5 | нс  нс |
| tPLH | Время задержки распространения сигнала при выключении  – от такового входа С к выходам D  – от входов установки и выходам D | 3,0  4,5  3,0  4,5 | 13,5  10,0  12,0  9,0 | 16,0  10,5  13,0  10,0 | нс  нс |
| tSU | Время предустановки входов J и относительно С | 3,0  4,5 | 6,5  4,5 | 7,5  5,0 | нс |
| tH | Время удрежания входов J и относительно С | 3,0  4,5 | 0  0,5 | 0  0,5 | нс |
| tW | Длительность импульса на входе С | 3,0  4,5 | 4,0  3,5 | 4,5  3,5 | нс |
| FMAX | Максимальная тактовая частота | 3,0  4,5 | (Мин.)  100  140 | (Мин.)  95  125 | МГц |
| Примечание: \* – диапазон напряжений питания 3,3B±0,3B; 5,0B±0,5B | | | | | |

Таблица 6.8.5 – Таблица емкостей

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Обозначение | Параметр | Типовое значение | Единица измерения | Режим измерения |
| CIN | Входная емкость | 4,5 | пФ | UСС = 5,0B |
| CPD | Внутренняя емкость | 35,0 | пФ | UСС = 5,0B |

1. **КР1533ИП3**

Микросхема представляет собой арифметическо-логическое устройство, реализованное на одном кристалле. Данная схема выполняет 16 двоичных арифметических и логических операций с двумя четырехразрядными словами. Тип операции в соответствии с таблицей истинности (см. таблицы 6.9.1 – 6.9.2) определяется комбинацией сигналов выбора SE0-SE3. Специальный вход M0 позволяет провести выбор между логическими и арифметическими операциями. При высоком уровне напряжения на входе М0 отключается блок ускоренного переноса из разряда в разряд и микросхема выполняет логические операции, при низком уровне напряжения выполняются арифметические операции ([2], с. 104).

Расположение выводов данной микросхемы показано на рисунке 6.9.1а, условно-графическое обозначение микросхемы показано на рисунке 6.9.1б, функциональная схема – на рисунке 6.9.1.в. Назначения выводов представлены в таблице 6.8.1, таблица истинности – в таблице 6.8.2, статические и динамические характеристики – в таблицах 6.8.3 и 6.8.4 соответственно, значения входной и внутренней емкостей – в таблице 6.8.5.

|  |  |
| --- | --- |
|  |  |
| а) | б) |
|  | |
| в) | |

Рисунок 6.9.1 – Микросхема КР1554ТВ15

Таблица 6.9.1 – Таблица истинности для отрицательной логики

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Выбор функции | | | | Логические функции | Арифметические операции | |
| SE3 | SE2 | SE1 | SE0 |  |  |
| L | L | L | L |  |  |  |
| L | L | L | H |  |  |  |
| L | L | H | L |  |  |  |
| L | L | H | H |  | (доп. до 2) |  |
| L | H | L | L |  |  |  |
| L | H | L | H |  |  |  |
| L | H | H | L |  |  |  |
| L | H | H | H |  |  |  |
| H | L | L | L |  |  |  |
| H | L | L | H |  |  |  |
| H | L | H | L |  |  |  |
| H | L | H | H |  |  |  |
| H | H | L | L |  |  |  |
| H | H | L | H |  |  |  |
| H | H | H | L |  |  |  |
| H | H | H | H |  |  |  |

Таблица 6.9.2 – Таблица истинности для положительной логики

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Выбор функции | | | | Логические функции | Арифметические операции | |
| SE3 | SE2 | SE1 | SE0 |  |  |
| L | L | L | L |  |  |  |
| L | L | L | H |  |  |  |
| L | L | H | L |  |  |  |
| L | L | H | H |  | (доп. до 2) |  |
| L | H | L | L |  |  |  |
| L | H | L | H |  |  |  |

Продолжение таблицы 6.9.2

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| L | H | H | L |  |  |  |
| L | H | H | H |  |  |  |
| H | L | L | L |  |  |  |
| H | L | L | H |  |  |  |
| H | L | H | L |  |  |  |
| H | L | H | H |  |  |  |
| H | H | L | L |  |  |  |
| H | H | L | H |  |  |  |
| H | H | H | L |  |  |  |
| H | H | H | H |  |  |  |
| Примечание: \* – сдвиг на один разряд влево | | | | | | |

Таблица 6.9.3 – Таблица статических параметров КР1533ИП3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обо-зна-чение | Наименование параметра | Норма | | Единица изме-рения | Режим измерения |
| не менее | не более |
| U0H | Выходное напряжение высокого уровня | 2,5 |  | В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0H = – 0,4мА  I0L = – 0,4мА |
| U0L | Выходное напряжение низкого уровня |  | 0,4  0,5 | В  В | UСС = 4,5B  UIH = 2,0B  UIL = 0,8B  I0L = 4мА  I0L = 8мА |

Продолжение таблицы 6.9.3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| IIH | Входной ток высокого уровня  – для вывода 8  – для вывода 1, 2,  18 – 23  – для вывода 3 – 6  – для вывода 7 | |  | 20  60  80  100 | мкА | UCC = 5,5B  UIH = 2,7B |
| IIL | Входной ток высокого уровня  – для вывода 8  – для вывода 1, 2,  18 – 23  – для вывода 3 – 6  – для вывода 7 | |  | | – 0,2|  | – 0,6|  | – 0,8|  | – 1,0| | мА | UCC = 5,5B  UIL = 0,4B |
| I0H | Выходной ток высокого уровня – для выхода А=В | |  | 0,1 | мА | UCC = 5,5B  U0 = 2,25мА |
| I0 | Выходной ток | | | – 10| | | – 60| | мА | UCC = 5,5B  U0 = 2,25мА |
| UCDI | Прямое падение напряжения на антизвонном диоде | |  | | – 1,5| | В | UCC = 4,5B  II = – 18мА |
| ICC | Ток потребления  – в режиме А\*  – в режиме В\*\* | |  | 21  22 | мА | UCC = 5,5B |
| Примечания: | | \* Режим А – на выводы 2–6, 8, 19, 21, 23 подается напряжение высокого уровня, остальные входы заземляются.  \*\* Режим А – на выводы 3–6, 8 подается напряжение высокого уровня, остальные входы заземляются. | | | | |

Таблица 6.9.4 – Таблица динамических параметров КР1533ИП3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обозначение | Наименование параметра | Норма | | Ед. изм. | Режим измерения |
| не менее | не более |
| tPLH | Время задержки распространения сигнала при выключении  - для входа переноса 7 по выходам формирования функций 9, 10.11.13  - при сложении  - при вычитании  - для входа переноса 7 по выходам переноса 16  - при сложении  - при вычитании  - для информационных входов 1, 2,18-23 по выходу образования переноса 17  - при сложении  - при вычитании  - для информационных входов 1, 2,16-23 по выходу распространения переноса 15  - при сложении  - при вычитании  - для информационных входов 1, 2.18- 23 по выходам формирования функций 9-11,13  - при сложении  - при вычитании  - в режиме логики  - для информационных входов 1, 2.18- 23 по выходу сравнения 14  - при вычитании  - для информационных входов 1, 2.18- 23 по выходу переноса 17  - при сложении  - при вычитании |  | 24  26  25  26  32  34  32  34  32  32  34  90  44  44 | нс | UСС =  = 5,0B±10%  CL = 50пФ  t = 2нс  RL = 0,5кОм (для выхода сравнения 14 – RL = 2,0кОм) |

Продолжение таблицы 6.9.4

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Обозначение | Наименование параметра | Норма | | Ед. изм. | Режим измерения |
| не менее | не более |
| tPHL | Время задержки распространения сигнала при включении  - для входа переноса 7 по выходам формирования функций 9, 10,11.13  - при сложении  - при вычитании  - для входа переноса 7 по выходам переноса 16  - при сложении  - при вычитании  - для информационных входов 1, 2,18-23 по выходу образования переноса 17 - при сложении  - при вычитании  - для информационных входов 1. 2,18-23 по выходу распространения переноса 15  - при сложении  - при вычитании |  | 26  25  26  25  31  32  34  34 | нс | UСС =  = 5,0B±10%  CL = 50пФ  t = 2нс  RL = 0,5кОм (для выхода сравнения 14 – RL = 2,0кОм) |
| tPHL | Время задержки распространения сигнала при включении  - для информационных входов 1, 2,18-23 по выходам формирования функций 9-11,13  - при сложении  - при вычитании  - в режиме логики  - для информационных входов 1, 2,18-23 по выходу сравнения 14 при вычитании  - для информационных входов 1. 2,18-23 по выходу переноса 17  - при сложении  - при вычитании |  | 26  28  30  70  44  45 | нс | UСС =  = 5,0B±10%  CL = 50пФ  t = 2нс  RL = 0,5кОм (для выхода сравнения 14 – RL = 2,0кОм) |

**заключение**

Очевидно, что эффективность работы цифрового устройства зависит от элементов, на которых построено устройство. Поэтому актуальной является задача проектирования цифровых устройств, а именно синтез принципиальной схемы и схемотехническое моделирование схемы, которые и были исследованы в процессе выполнения данного курсового проектирования.

Также были построены принципиальные схемы различных устройств и соответственно изучены средства проектирования принципиальных схем.

**список использованных источников**

[1] Зубчук, В. И. Справочник по цифровой схемотехнике / В. И. Зубчук, В. П. Сигорский, А. Н. Шкуро. – Киев : Тэхника, 1990. – 448 с.

[2] Петровский, И. И. Логические ИС КР1533, КР1554 : справочник. В 2 ч. / И. И. Петровский [и др.] ; пер. с англ. – М. : ТОО «БИНОМ», 1993. – Ч. 1 – 254 с. ; Ч. 2 – 498 с.

[3] Голдсуорт, Б. Проектирование цифровых логических устройств / Б. Голдсуорт ; пер. с англ. М. В. Сергиевского ; под ред. Ю. И. Топчеева. – М. : Машиностроение, 1985. – 288 с.

[4] Уэйкерли, Джон.Ф. Проектирование цифровых устройств / Уэйкерли, Джон.Ф.; пер. с англ. Е. В. Воронова, А. Л. Ларина. – М.:Постмаркет, 2002. – Т. 1. – 1088 с.

**приложение а**

**Схемы электрические принципиальные**