Министерство образования Республики Беларусь

Учреждение образования «Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных средств

Дисциплина: Проектирование цифровых систем на языках описания аппаратуры

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовому проекту

на тему

СИСТОЛИЧЕСКИЙ ПРОЦЕССОР УМНОЖЕНИЯ МАТРИЦ 8 НА 8

БГУИР КП 1-40 02 02 049 ПЗ

|  |  |
| --- | --- |
|  | Студент: гр. 850702 Турко В. Д. |
|  | Руководитель: ассистент Рыбенков Е.В |

Минск 2020

Содержание

1 Заголовок 2

1.1 Подраздел 2

1.2 Подраздел 2

2 Заголовок 3

2.1 Подраздел 3

2.2 Подраздел 3

# введение

Возрастающие требования к скорости и производительности решения современных задач параллельных вычислений требуют развития организации параллельной работы в вычислительных машинах, одним из направлений которого является репликация однотипных устройств с регулярной топологии связи, т.е. создание матричных систем. Узлы матричной системы выполняют одну и ту же операцию над всеми элементами массива данных. В ходе освоения матричных систем были предложены идеи организации вычислений на подобных структурах, которые основаны на конвейерном представлении алгоритмов решения задач, — систолических вычислениях.

Систолические структуры эффективны при выполнении матричных вычислений, сортировке данных, а также задач обработки сигналов, обработки изображений и др., решения которых часто требуются в реальном времени.

Каждый систолический процессор решает одну конкретную задачу или класс задач. Например, в большинстве задач обработки сигналов и изображений преобладают методы преобразований, фильтрации и базовые методы линейной алгебры. Поэтому данное курсовое проектирования посвящено умножению матриц, а его темой является «Систолический процессор умножения матриц 8 на 8».

Целью данной курсовой работы является разработка систолического процессора умножения матриц 8 на 8. В соответствии с поставленной целью необходимо решить разработать VHDL-описание умножителя и решить задачу синтеза принципиальной схемы.

В результате выполнения данного курсового проектирования была спроектирована схема систолического процессора умножения матриц 8 на 8 и проведено моделирование её работы, результатом которого являются временные диаграммы для различных наборов данных.

# Теоретические сведения

# Заключение

# Список использованных источников

###### Кун, С. Матричные процессоры на СБИС / С. Кун; Перевод с англ. Ю. Г. Дадаева и др.; Под ред. Ю. Г. Дадаева. - М. : Мир, 1991. - 672 с.

# Приложение А