Учреждение образования

«Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

#### УТВЕРЖДАЮ

# Заведующий кафедрой

# 

(подпись)

«   »   2020 г.

##### ЗАДАНИЕ

по курсовому проектированию

Студенту  гр.850702 Турко Вадиму Дмитриевичу

1. Тема проекта Разработка систолического процессора умножения матриц

2. Срок сдачи студентом законченного проекта   21 декабря 2020 г.

3. Исходные данные к проекту   Вариант № 42

Реализовать систолический процессор умножения матриц размера 4 на 4 для элементов типа std\_logic\_vector на языке описания аппаратуры VHDL. Проверить работу процессора на различных наборах входных данный. Синтезировать устройство в среде проектирования Xilinx ISE на базе устройства XC3S2000 из семейства кристаллов Spartan3. Для моделирования использовать встроенный в среду проектирования симулятор ISim.

4. Содержание расчетно-пояснительной записки (перечень вопросов, которые подлежат разработке)

1. Введение. Постановка задачи.

2.Краткие теоретические сведения о систолических системах. Разбор метода отображения алгоритма умножения матриц на матричный массив. Разработка схемы работы алгоритма.

3. Разработка VHDL-описания системы.

4. Моделирование работы системы. Выбор среды моделирования. Описание процесса моделирования

5.Заключениe

5. Консультант по проекту (с обозначением разделов проекта) Рыбенков Е. В.,

Ланкевич Ю.Ю., Ключеня В.В., Городецкий Д.А.

6. Дата выдачи задания 07.09.2020

7. Календарный график работы над проектом на весь период проектирования (с обозначением сроков выполнения и трудоемкости отдельных этапов)

Введение, раздел 1 18.10.2020 г. – 35%

Раздел 2 09.11.2020 г. – 35%

Раздел 3, Заключение 30.11.2020 г. – 30%

Защита курсового проекта 14.12 – 21.12.2020 г.

РУКОВОДИТЕЛЬ

(подпись)

Задание принял к выполнению

(дата и подпись студента)