Министерство образования Республики Беларусь

Учреждение образования «Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных средств

Дисциплина: Проектирование цифровых систем на языках описания аппаратуры

ОТЧЕТ

к лабораторной работе №1

на тему

ОПИСАНИЕ И МОДЕЛИРОВАНИЕ СИСТЕМЫ ЛОГИЧЕСКИХ ФУНКЦИЙ

|  |  |
| --- | --- |
| Выполнили:  ст. гр. 850702  Турко В. Д. | Проверил:  Санько Н. С. |
|  |  |

Минск 2020

1. Цель работы

По таблице истинности системы логических функций составить VHDL-модель и выполнить моделирование на всех наборах значений входных переменных.

VHDL-модель системы функций должна быть компактной: функции желательно минимизировать, а также учитывать возможность их инверсной реализации.

1. таблица истинности. Вариант 17

Таблица 2.1 – таблица истинности *JK*-триггера

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| X1 | X2 | X3 | X4 | Y1 | Y2 | Y3 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

1. VHDL-модель

entity func is

port (x1,x2,x3,x4 : in BIT;

y1,y2,y3 : out BIT);

end func;

architecture struct\_1 of func is

begin

y1<= ((x1 and x3) or (x1 and x2 and x4) or (x2 and x3 and x4) or ((not x1) and x2 and (not x3) and (not x4)));

y2<= (((not x1) and (not x2) and x3) or ((not x1) and x3 and (not x4)) or (x1 and (not x3) and (not x4)) or (x1 and (not x2) and (not x3)) or (x1 and x2 and x3 and x4) or ((not x1) and x2 and (not x3) and x4));

y3<= (((not x2) and x4) or (x1 and x2 and (not x4)) or (x2 and x3 and (not x4)));

end struct\_1;

1. Моделирование

Тестирующая программа.

entity Test\_func is end Test\_func;

architecture Behavior of test\_func is

component func

port (x1,x2,x3,x4 : in BIT;

y1,y2,y3 : out BIT);

end component;

signal x1, x2, x3, x4 : BIT;

signal y1, y2, y3 : BIT;

begin

p1 : func port map (x1 => x1, x2 => x2, x3 => x3, x4 => x4, y1 => y1, y2 => y2, y3 => y3);

x1 <= '0',

'1' after 400ns;

x2 <= '0',

'1' after 200ns,

'0' after 400ns,

'1' after 600ns;

x3 <= '0',

'1' after 100ns,

'0' after 200ns,

'1' after 300ns,

'0' after 400ns,

'1' after 500ns,

'0' after 600ns,

'1' after 700ns;

x4 <= '0',

'1' after 50ns,

'0' after 100ns,

'1' after 150ns,

'0' after 200ns,

'1' after 250ns,

'0' after 300ns,

'1' after 350ns,

'0' after 400ns,

'1' after 450ns,

'0' after 500ns,

'1' after 550ns,

'0' after 600ns,

'1' after 650ns,

'0' after 700ns,

'1' after 750ns;

end behavior;

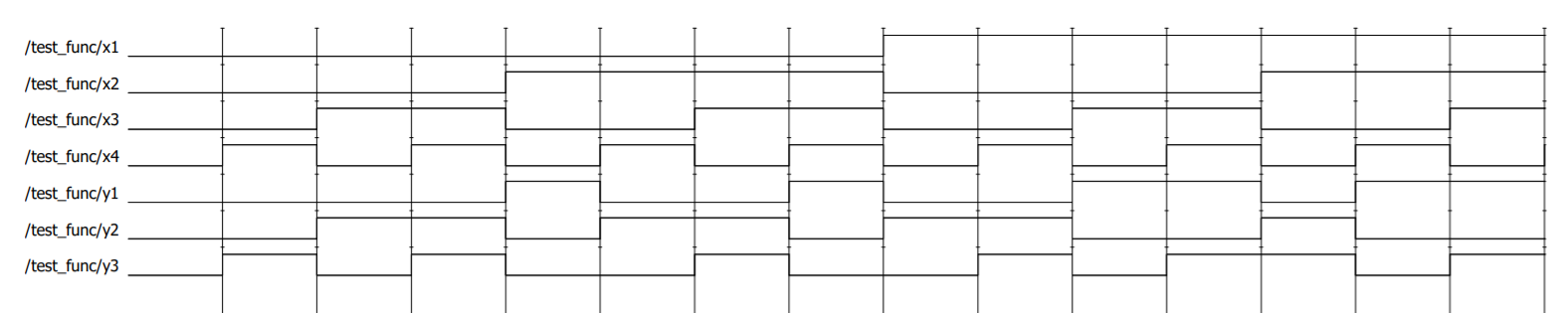


Рисунок 4.2 – Временная диаграмма

1. вывод

При выполнении лабораторной работы я создал первый проект ModelSim и провел симуляцию поведения 3 булевых функций от 4 аргументов. Написал тестирующую программу для данных функций и получил их временные диаграммы.