Министерство образования Республики Беларусь

Учреждение образования «Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных средств

Дисциплина: Проектирование цифровых систем на языках описания аппаратуры

ОТЧЕТ

к лабораторной работе №2

на тему

ОПИСАНИЕ И МОДЕЛИРОВАНИЕ НЕРЕГУЛЯРНЫХ ЛОГИЧЕСКИХ СИСТЕМ

|  |  |
| --- | --- |
| Выполнили:  ст. гр. 850702  Турко В. Д. | Проверил:  Санько Н. С. |
|  |  |

Минск 2020

1. Цель работы

Для заданной нерегулярной логической схемы (рис. 1.1): составить структурное VHDL-описание; выполнить моделирование на всех наборах значений входных переменных; построить систему логических функций, реализуемую схемой; найти критический путь в схеме.

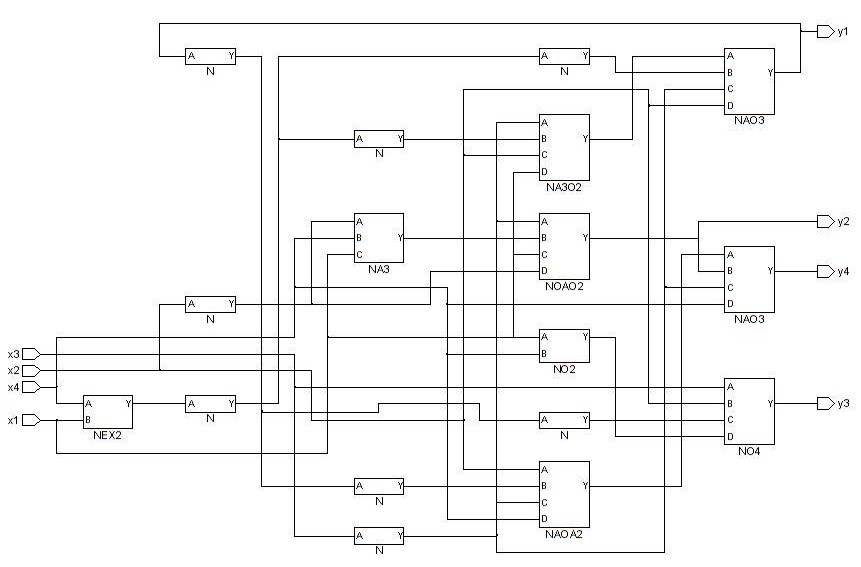


Рисунок 1.1 – Логическая схема

1. Структурная vhdl-модель схемы

В таблице 2.1 приведена реализация моделей используемых элементов.

Таблица 2.1 – модели элементов

|  |  |
| --- | --- |
| ENTITY N IS      PORT (          a : IN std\_logic;          y : OUT std\_logic);  END N;  ARCHITECTURE N\_arch OF N IS  BEGIN  y <= NOT a AFTER 1 ns;  END N\_arch; | ENTITY NEX2 IS      PORT (          a, b : IN std\_logic;          y : OUT std\_logic);  END NEX2;  ARCHITECTURE NEX2\_arch OF NEX2 IS  BEGIN  y <= (a AND b) OR ((NOT a) AND (NOT b))  AFTER 5 ns;  END NEX2\_arch; |

Продолжение таблицы 2.1

|  |  |
| --- | --- |
| ENTITY NA3 IS      PORT (          a, b, c : IN std\_logic;          y : OUT std\_logic);  END NA3;  ARCHITECTURE NA3\_arch OF NA3 IS  BEGIN  y <= NOT (a AND b AND c) AFTER 3 ns;  END NA3\_arch; | ENTITY NA3O2 IS      PORT (          a, b, c, d : IN std\_logic;          y : OUT std\_logic);  END NA3O2;  ARCHITECTURE NA3O2\_arch OF NA3O2 IS  BEGIN  y <= NOT (a AND b AND (c OR d)) AFTER 4 ns;  END NA3O2\_arch; |
| ENTITY NO2 IS      PORT (          a, b : IN std\_logic;          y : OUT std\_logic);  END NO2;  ARCHITECTURE NO2\_arch OF NO2 IS  BEGIN  y <= NOT (a OR b) AFTER 3 ns;  END NO2\_arch; | ENTITY NAO3 IS      PORT (          a, b, c, d : IN std\_logic;          y : OUT std\_logic);  END NAO3;  ARCHITECTURE NAO3\_arch OF NAO3 IS  BEGIN  y <= NOT (a AND (b OR c OR d)) AFTER 5 ns;  END NAO3\_arch; |
| ENTITY NO4 IS      PORT (          a, b, c, d : IN std\_logic;          y : OUT std\_logic);  END NO4;  ARCHITECTURE NO4\_arch OF NO4 IS  BEGIN  y <= NOT (a OR b OR c OR d) AFTER 5 ns;  END NO4\_arch; | ENTITY NAOA2 IS      PORT (          a, b, c, d : IN std\_logic;          y : OUT std\_logic);  END NAOA2;  ARCHITECTURE NAOA2\_arch OF NAOA2 IS  BEGIN  y<= NOT (a AND (b OR (c AND d))) AFTER 4 ns;  END NAOA2\_arch; |
|  | ENTITY NOAO2 IS      PORT (          a, b, c, d : IN std\_logic;          y : OUT std\_logic);  END NOAO2;  ARCHITECTURE NOAO2\_arch OF NOAO2 IS  BEGIN      y <= NOT (a OR (b AND (c OR d))) AFTER 4 ns;  END NOAO2\_arch; |

VHDL-модель логической схемы:

ENTITY SchemeModel IS

    PORT (

        x : IN std\_logic\_vector(0 TO 3);

        y : OUT std\_logic\_vector(0 TO 3));

END SchemeModel;

ARCHITECTURE SchemeArch OF SchemeModel IS

    SIGNAL Level\_0 : std\_logic;

    SIGNAL Level\_1 : std\_logic\_vector(0 TO 2);

    SIGNAL Level\_2 : std\_logic\_vector(0 TO 3);

    SIGNAL Level\_3 : std\_logic\_vector(0 TO 5);

    SIGNAL Level\_4 : std\_logic\_vector(0 TO 2);

BEGIN

    Nex : NEX2 PORT MAP(a => x(0), b => x(3), y => Level\_0);

    Inv\_11 : N PORT MAP(a => Level\_4(0), y => Level\_1(0));

    Inv\_12 : N PORT MAP(a => x(1), y => Level\_1(1));

    Inv\_13 : N PORT MAP(a => Level\_0, y => Level\_1(2));

    Inv\_21 : N PORT MAP(a => Level\_1(2), y => Level\_2(0));

    Na3\_21 : NA3 PORT MAP(a => Level\_1(1), b => x(3), c => x(0), y => Level\_2(1));

    Inv\_22 : N PORT MAP(a => Level\_1(0), y => Level\_2(2));

    Inv\_23 : N PORT MAP(a => x(2), y => Level\_2(3));

    Inv\_31 : N PORT MAP(a => Level\_1(2), y => Level\_3(0));

    Na3o2\_31 : NA3O2 PORT MAP

(a => Level\_2(3), b => Level\_2(0), c => x(1), d => x(0), y => Level\_3(1));

    Noao2\_31 : NAOA2 PORT MAP

(a => Level\_2(3), b => Level\_2(1), c => x(0), d => Level\_1(1), y => Level\_3(2));

    No2\_31 : NO2 PORT MAP(a => x(0), b => x(3), y => Level\_3(3));

    Inv\_32 : N PORT MAP(a => Level\_1(0), y => Level\_3(4));

    Noao2\_32 : NOAO2 PORT MAP

(a => x(1), b => Level\_2(2), c => Level\_2(3), d => x(3), y => Level\_3(5));

    Nao3\_41 : NAO3 PORT MAP

(a => Level\_3(1), b => Level\_3(0), c => Level\_2(3), d => x(1), y => Level\_4(0));

    Nao3\_42 : NAOA2 PORT MAP

(a => Level\_3(5), b => Level\_3(2), c => Level\_2(3), d => x(3), y => Level\_4(1));

    No4\_41 : NO4 PORT MAP

(a => x(2), b => x(1), c => Level\_3(4), d => Level\_3(3), y => Level\_4(2));

    y(0) <= Level\_4(0);

    y(1) <= Level\_3(2);

    y(2) <= Level\_4(2);

    y(3) <= Level\_4(1);

END ARCHITECTURE SchemeArch;

1. Моделирование
2. Тестирующая программа

ENTITY scheme\_test IS

END scheme\_test;

ARCHITECTURE MainBehavior OF scheme\_test IS

  COMPONENT SchemeModel IS

    PORT (

      x : IN std\_logic\_vector(0 TO 3);

      y : OUT std\_logic\_vector(0 TO 3));

  END COMPONENT SchemeModel;

  SIGNAL a : std\_logic\_vector(0 TO 3) := (OTHERS => '0');

  SIGNAL b : std\_logic\_vector(0 TO 3);

BEGIN

  p1 : SchemeModel PORT MAP(x => a, y => b);

  a(3) <= NOT a(3) AFTER 25 ns;

  a(2) <= NOT a(2) AFTER 50 ns;

  a(1) <= NOT a(1) AFTER 100 ns;

  a(0) <= NOT a(0) AFTER 200 ns;

  PROCESS IS

    VARIABLE count : INTEGER := 0;

  BEGIN

    IF count > 16 THEN

      stop;

    ELSE

      WAIT FOR 25 ns;

      count := count + 1;

    END IF;

  END PROCESS;

END MainBehavior;

1. Временная диаграмма

В результате моделирования получим временную диаграмму, представленную на рис. 4.1.

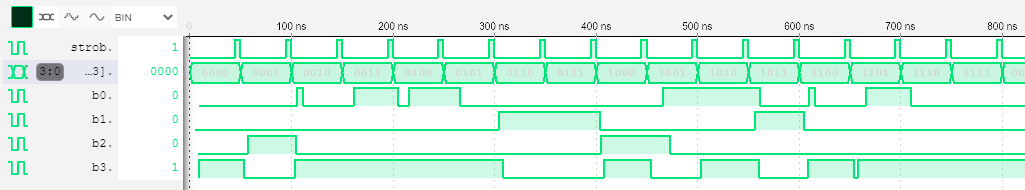


Рисунок 3.1 – Временная диаграмма

1. Синтез системы логических функций

По временной диаграмме запишем таблицу истинности.

Таблица 3.1 – Входные наборы для схемы

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Наборы 0000–0111 | | | Наборы 1000–1111 | | |
| x0x1x2x3 | y0y1y2y3 | delay | x0x1x2x3 | y0y1y2y3 | delay |
| 0000 | 0001 | 9 | 1000 | 0011 | 8 |
| 0001 | 0010 | 8 | 1001 | 1000 | 23 |
| 0010 | 0001 | 12 | 1010 | 1001 | 4 |
| 0011 | 1001 | 12 | 1011 | 0100 | 12 |
| 0100 | 1001 | 16 | 1100 | 0001 | 16 |
| 0101 | 0001 | 16 | 1101 | 1001 | 16 |
| 0110 | 0100 | 9 | 1110 | 0001 | 10 |
| 0111 | 0100 | 0 | 1111 | 0001 | 0 |

По таблице истинности запишем систему логических функций (3.1), реализуемых схемой.

|  |  |
| --- | --- |
|  | (3.1) |
|  |
|  |
|  |

1. Критический путь

Критический путь отмечен на рисунке 1.1. Задержка составила 28нс.

1. вывод

При выполнении лабораторной работы я составил структурное VHDL-описание для заданной логической схемы. А также выполнил моделирование, построил систему логических функций, реализуемых схемой, и нашел критический путь в схеме.