1. Этот пакет определяет стандарт для разработчиков, используемый при описании типов данных, используемых в моделировании VHDL. Содержит описание типов std\_ulogic, std\_ulogic, логический функции (and, nand и др.), функции привидения типов (to\_stdulogic\_vector), функции для работы со строками и функции определение фронта сигнала.
2. Std\_logic – перечислимый тип, имеющий следующие значения: [U,X,0,1,Z,W,L,H,-]
3. Передний: clock’event and clock = ‘1’; задний: clock’event and clock = ‘0’;
4. 1
5. Изменение тактового сигнала может изменять состояние автомата.
6. При моделировании Y <= not Y after 3 ns; дельта-задержки не будет, т.к. есть явная задержка в 3нс.
7. При моделировании оператора Y <= not Y может возникнуть 1 дельта-задержка.
8. Для выходного порта триггера (Q), т.к. его значение как считывается, так и записывается.