1) В VHDL существуют несинтезируемые конструкции, поэтому не все конструкции реализуются

2) Операции над типов real не синтезируются; существуют ограничения для операторов rem, mod – числа должны быть степенью 2; оператор возведения в степень синтезируется только для числа 2; не поддерживаются операции над файлами; игнорируются инициальные значения сигналов, портов и переменных.

3) Нельзя