



UNIVERSIDADE FEDERAL DE MINAS GERAIS  
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO

---

## Organização de Computadores I

### Lab 4 : Depuração do código

---

*Professor:* Antonio Otavio Fernandes.

*Monitor:* Omar Vidal Pino.

18 de Outubro de 2016

## 1 Introdução

Altera fornece a *SignalTap II Logic Analyzer* para ajudar com a depuração de seu design. Este analisador lógico permite que você examine o comportamento dos sinais internos, sem o uso de pinos extra de I / O, enquanto o design está correndo a toda velocidade em um dispositivo FPGA.

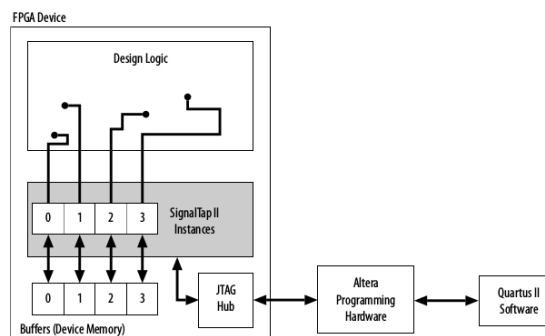


Figura 1.1: Diagrama de Blocos de *SignalTap II Logic Analyzer*.

O *SignalTap II Logic Analyzer* é escalável, fácil de usar e está disponível como um pacote stand-alone ou incluído com a assinatura do software Quartus II. Este analisador lógico ajuda a depurar um design FPGA sondando o estado dos sinais internos no desenho, sem a utilização de equipamento externo.

Definindo lógica personalizada (trigger-condition logic) proporciona maior precisão e melhora a capacidade de isolar os problemas. O *SignalTap II Logic Analyzer* não requerem sondas externas ou alterações nos arquivos de projeto para capturar o estado dos nós internos ou dos pinos I/O no design. Todos os dados de sinal capturados são convenientemente armazenado na memória do dispositivo até que você esteja pronto para ler e analisar os dados.

O SignalTap II Logic Analyzer é a próxima geração, uma ferramenta de depuração que captura e exibe o comportamento da sinal em tempo real em algum projeto FPGA. O SignalTap II Logic Analyzer suporta o maior número de canais, a maior profundidade da amostra, e velocidades de clock mais rápido de qualquer analisador lógico no mercado de lógica programável.

Na figura 1.1 o diagrama pressupõe que você compilou o analisador lógico SignalTap II com o design como uma partição separada do projeto usando o recurso de compilação incremental do Quartus II. Esta é a definição padrão de novos projetos no software Quartus II. Se a compilação incremental é desativado ou não utilizado, a lógica de SignalTap II é integrado com o design.

## 2 OBJETIVOS

O objetivo desta aula prática é aprender a depurar seu design usando a ferramenta *SignalTap II Logic Analyzer* do Quartus II. Para isso começaremos com um design simples (switches.v) e depois tentaremos depurar seu código do Laboratório anterior.

## 3 PARTE EXPERIMENTAL

### 3.1 TUTORIAL

Crie um novo projeto (module) com nome "switches" e salve o modulo com o nome switches.v. O módulo *switches* é mostrado abaixo.

```
// Top-level module
module switches (SW, CLOCK_50, LEDR);
    input [7:0] SW;
    input CLOCK_50;
    output reg [7:0] LEDR;
    always @(posedge CLOCK_50)
        LEDR [7:0] <= SW [7:0];
endmodule
```

Usando o módulo anterior faça as atividades do tutorial "*SignalTap II with Verilog Designs*" de Altera Corporation (*Ver material de apoio*). Este tutorial explica como usar o recurso SignalTap II incluso no software Altera Quartus ® II .

### 3.2 IMPLEMENTAÇÃO DO LAB3 NA PLACA FPGA

#### 3.2.1 MODIFICAÇÕES

Nesta atividade, você deverá modificar o design de seu projeto do laboratório anterior "*Lab3 - Banco de Registradores*" para que funcione como a arquitetura mostrada na figura 3.1 (igual quantidade de registradores, igual tamanho de dados, etc).

- Que modificações seriam necessárias para mudar seu projeto?. Compile seus arquivos e verifique seu código.

- Planejar a verificação do seu funcionamento com a ferramenta de depuração física Signal-Tap II do Altera Quartus II. Como esta ferramenta pode ajudar na atividade de teste e depuração de seu design?.

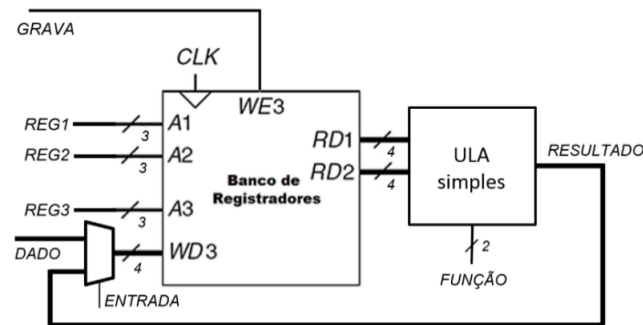


Figura 3.1: Fluxo de dados a projetar.

### 3.2.2 IMPLEMENTAÇÃO NA PLACA FPGA

Usando o software Quartus II, implemente o projeto do novo circuito do banco de registradores e ULA na placa de desenvolvimento DE2 da Altera com a seguinte designação de sinais do projeto:

- REG1 - chaves SW0 a SW2
  - REG2 - chaves SW3 a SW5
  - REG3 - chaves SW6 a SW8
  - GRAVA - botão KEY2
  - DADO - chaves SW9 a SW12
  - ENTRADA - chave SW17
  - FUNÇÃO - chaves SW15 e SW16
  - RESULTADO - *display* HEX0
- depuração:*
- RD1 - *leds* vermelhos LEDR0 a LEDR3
  - RD2 - *leds* verdes LEDG0 a LEDG3
  - CLEAR - botão KEY3

Figura 3.2: **Designação de sinais do projeto.** DICA: lembrem-se que os botões na placa DE2 são ativos em baixo. O projeto deve levar isto em consideração. Use a tabela de designação de pinos da placa DE2.

- Após a programação do projeto na placa Altera DE2, execute o plano de testes desenvolvido pelo equipe e verifique os resultados experimentais. Compare-os com suas simulações efetuadas.
- Aplique a ferramenta SignalTap II para monitorar e verificar o funcionamento do banco de registradores modificado. Explique como ajuda o procedimento de uso do SignalTap II.

### 3.2.3 DESAFIOS

Mostre como as expressões abaixo podem ser calculadas usando o circuito projetado.

1.  $R = A + B - C$
2.  $R = (A+B) \text{ and } (C-D)$

Implemente a modificação especificada pelo professor e documente o projeto no relatório. Sintetize o circuito na placa Altera DE2. Demonstre seu funcionamento.

## 4 RELATORIO

Deve ser entregue uma pasta compactada contendo os seguintes arquivos :

- Arquivo fonte e código compilado (todos os módulos ou projeto), sem erros de execução.
- Arquivos de entrada e saída para cada execução exemplo.
- Relatório com os resultados das actividades experimentais do laboratório.

Arquivos com vírus não serão avaliados. Todos os trabalhos plagiados/copiados serão desconsiderados (zerados).