

UNIVERSIDADE FEDERAL DE MINAS GERAIS
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO
ORGANIZAÇÃO DE COMPUTADORES I

TP3 - Laboratório de Hardware 4
Depuração do código

Grupo 1

Christian Vieira
João Pedro
Marcus Oliveira
Paula Viriato

Professor: Antônio Otávio Fernandes
Monitor: Omar Vidal Pino

Belo Horizonte
5 de dezembro de 2016

Sumário

1	Introdução	1
2	Objetivo das atividades:	1
2.1	Atividade 3.1: Tutorial:	1
2.2	Atividade 3.2: Implementação do Lab 3 Na Placa FPGA	1
3	Desenvolvimento e resultados:	1
3.1	Atividade 3.1: Tutorial	1
3.2	Atividade 3.2: Implementação do Lab 3 Na Placa FPGA	1
3.2.1	Solução do Desafio 1	2
3.2.2	Solução do Desafio 2	2
4	Conclusões:	2
5	Referências Bibliográficas	3
Lista de Figuras		
1	Designação de sinais	2
Lista de implementaes		
Lista de Tabelas		

1 Introdução

Um analisador lógico é um instrumento eletrônico usado para visualizar no tempo os estados lógicos de vários pontos de um circuito eletrônico digital. Basicamente vários canais de monitoramento são conectados a um circuito real e o resultado é apresentado em uma tela de vídeo ou graficamente em papel através de uma impressora. Dessa forma se pode analisar o comportamento e a temporização de portas lógicas, contadores, registradores, processadores e demais componentes digitais de um circuito .

O software *Quartus II* possui uma ferramenta de depuração a nível de sistema chamado *SignalTap II Logic Analyzer*. Ela é um analisador lógico virtual que nos permite examinar o comportamento dos sinais internos, sem o uso de I/O extras, enquanto o circuito está rodando em um dispositivo FPGA.

2 Objetivo das atividades:

Esta prática tem como objetivo o aprendizado da ferramenta *SignalTap II Logic Analyzer* do *Quartus II*.

2.1 Atividade 3.1: Tutorial:

Criar um modulo switches.v e usa-lo para para fazer as atividades do tutorial "*SignalTapII with Verilog Designs*".

2.2 Atividade 3.2: Implementação do Lab 3 Na Placa FPGA

Nessa seção, devemos modificar o circuito do projeto do laboratório anterior para que funcione como a arquitetura mostrada na figura 3.1 e verificar seu funcionamento com a ferramenta *SignalTap II Logic Analyzer*.

3 Desenvolvimento e resultados:

3.1 Atividade 3.1: Tutorial

As instruções do tutorial foram seguidas corretamente e o único problema encontrado foi a seguinte mensagem de erro: Invalid JTAG configuration.

Entretanto o problema foi solucionado conforme solução proposta no fórum de suporte da Intel FPGA. Em suma o tutorial foi executado com êxito.

3.2 Atividade 3.2: Implementação do Lab 3 Na Placa FPGA

Utilizando o software Quartus II, implementamos um novo circuito de banco de registradores e ULA na placa de desenvolvimento DE2 da Altera. Conforme especificação do TP, a implementação possui a seguinte designação de sinais.

Durante o processo de implementação, a ferramenta *SignalTap II* ajudou no processo de depuração do código. O uso da ferramenta para a visualização no tempo dos estados lógicos dos componentes digitais do circuito foi essencial para o desenvolvimento do trabalho. Utilizamos também os visores hexadecimais e alguns leds da FPGA para visualizarmos alguns estados lógicos de componentes estratégicos para a depuração do código.

Como resultado obtivemos um circuito funcional, que oferece uma solução para os problemas propostos na especificação do TP.

- REG1 - chaves SW0 a SW2
 - REG2 - chaves SW3 a SW5
 - REG3 - chaves SW6 a SW8
 - GRAVA - botão KEY2
 - DADO - chaves SW9 a SW12
 - ENTRADA - chave SW17
 - FUNÇÃO - chaves SW15 e SW16
 - RESULTADO - *display* HEX0
- depuração:*
- RD1 - *leds* vermelhos LEDR0 a LEDR3
 - RD2 - *leds* verdes LEDG0 a LEDG3
 - CLEAR - botão KEY3

Figura 1 Designação de sinais

3.2.1 Solução do Desafio 1

Registro 1 = A = 5

Registro 2 = B = 3

Registro 3 = C = 2

Registro 1 + Registro 2 = Registro 4 = 8

Registro 4 - Registro 3 = Registro 5 = 6

Abaixo o link do video gravado na sala de aula:

LINK - <www.youtube.com/watch?v=JUPhBinM938>

3.2.2 Solução do Desafio 2

Registrador 1 = A = 1

Registrador 2 = B = 3

Registrador 4 = C = 8

Registrador 3 = D = 2

Registrador 1 + Registrador 2 = Registrador 6 = 8

Registrador 4 - Registrador 3 = Registrador 5 = 6

Registrador 6 AND Registrador 5 = Registrador 7 = 0

Abaixo o link do video gravado na sala de aula:

LINK - <www.youtube.com/watch?v=Z7sx_mc_oQo>

4 Conclusões:

A utilização da ferramenta *SinalTap II*, bem como alguns recursos (leds e visores) da FPGA são fundamentais no processo de depuração do circuito. Visualizando os estados lógicos dos componentes digitais do circuito, é possível um desenvolvimento com maior eficiência, uma vez que torna-se fácil encontrar um erro no projeto.

5 Referências Bibliográficas

Organização e Projeto de Computadores, David A. Patterson and John L. Hennessy; 3ª Edição.

Design Recipes for FPGAs: Using Verilog and VHDL, Peter Wilson, 2 ed.

Design Debugging Using the SignalTap II Embedded Logic Analyzer.

<https://www.altera.com/support/support-resources/knowledge-base/solutions/rd11082012_491.html>