



ĐẠI HỌC BÁCH KHOA ĐÀ NẴNG
KHOA ĐIỆN TỬ - VIỄN THÔNG

ĐIỆN TỬ SỐ 2

Giảng viên: KS. Huỳnh Việt Thắng

Đà Nẵng, 08 / 2007

Nội dung môn học

1. Ôn tập
2. Thanh ghi (Register) và Bộ nhớ (Memory)
3. Giới thiệu công nghệ IC khả trình
4. Thiết kế máy trạng thái hữu hạn FSM
(Finite State Machine – FSM)
5. Ngôn ngữ mô tả phần cứng VHDL
6. Ví dụ và bài tập kiểm tra

Tài liệu tham khảo

- 1) Slide bài giảng Điện Tử Số 2, 2007
- 2) TS Phạm Ngọc Nam, Slide “Design with PLD”, Khoa ĐTVT – ĐH Bách Khoa Hà Nội, 2006
- 3) Đặng Văn Chuyết, Kỹ thuật điện tử số, NXB Giáo Dục, 2000
- 4) Nguyễn Thúy Vân, Kỹ Thuật Số, NXB Khoa học kỹ thuật, 2004
- 5) Nguyễn Quốc Tuấn, Giáo trình Ngôn ngữ VHDL để thiết kế mạch, NXB ĐHQG TPHCM, 2002
- 6) Tống Văn On, Kỹ Thuật Số - Lý Thuyết và Bài Tập, NXB Lao Động Xã Hội, 2006
- 7) Các tài liệu tham khảo và các datasheet sưu tầm trên Internet

Kiểm tra đánh giá môn học

- Bài kiểm tra cuối kỳ: Thi viết được dùng tài liệu
- Bài tập lớn và báo cáo trước lớp: thiết kế một mạch điều khiển

1. ÔN TẬP

1. ÔN TẬP

- Mạch số gồm:
 - ☐ Hệ tổ hợp (Combinational Circuits)
 - ☐ Hệ tuần tự (Sequential Circuits)
- Hệ tổ hợp
 - ☐ Không có tính nhớ, trạng thái ngõ ra chỉ phụ thuộc tín hiệu vào
 - ☐ Thiết kế trên cơ sở cổng logic (logic gates)
- Hệ tuần tự
 - ☐ Có tính nhớ và có tính đồng bộ
 - ☐ Thiết kế trên cơ sở Flip – Flop (FF)

1. ÔN TẬP

- Biểu diễn mạch số theo các dạng chính tắc: *tổng các tích số (CT1)* hoặc *tích các tổng số (CT2)*
- Mỗi đầu ra hoặc tín hiệu ra được biểu diễn bằng một phương trình đại số theo các biến đầu vào và tuân thủ theo 1 trong 2 dạng chính tắc
- Rút gọn (tối thiểu hóa) phương trình logic đầu ra theo 2 nhóm phương pháp:
 - Biến đổi đại số: tiên đề định lý đại số Boole
 - Thuật toán: Bảng Karnaugh (Bìa K)

1. ÔN TẬP

- Rút gọn phương trình logic bằng bìa K: **“Kết hợp 2ⁿ ô kề cận để loại đi n biến dư thừa”**
- Ý nghĩa của giá trị tùy định “X” ?
- Ví dụ: Rút gọn hàm sau:

$$\square F_1(x_3, x_2, x_1, x_0) = \Sigma (0, 1, 2, 3, 4, 5, 8, 10, 14) + d(9, 12)$$

1. ÔN TẬP

- Các mạch tổ hợp thông dụng:
 - ☐ MUX / DEMUX
 - ☐ Encoder / Decoder
 - ☐ Adder / Subtractor
 - ☐ Magnitude Comparator
 - ☐ Parity Generator/Checker
- Các mạch tuần tự thông dụng:
 - ☐ Counter (nối tiếp, song song, hỗn hợp)
 - ☐ Register, Shift Register
 - ☐ Memory

1. ÔN TẬP

- **Logic gates:** AND, OR, NAND, NOR, NOT, BUFFER, XOR, XNOR
 - ☐ Totem Pole Output
 - ☐ Open Collector Output
 - ☐ Tri-state Output
- **Flip-Flop:** RS, JK, D, T
 - ☐ Bảng trạng thái, phương trình
 - ☐ **Bảng đầu vào kích (Excitation Table): dùng cho thiết kế**
 - ☐ Ý nghĩa tín hiệu đồng bộ Ck
 - ☐ Các ngõ vào Preset (Pr) và Clear (Cl) và phương pháp thiết lập trạng thái ban đầu cho FF bằng các mạch RC