

[Painel](#) / [Meus cursos](#) / [Departamento de Ciência da Computação](#) / [Bacharelado em Ciência da Computação](#) / [2023/1 CC](#)
/ [2023/1 CCT CCI192-04U AOC0004](#) / [Semana 16](#) / [Revisão](#)

Iniciado em	Saturday, 17 Jun 2023, 18:19
Estado	Finalizada
Concluída em	Monday, 19 Jun 2023, 20:48
Tempo empregado	2 dias 2 horas
Avaliar	9,50 de um máximo de 10,00(95%)

Informação

Para as questões abaixo, considere que os estágios individuais de um datapath possuem as seguintes latências:

IF	ID	EX	MEM	WB
200ps	300ps	150ps	300ps	200ps

Questão **1**
Correto
Atingiu 0,50 de 0,50

Qual o **tempo de clock** de uma versão **com pipeline**?

- ☐ a. 1150ps
- ☐ b. 150ps
- ☒ c. 300ps
- ☐ d. 1500ps
- ☐ e. 200ps



Sua resposta está correta.

A resposta correta é: 300ps

Correto

Notas para este envio: 0,50/0,50.

Questão **2**

Correto

Atingiu 0,50 de 0,50

Qual o **tempo de clock** de uma versão **sem pipeline (ciclo único)**?

- ☐ a. 1500ps
- ☒ b. 1150ps
- ☐ c. 300ps
- ☐ d. 150ps
- ☐ e. 230ps



Sua resposta está correta.

A resposta correta é: 1150ps

Correto

Notas para este envio: 0,50/0,50.

Questão **3**

Correto

Atingiu 0,50 de 0,50

Qual a **Latência** de uma instrução LW em uma versão **com pipeline**?

- ☒ a. 1500ps
- ☐ b. 300ps
- ☐ c. 150ps
- ☐ d. 200ps
- ☐ e. 1150ps



Sua resposta está correta.

A resposta correta é: 1500ps

Correto

Notas para este envio: 0,50/0,50.

Questão **4**

Correto

Atingiu 0,50 de 0,50

Qual a **Latência** de uma instrução LW em uma versão **sem pipeline**?

- ☐ a. 200ps
- ☐ b. 300ps
- ☐ c. 1500ps
- ☒ d. 1150ps
- ☐ e. 150ps



Sua resposta está correta.

A resposta correta é: 1150ps

Correto

Notas para este envio: 0,50/0,50.

Questão **5**

Correto

Atingiu 0,50 de 0,50

Se você pudesse dividir **dois** destes estágios em dois na versão **com pipeline**, qual seria a **melhor escolha** e qual seria o novo **tempo de clock**?

Selecione três alternativas.

- ☐ a. 170ps
- ☒ b. MEM
- ☒ c. 200ps
- ☐ d. 150ps
- ☐ e. WB
- ☒ f. ID
- ☐ g. IF
- ☐ h. 300ps
- ☐ i. 850ps
- ☐ j. EX



Sua resposta está correta.

As respostas corretas são: 200ps, ID, MEM

Correto

Notas para este envio: 0,50/0,50.

Questão 6

Correto

Atingiu 2,00 de 2,00

Considerando o programa MIPS abaixo executado em um pipeline de 5 estágios (IF, ID, EX, MEM, WB):

```
01: loop:
02:     sll $t0,$s3,2
03:     add $t0,$t0,$s6
04:     lw $t1,0($t0)
05:     bne $t1,$s5,saida
06:     add $s3, $s3, 1
07:     j loop

08: saida:
09:     addi $t1, $s5, 10
10:     sw $t1,0($t0)
```

Assinale todas as alternativas corretas:

- ☒ a. Na linha 03 há um Harzard de Dados que pode ser resolvido somente com forwarding ✓
- ☐ b. Na linha 03 há um Harzard de Dados que deve ser resolvido com um stall e com forwarding
- ☐ c. Na linha 03 há um Harzard de Dados que deve ser resolvido com dois stalls e com forwarding
- ☒ d. Na linha 04 há um Harzard de Dados que pode ser resolvido somente com forwarding ✓
- ☐ e. Na linha 04 há um Harzard de Dados que deve ser resolvido com um stall e com forwarding
- ☒ f. A linha 05 gera um Harzard de Controle ✓
- ☐ g. Na linha 05 há um Harzard de Dados que pode ser resolvido somente com forwarding
- ☒ h. Na linha 05 há um Harzard de Dados que deve ser resolvido com um stall e com forwarding ✓
- ☐ i. Na linha 06 há um Harzard de Dados que pode ser resolvido somente com forwarding
- ☐ j. Na linha 06 há um Harzard de Dados deve ser resolvido com um stall e com forwarding
- ☐ k. Na linha 06 há um Harzard de Dados deve ser resolvido com dois stalls e com forwarding
- ☐ l. A linha 07 gera um Harzard de Controle
- ☐ m. Na linha 09 há um Harzard de Dados que pode ser resolvido somente com forwarding
- ☐ n. Na linha 09 há um Harzard de Dados deve ser resolvido com um stall e com forwarding
- ☐ o. Na linha 09 há um Harzard de Dados deve ser resolvido com dois stalls e com forwarding
- ☒ p. Na linha 10 há um Harzard de Dados que pode ser resolvido somente com forwarding ✓
- ☐ q. Na linha 10 há um Harzard de Dados que deve ser resolvido com um stall e com forwarding
- ☐ r. Na linha 10 há um Harzard de Dados que deve ser resolvido com dois stalls e com forwarding

Sua resposta está correta.

As respostas corretas são: Na linha 03 há um Harzard de Dados que pode ser resolvido somente com forwarding, Na linha 04 há um Harzard de Dados que pode ser resolvido somente com forwarding, A linha 05 gera um Harzard de Controle, Na linha 05 há um Harzard de Dados que deve ser resolvido com um stall e com forwarding, Na linha 10 há um Harzard de Dados que pode ser resolvido somente com forwarding

Correto

Notas para este envio: 2,00/2,00.

Questão 7

Correto

Atingiu 0,80 de 1,00

No MIPS, exceção e interrupção são definidos como:

Exceção: Algum evento interno inesperado que ocorreu dentro do processador

Interrupção: Algum evento inesperado gerado externamente

Classifique os eventos abaixo em Exceção ou Interrupção conforme a definição do MIPS

Utilizar uma instrução não definida	Exceção	✓
Overflow em uma operação aritmética	Exceção	✓
Requisição de um dispositivo de E/S	Interrupção	✓

Sua resposta está correta.

A resposta correta é: Utilizar uma instrução não definida → Exceção, Overflow em uma operação aritmética → Exceção, Requisição de um dispositivo de E/S → Interrupção.

Correto

Notas para o envio: 1,00/1,00. De acordo com as tentativas anteriores **0,80/1,00**.

Questão 8

Correto

Atingiu 0,50 de 0,50

O conjunto de instruções do MIPS é um exemplo de RISC.

Escolha uma opção:

- ☒ Verdadeiro ✓
- ☐ Falso

A resposta correta é 'Verdadeiro'.

Correto

Notas para este envio: 0,50/0,50.

Questão 9

Correto

Atingiu 0,50 de 0,50

Associe os conceitos de paralelismo abaixo.

A CPU do MIPS que executa uma instrução por vez, e cada instrução é capaz de operar em apenas um dado.

SISD



Múltiplas instruções operando em um dado único

MISD



Um único core com instruções do tipo SSE

SIMD



O uso de pipeline onde diferentes estágios de diferentes instruções podem ser executados em paralelo em uma única CPU

Paralelismo a nível de instrução



Os vários cores de um multiprocessador, no qual cada core está operando uma instrução diferente e em dados diferentes

MIMD



Sua resposta está correta.

A resposta correta é: A CPU do MIPS que executa uma instrução por vez, e cada instrução é capaz de operar em apenas um dado. → SISD, Múltiplas instruções operando em um dado único → MISD, Um único core com instruções do tipo SSE → SIMD, O uso de pipeline onde diferentes estágios de diferentes instruções podem ser executados em paralelo em uma única CPU → Paralelismo a nível de instrução, Os vários cores de um multiprocessador, no qual cada core está operando uma instrução diferente e em dados diferentes → MIMD.

Correto

Notas para este envio: 0,50/0,50.

Questão 10

Correto

Atingiu 1,35 de 1,50

Conforme a lista de referências a endereços de 8-bits feita pela CPU abaixo (primeira coluna da tabela). Para cada uma destas referências, identifique o valor da Tag, do endereço mapeado na cache e se a referência foi um **Hit** ou **Miss**.

Considere uma cache **mapeada diretamente** com **16 blocos** de **uma única palavra** em cada bloco e **única via**. Considere ainda que a cache está inicialmente vazia.

Endereço solicitado	Tag		Endereço mapeado		Hit/Miss	
0000 0011	0000	✓	0011	✓	M	✓
1011 0100	1011	✓	0100	✓	M	✓
0010 1011	0010	✓	1011	✓	M	✓
0000 0010	0000	✓	0010	✓	M	✓
1011 1111	1011	✓	1111	✓	M	✓
0101 1000	0101	✓	1000	✓	M	✓
1011 1110	1011	✓	1110	✓	M	✓
0000 1110	0000	✓	1110	✓	M	✓
1011 0101	1011	✓	0101	✓	M	✓
0010 1100	0010	✓	1100	✓	M	✓
1011 1010	1011	✓	1010	✓	M	✓
1111 1101	1111	✓	1101	✓	M	✓

Para esta sequência a cache apresentou uma miss rate de aproximadamente ✓ %

Considerando que um *miss stall* custa 25 ciclos e que o tempo de acesso da cache é de 2 ciclos o total de ciclos utilizados por esta sequência é ✓

Correto

Notas para o envio: 1,50/1,50. De acordo com as tentativas anteriores **1,35/1,50**.

Questão **11**

Correto

Atingiu 1,35 de 1,50

Conforme a lista de referências a endereços de 8-bits feita pela CPU abaixo (primeira coluna da tabela). Para cada uma destas referências, identifique o valor da Tag, do endereço mapeado na cache e se a referência foi um **Hit** ou **Miss**.

Considere uma cache **mapeada diretamente** com **8 blocos** de **duas palavras** em cada bloco e **única via**. Considere ainda que a cache está inicialmente vazia.

Endereço solicitado	Tag		Endereço mapeado		Hit/Miss	
0000 0011	0000	✓	001	✓	M	✓
1011 0100	1011	✓	010	✓	M	✓
0010 1011	0010	✓	101	✓	M	✓
0000 0010	0000	✓	001	✓	H	✓
1011 1111	1011	✓	111	✓	M	✓
0101 1000	0101	✓	100	✓	M	✓
1011 1110	1011	✓	111	✓	H	✓
0000 1110	0000	✓	111	✓	M	✓
1011 0101	1011	✓	010	✓	H	✓
0010 1100	0010	✓	110	✓	M	✓
1011 1010	1011	✓	101	✓	M	✓
1111 1101	1111	✓	110	✓	M	✓

Para esta sequência a cache apresentou uma miss rate de aproximadamente % ✓

Considerando que um *miss stall* custa **25 ciclos** e que o tempo de acesso da cache é de **3 ciclos** o total de ciclos utilizados por esta sequência é ✓

Correto

Notas para o envio: 1,50/1,50. De acordo com as tentativas anteriores **1,35/1,50**.

Questão **12**

Correto

Atingiu 0,50 de 0,50

Uma cache associativa de **4 vias** tem as seguintes características:

Endereça palavras de dados de **1 byte**.

São necessários **3 bits** para identificar o deslocamento (offset) dentro do bloco.

São necessários **8 bits** para identificar o conjunto da cache.

O tamanho da cache (considerando somente a memória de dados) é:

- ☐ a. 4 KiB
- ☐ b. 1 KiB
- ☐ c. 24 KiB
- ☐ d. 2 KiB
- ☐ e. 32 KiB
- ☐ f. 16 KiB
- ☒ g. 8 KiB
- ☐ h. 512 bytes



Sua resposta está correta.

A resposta correta é: 8 KiB

Correto

Notas para este envio: 0,50/0,50.

[◀ Handout-8.0: Microcontroladores](#)

Seguir para...

[Entrega do Projeto ▶](#)