

Anotações

---

---

---

---

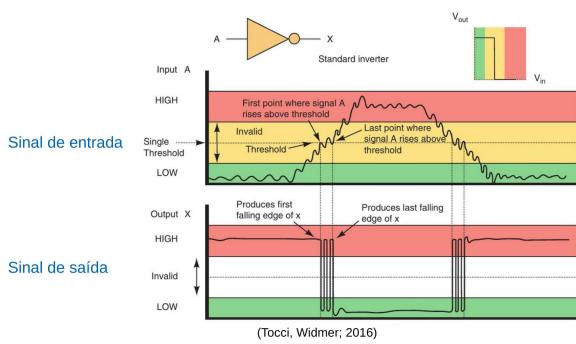
---

## Flip-Flops

Yuri Kaszubowski Lopes

UDESC

### Revisão: Schmitt-Trigger



Anotações

---

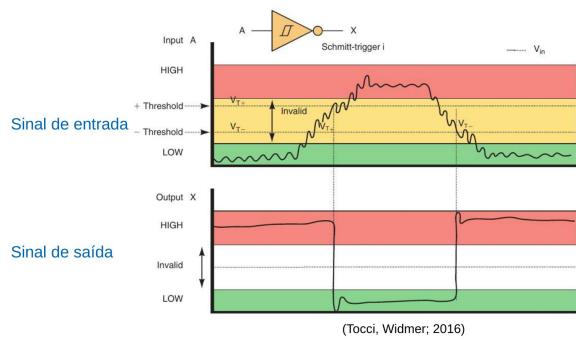
---

---

---

---

### Revisão: Schmitt-Trigger



Anotações

---

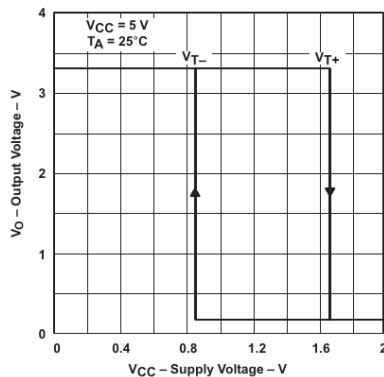
---

---

---

---

## Revisão: Schmitt-Trigger



Texas Instruments (2016)

Anotações

---

---

---

---

---

## Circuitos

- Combinacionais: Full adder
  - ▶ A saída depende exclusivamente da entrada
- Sequenciais: Flip-flops
  - ▶ possuem uma memória interna, e a saída pode depender da entrada e do estado da memória.

Anotações

---

---

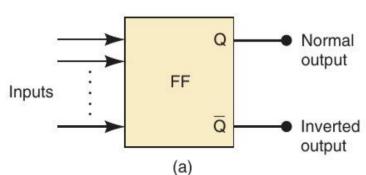
---

---

---

## Flip-Flops

- Circuito sequencial
- Circuito básico de memória
- Conhecidos como **multivibradores biestáveis**
  - ▶ Possuem dois estados estáveis:
    - \* 0
    - \* 1
- Feitos com portas lógicas conectadas com **feedback**
  - ▶ Conectamos determinadas saídas do circuito em determinadas entradas



Símbolo geral de um flip-flop. Adaptado de (TOCCI et al., 2007)

Anotações

---

---

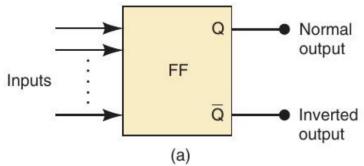
---

---

---

## Flip-Flops

- Temos duas saídas:
  - ▶ Saída normal,  $Q$
  - ▶ Saída invertida,  $\bar{Q}$
- Quando  $Q = 1$  e  $\bar{Q} = 0$  o flip-flop está em **set**
  - ▶ Ao inserir entradas que fazem com que  $Q = 1$  estamos **setando** o flip-flop
- Quando  $Q = 0$  e  $\bar{Q} = 1$  o flip-flop está em **reset**
  - ▶ Ao inserir entradas que fazem com que  $Q = 0$  estamos **resetando** o flip-flop.



Símbolo geral de um flip-flop. Adaptado de (TOCCI et al., 2007)

Anotações

---

---

---

---

---

## Latches

- **Tipo de flip-flop básico**
- Podemos construir com portas **NAND** ou **NOR**.

Anotações

---

---

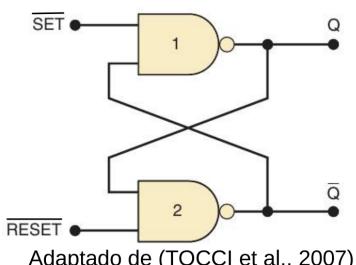
---

---

---

## Latch com NAND

- Construído com duas portas NAND ligadas com feedback
- As entradas ( $\overline{SET}$  e  $\overline{RESET}$ ) **normalmente** estão em nível lógico **alto** (1)
  - ▶ Exceto quando desejamos trocar o estado do latch



Adaptado de (TOCCI et al., 2007)

Anotações

---

---

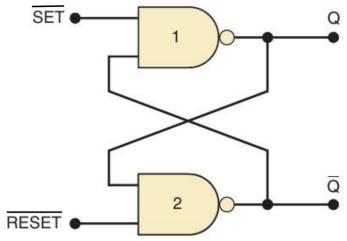
---

---

---

## Setando o Latch

- O set é feito através de um **pulso de nível lógico baixo (0)** na entrada  $\overline{SET}$ 
  - $\overline{RESET}$  não é alterado e é mantido alto
- Temos **dois** comportamentos:
  - Caso  $Q$  fosse 0 antes do pulso
  - Caso  $Q$  fosse 1 antes do pulso



Adaptado de (TOCCI et al., 2007)

Anotações

---

---

---

---

---

---

## Setando o Latch: caso $Q = 0$

- Caso  $Q$  fosse 0 antes do pulso
  - Entre  $t_0$  e  $t_1$ , enviamos um pulso de nível baixo em  $\overline{SET}$ :
    - O NAND-1 recebe 0 do  $\overline{SET}$ , e 1 de  $\overline{Q}$ , logo  $Q = 1$
    - O NAND-2 recebe 1 do  $\overline{RESET}$  e 1 de  $Q$ , logo  $\overline{Q} = 0$
- Após  $t_1$  o nível em  $\overline{SET}$  volta para alto:
  - O NAND-1 recebe 1 do  $\overline{SET}$ , e 0 de  $\overline{Q}$ , logo  $Q = 1$
  - O NAND-2 recebe 1 do  $\overline{RESET}$  e 1 de  $Q$ , logo  $\overline{Q} = 0$

A	B	A.B	$\overline{A}.\overline{B}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Adaptado de (TOCCI et al., 2007)

Anotações

---

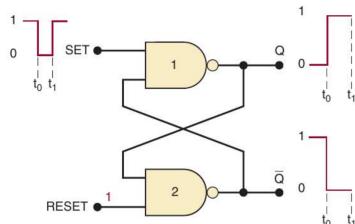
---

---

---

---

---



## Setando o Latch: caso $Q = 1$

- Caso  $Q$  fosse 1 antes do pulso
  - Entre  $t_0$  e  $t_1$ , enviamos um pulso de nível baixo em  $\overline{SET}$ .
    - O NAND-1 recebe 0 do  $\overline{SET}$ , e 0 de  $\overline{Q}$ , logo  $Q = 1$  (i.e., permanece em 1)
    - O NAND-2 recebe 1 do  $\overline{RESET}$  e 1 de  $Q$ , logo  $\overline{Q} = 0$  (i.e., permanece em 0)
- Após  $t_1$  o nível em  $\overline{SET}$  volta para alto:
  - O NAND-1 recebe 1 do  $\overline{SET}$ , e 0 de  $\overline{Q}$ , logo  $Q = 1$
  - O NAND-2 recebe 1 do  $\overline{RESET}$  e 1 de  $Q$ , logo  $\overline{Q} = 0$

A	B	A.B	$\overline{A}.\overline{B}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Adaptado de (TOCCI et al., 2007)

Anotações

---

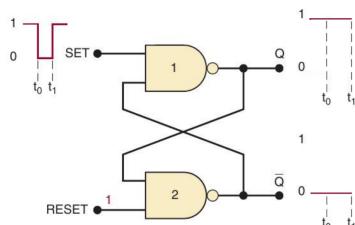
---

---

---

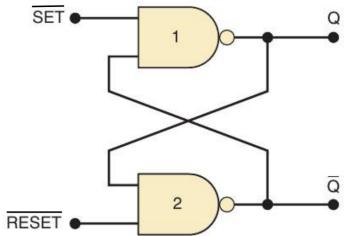
---

---



## Resetando o Latch

- O **reset** é feito através de um **pulso de nível lógico baixo (0)** na entrada  $\overline{\text{RESET}}$ 
  - $\overline{\text{SET}}$  não é alterado e é mantido alto
- Também temos **dois** comportamentos:
  - Caso  $Q$  fosse 0 antes do pulso
  - Caso  $Q$  fosse 1 antes do pulso



Adaptado de (TOCCI et al., 2007)

### Anotações

---

---

---

---

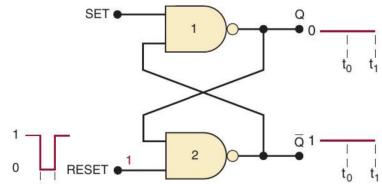
---

---

## Resetando o Latch: caso $Q = 0$

- Caso  $Q$  fosse 0 antes do pulso
  - Entre  $t_0$  e  $t_1$  enviamos um pulso de nível baixo em  $\overline{\text{RESET}}$ :
    - O NAND-2 recebe 0 do  $\overline{\text{RESET}}$  e 0 de  $Q$ , logo  $\overline{Q} = 1$  (i.e., permanece em 1)
    - O NAND-1 recebe 1 do  $\overline{\text{SET}}$ , e 1 de  $\overline{Q}$ , logo  $Q = 0$  (i.e., permanece em 0)
- Após  $t_1$  o nível em  $\overline{\text{RESET}}$  volta para alto:
  - O NAND-2 recebe 1 do  $\overline{\text{RESET}}$  e 0 de  $Q$ , logo  $\overline{Q} = 1$
  - O NAND-1 recebe 1 do  $\overline{\text{SET}}$ , e 1 de  $\overline{Q}$ , logo  $Q = 0$

A	B	A.B	$\overline{A.B}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0



Adaptado de (TOCCI et al., 2007)

### Anotações

---

---

---

---

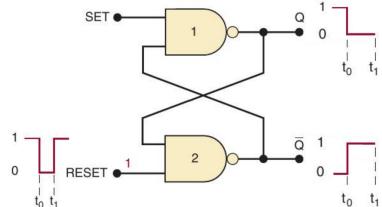
---

---

## Resetando o Latch: caso $Q = 1$

- Caso  $Q$  fosse 1 antes do pulso
  - Entre  $t_0$  e  $t_1$  enviamos um pulso de nível baixo em  $\overline{\text{RESET}}$ :
    - O NAND-2 recebe 0 do  $\overline{\text{RESET}}$  e 1 de  $Q$ , logo  $\overline{Q} = 0$
    - O NAND-1 recebe 1 do  $\overline{\text{SET}}$ , e 1 de  $\overline{Q}$ , logo  $Q = 0$
- Após  $t_1$  o nível em  $\overline{\text{RESET}}$  volta para alto:
  - O NAND-2 recebe 1 do  $\overline{\text{RESET}}$  e 0 de  $Q$ , logo  $\overline{Q} = 1$
  - O NAND-1 recebe 1 do  $\overline{\text{SET}}$ , e 1 de  $\overline{Q}$ , logo  $Q = 0$

A	B	A.B	$\overline{A.B}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0



Adaptado de (TOCCI et al., 2007)

### Anotações

---

---

---

---

---

---

## Set e Reset simultâneos

- Durante o pulso,  $Q = \bar{Q} = 1$ 
  - ▶ Uma situação absurda!
- Após o fim do pulso, o resultado vai depender de quem retorna para alto antes ( $\overline{SET}$  ou  $\overline{RESET}$ )
  - ▶ Se ambos voltam para alto ao mesmo tempo, não podemos predizer o resultado
  - ▶ De forma geral, enviar um nível lógico baixo para  $\overline{SET}$  e  $\overline{RESET}$  ao mesmo tempo nos levará a comportamentos indesejados e/ou imprevisíveis

Anotações

---



---



---



---



---



---

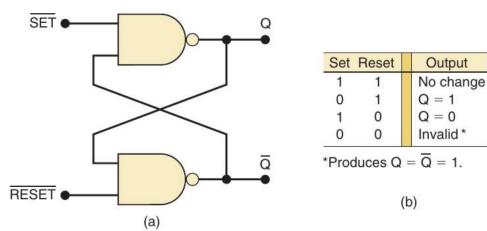


---



---

## Latch com NAND: Resumo



TOCCI et al., 2007

Anotações

---



---



---



---



---



---

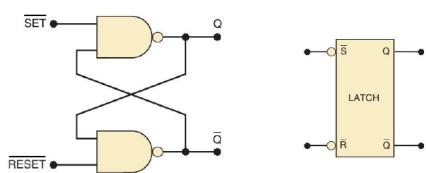


---



---

## Latch com NAND



TOCCI et al., 2007

Anotações

---



---



---



---



---



---



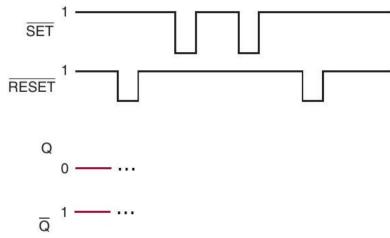
---



---

## Exercício

- 1 Considere os sinais de onda retangular abaixo nas entradas  $\overline{SET}$  e  $\overline{RESET}$  de um Latch NAND. Considere que  $Q$  está inicialmente em 0
- 1 Como será o sinal de onda em  $Q$ ?
  - 2 Como será o sinal de onda em  $\overline{Q}$ ?



Anotações

---

---

---

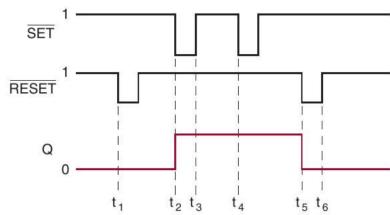
---

---

---

## Exercício

- Resposta parcial



Anotações

---

---

---

---

---

---

## Latch com NOR

- Podemos seguir um raciocínio similar ao utilizado com NAND's para construir um latch com NOR's
  - ▶ Uma das diferenças principais é que  $SET$  e  $RESET$  ficam em nível lógico baixo
  - ▶ Um nível lógico alto é enviado somente quando desejamos enviar um set/reset

Anotações

---

---

---

---

---

---

## Energizando os latches

- Ao energizar um latch, não podemos afirmar se  $Q = 0$  ou  $Q = 1$ 
  - ▶ Depende de alguns fatores
    - \* Atrasos de propagação do circuito
    - \* Capacitâncias parasitas
- Se o latch precisa ser iniciado em determinado estado, como podemos proceder?
  - ▶ Aciona-se o seu  $SET/\bar{SET}$  ou  $RESET/\bar{RESET}$  ao energizar o latch
  - ▶ Dependendo se desejamos que o estado inicial seja 0 ou 1

Anotações

---

---

---

---

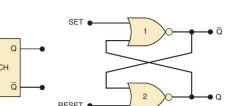
---

---

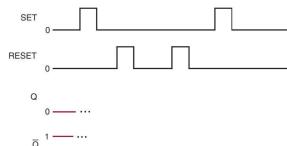
## Exercício

- Faça a mesma análise realizada para o latch NAND no latch de NOR's
  - ▶ Compare seus resultados com Tocci et al (2007).
  - ▶ Preencha a tabela a seguir com a saída esperada em  $Q$  em caso de  $SET/RESET$

Set	Reset	Output
0	0	
1	0	
0	1	
1	1	Invalid *



- Considere os sinais de onda retangular abaixo nas entradas  $SET$  e  $RESET$  de um Latch NOR. Considere que  $Q$  está inicialmente em 0.
  - 1 Como será o sinal de onda em  $Q$ ?
  - 2 Como será o sinal de onda em  $\bar{Q}$ ?



Anotações

---

---

---

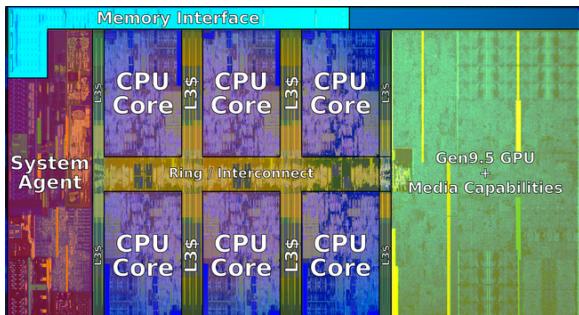
---

---

---

## Utilização de Flip-Flops

- Memórias SRAM (Static random-access memory) comumente são construídas com flip-flops
  - ▶ E.g., memória cache e registradores da CPU



Core i7-8700K 6 Cores e 12MB de Cache

Anotações

---

---

---

---

---

---

## Referências

- TOCCI, R.J.; MOSS, G.L.; WIDMER,N.S. **Digital Systems: Principles and Applications.** 12a ed, Prentice-Hall, 2016.
- TOCCI, R.J.; WIDMER,N.S. **Sistemas digitais: princípios e aplicações.** 11a ed, Prentice-Hall, 2011.
- TANENBAUM, A.S. **Organização estruturada de computadores.** 5. ed. São Paulo: Pearson, 2007.
- BIGNELL, J., DONOVAN, R. **Eletrônica Digital.** Cengage do Brasil, 2010
- MELO, M. **Eletrônica Digital.** Makron Books.2003.
- Texas Instruments. SNx414 and SNx4LS14 Hex Schmitt-Trigger Inverters, 2016.

## Anotações

---

---

---

---

---

---

---

## Anotações

---

---

---

---

---

---

---

## Anotações

---

---

---

---

---

---

---