

[Painel](#) / [Meus cursos](#) / [Departamento de Ciência da Computação](#) / [Bacharelado em Ciência da Computação](#) / [2023/1 CC](#)
/ [2023/1 CCT CCI192-04U AOC0004](#) / [Semana 11](#) / [Atividade 05 \(6.7-6.12\)](#)

Iniciado em	Sunday, 28 May 2023, 18:39
Estado	Finalizada
Concluída em	Monday, 29 May 2023, 23:59
Tempo empregado	1 dia 5 horas
Avaliar	0,00 de um máximo de 10,00(0%)

Questão 1

Não respondido

Atingiu 0,00 de 1,25

Para a adição de forwardings no nosso pipeline do MIPS devemos adicionar multiplexadores que selecionaram os dados para o estágio EX dos registradores de pipeline ID/EX. EX/MEM ou MEM/WB (além do multiplexador já existente para selecionar entre registrado ou imediado para a fonte 2 da ALU.

Escolha uma opção:

- ☐ Verdadeiro
- ☐ Falso

A resposta correta é 'Verdadeiro'.

Questão 2

Não respondido

Atingiu 0,00 de 1,25

Considere o código abaixo:

...
09: **addi** \$t1, \$s4, 2
10: **addi** \$t1, \$s5, 7
11: **addi** \$t0, \$t0, 10
12: **add** \$s0, \$t0, \$t1
...

Quais são os registradores de pipeline de origem para cada fonte da ALU quando a instrução **add**, da **Linha 12**, estiver no estágio EX?

Fonte 1 (**\$t0**)

Escolher...

Fonte 2 (**\$t1**)

Escolher...

Sua resposta está incorreta.
A resposta correta é: Fonte 1 (**\$t0**) → EX/MEM, Fonte 2 (**\$t1**) → MEM/WB.

Questão 3

Não respondido

Atingiu 0,00 de 1,25

Considere o código abaixo:

```
...
09: addi $t1, $s4, 2
10: addi $t1, $s5, 7
11: addi $t0, $t0, 10
12: add $s0, $t1, $t2
...
```

Quais são os registradores de pipeline de origem para cada fonte da ALU quando a instrução **add**, da **Linha 12**, estiver no estágio EX?

Fonte 1 (\$t1)

Fonte 2 (\$t2)

Sua resposta está incorreta.

A resposta correta é: Fonte 1 (\$t1) → MEM/WB, Fonte 2 (\$t2) → ID/EX.

Questão 4

Não respondido

Atingiu 0,00 de 1,25

Considere o código C abaixo:

```
for (int i = 0; i < 10; i++) {
    j = 10;
    while (j) {
        j--;
        // ....
    }
}
```

Sobre previsão de desvio em hazard de controle. Desconsiderando qualquer conflito de endereço no buffer de instrução, com respeito a previsão do **while**, podemos afirmar que (selecione **todas** as corretas):

- ☐ a. Com buffer de previsão que utiliza **2 bits erraremos a previsão do while toda vez que j é 0 e 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza.
- ☐ b. Com buffer de previsão que utiliza **1 ou 2 bits sempre acertaremos a previsão do while para qualquer valor de j entre 1 e 9**
- ☐ c. Com buffer de previsão que utiliza **1 bit erraremos a previsão do while toda vez que j é 0 e acertaremos a previsão do while toda vez que j é 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza.
- ☐ d. Com buffer de previsão que utiliza **1 bit erraremos a previsão do while toda vez que j é 0 e 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza.
- ☐ e. Com buffer de previsão que utiliza **2 bits erraremos a previsão do while toda vez que j é 0 e acertaremos a previsão do while toda vez que j é 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza.

Sua resposta está incorreta.

As respostas corretas são: Com buffer de previsão que utiliza **1 bit erraremos a previsão do while toda vez que j é 0 e 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza., Com buffer de previsão que utiliza **2 bits erraremos a previsão do while toda vez que j é 0 e acertaremos a previsão do while toda vez que j é 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza., Com buffer de previsão que utiliza **1 ou 2 bits sempre acertaremos a previsão do while para qualquer valor de j entre 1 e 9**

Questão 5

Não respondido

Atingiu 0,00 de 1,25

No MIPS, exceção e interrupção são definidos como:

Exceção

Escolher...

Interrupção

Escolher...

Sua resposta está incorreta.

A resposta correta é: Exceção → Algum evento interno inesperado que ocorreu dentro do processador, Interrupção → Algum evento inesperado gerado externamente.

Questão 6

Não respondido

Atingiu 0,00 de 1,25

Para cada arquitetura/família de microcontroladores abaixo indique o tipo de conjunto de instrução.

x86_64

Escolher...

MIPS

Escolher...

PIC18F

Escolher...

x86 de 32 bits

Escolher...

AVR (AtMega)

Escolher...

Sua resposta está incorreta.

A resposta correta é: x86_64 → CISC, MIPS → RISC, PIC18F → RISC, x86 de 32 bits → CISC, AVR (AtMega) → RISC.

Questão 7

Não respondido

Atingiu 0,00 de 1,25

Associe os conceitos de paralelismo abaixo:

Os vários cores de um multiprocessador, no qual cada core está operando uma instrução diferente e em dados diferentes.

Escolher...

Múltiplas instrução e múltiplos dados.

Escolher...

Uma instrução operando em um único dado.

Escolher...

Múltiplas instrução operando em um único dado.

Escolher...

Uma instrução operando em múltiplos dados.

Escolher...

Um único core com instruções do tipo SSE.

Escolher...

Sua resposta está incorreta.

A resposta correta é: Os vários cores de um multiprocessador, no qual cada core está operando uma instrução diferente e em dados diferentes. → MIMD, Múltiplas instrução e múltiplos dados. → MIMD, Uma instrução operando em um único dado. → SISD, Múltiplas instrução operando em um único dado. → MISD, Uma instrução operando em múltiplos dados. → SIMD, Um único core com instruções do tipo SSE. → SIMD.

Questão 8

Não respondido

Atingiu 0,00 de 1,25

Para modificarmos a arquitetura do MIPS para suportar instruções SSE precisamos pelo menos adicionar no nosso caminho de dados mais ALUs registradores maiores (por exemplo, com 128 bits de dados)

Escolha uma opção:

☐ Verdadeiro

☐ Falso

A resposta correta é 'Verdadeiro'.

◀ Handout-6.8: Hazards de Controle

Seguir para...

Handout-6.9: Exceções, Interrupções e I/O ►