

**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA KHOA HỌC VÀ KỸ THUẬT MÁY TÍNH**



**BÀI THÍ NGHIỆM 2
MÔN HỌC: HỆ THỐNG SỐ**

**LỚP DT01--- NHÓM 04 --- HK243
NGÀY NỘP 15/07/2025**

GVHD: Thầy Đoàn Minh Vững

Họ và tên	MSSV
Phạm Công Võ	2313946
Trần Đăng Tiến	2033766
Nguyễn Thái Nhật Huy	2433144

TP. Hồ Chí Minh – Tháng 7/ 2025

1. Lý thuyết về Flip-Flop JK

Flip-Flop JK là một phần tử nhớ có hai đầu vào J và K, hoạt động đồng bộ với xung Clock (CK). Đây là một loại Flip-Flop phổ biến vì nó có thể thực hiện được cả ba chức năng: giữ nguyên, đặt (Set), xóa (Reset) và đảo trạng thái (Toggle).

* Bảng Hoạt Động

Clock	J	K	Q_{kt}	Diễn giải
↑	0	0	Q_{ht}	Giữ nguyên
↑	0	1	0	Reset
↑	1	0	1	Set
↑	1	1	$\overline{Q_{ht}}$	Đảo trạng thái (Toggle)

Ghi chú:

- Q_{ht} : trạng thái hiện tại
- Q_{kt} : trạng thái kế tiếp
- ↑: tác động khi có cạnh lên của xung Clock

* Bảng kích thích (Excitation Table)

Dùng khi thiết kế mạch: từ trạng thái hiện tại Q_{ht} và trạng thái mong muốn Q_{kt} , ta xác định cần đưa giá trị gì vào J và K.

Q_{ht}	Q_{kt}	J	K
0	0	0	X
0	1	1	X
1	0	X	0
1	1	X	1

* Đặc điểm Flip-Flop JK

- Cho phép đảo trạng thái khi $J = K = 1$ (khả năng đặc biệt của FF JK).
- Không có trạng thái không xác định như FF RS.
- Có thể dùng để thiết kế bộ đếm, mạch chia tần, mạch nhớ, v.v.

2. Thiết kế bộ đếm lên bất đồng bộ MOD-12 bằng JK Flip-Flop

Yêu cầu:

- Thiết kế bộ đếm lên (up counter), bất đồng bộ (asynchronous), có chu kỳ MOD-12, tức là đếm từ 0 đến 11, sau đó quay về 0.
- Sử dụng JK Flip-Flop làm phần tử nhớ.
- Đầu ra: $Q_3 Q_2 Q_1 Q_0$ (Q_3 là bit cao nhất, Q_0 là bit thấp nhất)
- Dùng mạch logic kết hợp (AND, OR, NOT nếu cần) để tự động reset khi đếm đến 12 (1100_2).

Trình Bày:

Bước 1: Xác định số lượng Flip-Flop

Ta cần tìm số bit n sao cho:

$$2^n \geq 12 \Rightarrow n = 4$$

→ Cần 4 Flip-Flop JK

Bước 2: Bảng hoạt động của mạch đếm lên mod 12 (0-→11), với các trạng thái lớn hơn 12 được tùy chọn:

D	C	B	A	Z	Trạng Thái Đếm
0	0	0	0	1	0
0	0	0	1	1	1
0	0	1	0	1	2
0	0	1	1	1	3
0	1	0	0	1	4
0	1	0	1	1	5
0	1	1	0	1	6
0	1	1	1	1	7
1	0	0	0	1	8
1	0	0	1	1	9
1	0	1	0	1	10

1	0	1	1	1	11
1	1	0	0	0	Không bền vững, về lại trạng thái 0
1	1	0	1	X	Tùy chọn
1	1	1	0	X	Tùy chọn
1	1	1	1	X	Tùy chọn

Khi mạch đếm đạt đến trạng thái 11 (1011), đây là trạng thái cuối cùng hợp lệ trong bộ đếm MOD-12. Sau trạng thái này, nếu không có cơ chế reset, mạch có thể tiếp tục đếm đến các trạng thái không mong muốn (12, 13, 14, 15). Ta nhận thấy khi mạch đếm đến trạng thái 12 là trạng thái trung gian không bền vững, nó sẽ nhanh chóng bị xóa về trạng thái 0.

Như vậy, đối với các trạng thái không hợp lệ sau trạng thái 12 là 13, 14, 15 sẽ không tồn tại. Tại các trạng thái này ta có thể tùy chọn gán đầu ra $Z = x$ (don't care) để phục vụ cho việc rút gọn biểu thức logic.

Bước 3: Lập bảng Karnaugh

Dạng SOP:

		B, A			
		00	01	11	10
D, C	00	1	1	1	1
	01	1	1	1	1
	11	0	x	x	x
	10	1	1	1	1
		$\bar{D} + \bar{C}$			

Dạng POS:

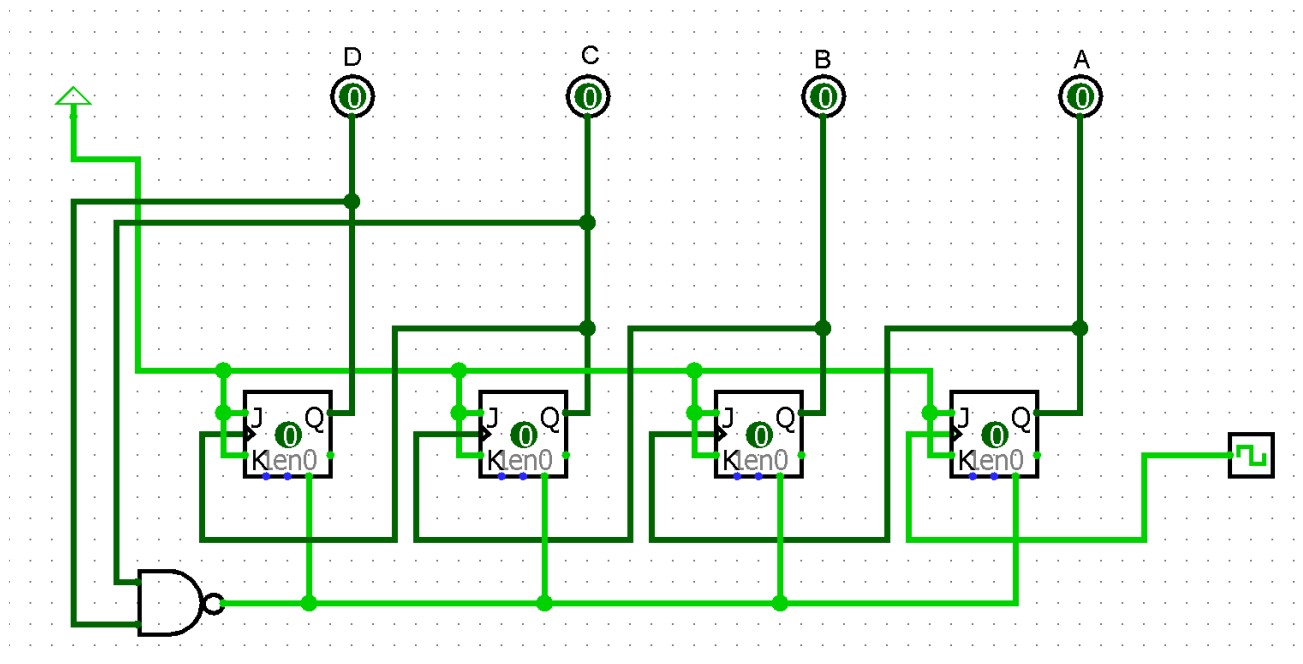
		B, A			
		00	01	11	10
D, C	00	1	1	1	1
	01	1	1	1	1
	11	0	x	x	x
	10	1	1	1	1
		$\bar{D} + \bar{C}$			

Hình 1: Bảng Karnaugh Cho Z Với Các Trạng Thái Lớn Hơn 12 Tùy Chọn

Ta có công thức:

$$Z = \bar{D} + \bar{C} = \overline{DC}$$

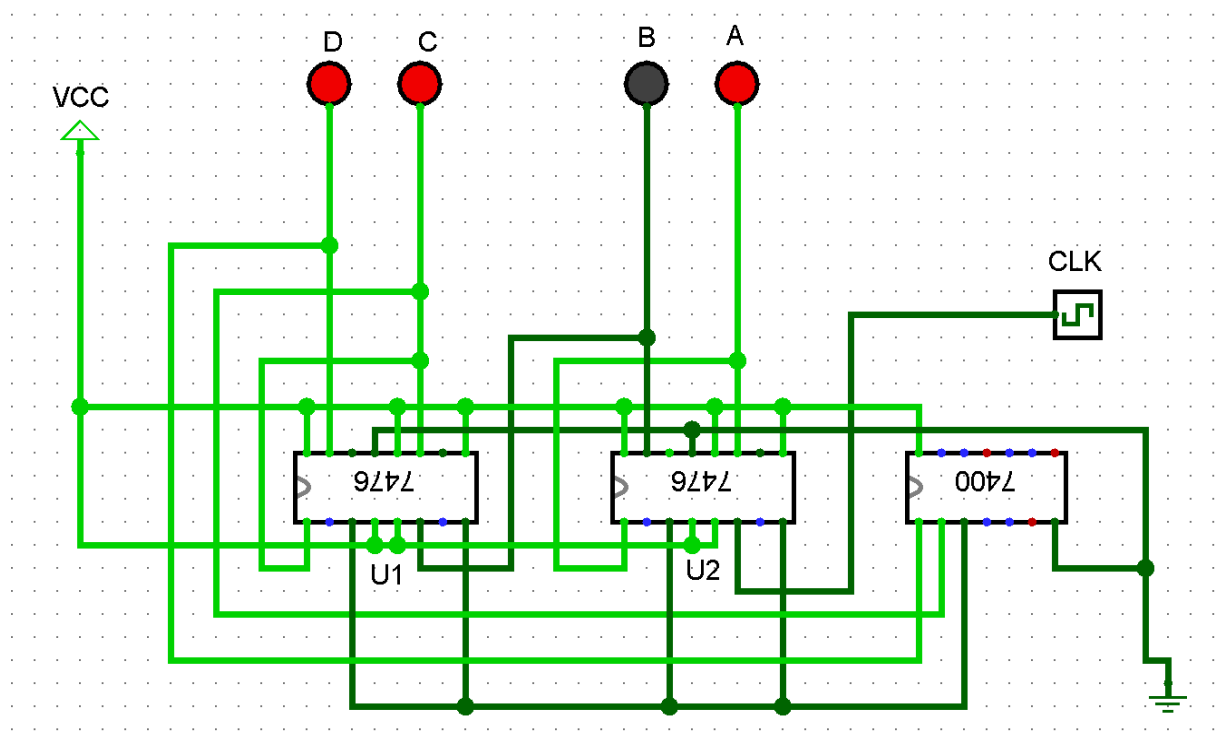
Bước 4: Mô Phỏng Mạch



Hình 2: Mô Phỏng Mạch Đếm Lên Mod 12

Bước 5: Sơ Đồ Mạch

Sử dụng 2 IC 7476 (JK Flip Flop) và IC 7400 (Cổng NAND):



Hình 3: Sơ Đồ Mạch Đếm Lên Mod 12 Sử IC 7476, IC 7400

Bước 6: Lập Bảng Checklist

a. IC 7476

STT	Đầu thứ nhất	Đầu còn lại
1	5V KTN	Chân 5 của IC 7476 (U1) Chân 5 của IC 7476 (U2) Chân 4 của IC 7476 (U1) Chân 16 của IC 7476 (U1) Chân 9 của IC 7476 (U1) Chân 12 của IC 7476 (U1) Chân 4 của IC 7476 (U2) Chân 16 của IC 7476 (U2) Chân 9 của IC 7476 (U2) Chân 12 của IC 7476 (U2)
2	GND KTN	Chân 13 của IC 7476 (U1) Chân 13 của IC 7476 (U2)
4	Chân 15 của IC 7476 (U1)	LED 0 (D)
5	Chân 11 của IC 7476 (U1)	LED 1 (C)
6	Chân 15 của IC 7476 (U2)	LED 2 (B)
7	Chân 11 của IC 7476 (U2)	LED 3 (A)
5	Chân 1 của IC 7476 (U1)	Chân 11 của IC 7476 (U1)
6	Chân 6 của IC 7476 (U1)	Chân 15 của IC 7476 (U2)
7	Chân 1 của IC 7476 (U2)	Chân 11 của IC 7476 (U2)
8	Chân 6 của IC 7476 (U2)	CLK
9	Chân 15 của IC 7476 (U1)	Chân 1 của IC 7400
10	Chân 11 của IC 7476 (U1)	Chân 2 của IC 7400

b. IC 7400

STT	Đầu thứ nhất	Đầu còn lại
1	5V KTN	Chân 14 của IC 7400
2	GND KTN	Chân 7 của IC 7404
4	Chân 3 của IC 7400	Chân 2 của IC 7476 (U1) Chân 8 của IC 7476 (U1) Chân 2 của IC 7476 (U2) Chân 8 của IC 7476 (U2)

3. Yêu cầu thiết kế mạch đếm đồng bộ MOD - 12

Thiết kế bộ đếm đồng bộ đếm từ

0 -> 1-> 2-> 3-> 4-> 5-> 6-> 7-> 8-> 9-> 10-> 11-> 0-> 1-> 2 ->....

- Sử dụng JK Flip-Flop, Tất cả Flip-Flop nhận cùng xung Clock.
- Các trạng thái khác 12, 13, 14,15 tùy chọn.
- Xây dựng:
 - ✓ Bảng trạng thái
 - ✓ Bảng kích thích J/K
 - ✓ Sơ đồ mạch logic
- Mạch phải tự reset về 0 khi đến trạng thái 12 (1100₂).

Trình Bày:

Bước 1: Xác định số lượng Flip-Flop

Ta cần tìm số bit n sao cho:

$$2^n \geq 12 \Rightarrow n = 4$$

→ Cần 4 Flip-Flop JK

Bước 2: Bảng hoạt động

STT	D_{ht}	C_{ht}	B_{ht}	A_{ht}	D_{kt}	C_{kt}	B_{kt}	A_{kt}
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	0	1	1
11	1	0	1	1	0	0	0	0
12	1	1	0	0	x	x	x	x
13	1	1	0	1	x	x	x	x
14	1	1	1	0	x	x	x	x
15	1	1	1	1	x	x	x	x

✓ **Bảng kích thích J/K**

1. Bảng Giá trị Kích hoạt J/K của Flip Flop D

STT	D_{ht}	D_{kt}	J_D	K_D
0	0	0	0	X
1	0	0	0	X
2	0	0	0	X
3	0	0	0	X
4	0	0	0	X
5	0	0	0	X
6	0	0	0	X
7	0	1	1	X
8	1	1	X	0
9	1	1	X	0
10	1	1	X	0
11	1	0	X	1

Bảng 2: Bảng giá trị kích hoạt J/K cho Flip-Flop D mạch đếm đồng bộ MOD-12

2. Bảng Giá trị Kích hoạt J/K của Flip Flop C

STT	C_{ht}	C_{kt}	J_C	K_C
0	0	0	0	X
1	0	0	0	X
2	0	0	0	X
3	0	1	1	X
4	1	1	X	0
5	1	1	X	0
6	1	1	X	0
7	1	0	X	1
8	0	0	0	X
9	0	0	0	X
10	0	0	0	X
11	0	0	0	X

Bảng 3: Bảng giá trị kích hoạt J/K cho Flip-Flop C mạch đếm đồng bộ MOD-12

3. Bảng Giá trị Kích hoạt J/K của Flip Flop B

STT	B_{ht}	B_{kt}	J_B	K_B
0	0	0	0	X
1	0	1	1	x
2	1	1	X	0
3	1	0	X	1
4	0	0	0	X
5	0	1	1	X
6	1	1	X	0
7	1	0	X	1
8	0	0	0	X
9	0	1	1	X
10	1	1	X	0
11	1	0	X	1

Bảng 4: Bảng giá trị kích hoạt J/K cho Flip-Flop B mạch đếm đồng bộ MOD-12

4. Bảng Giá trị Kích hoạt J/K của Flip Flop A

STT	A_{ht}	A_{kt}	J_A	K_A
0	0	1	1	X
1	1	0	X	1
2	0	1	1	X
3	1	0	X	1
4	0	1	1	X
5	1	0	X	1
6	0	1	1	X
7	1	0	X	1
8	0	1	1	X
9	1	0	X	1
10	0	1	1	X
11	1	0	X	1

Bảng 5: Bảng giá trị kích hoạt J/K cho Flip-Flop A mạch đếm đồng bộ MOD-12

Bước 3: Lập bảng Karnaugh Cho Từng Hàm J, K

Bảng trên là bảng giá trị kích hoạt J_D và K_D cho Flip-Flop D, được lập dựa trên quá trình chuyển trạng thái của bộ đếm đồng bộ từ 0 đến 11 (MOD-12). Trong thiết kế này, tôi chỉ quan tâm đến 12 trạng thái hợp lệ (từ 0000 đến 1011 tương ứng với các giá trị từ 0 đến 11 trong hệ thập phân), vì đây là phạm vi hoạt động chính thức của bộ đếm.

Các trạng thái còn lại từ 12 đến 15 (1100 đến 1111 trong hệ nhị phân) không được sử dụng trong hoạt động bình thường của mạch và được xem là trạng thái không hợp lệ hoặc không quan tâm. Do đó, trong các dòng tương ứng với các trạng thái này, giá trị của J_D và K_D được ký hiệu là "X" (don't care). Việc sử dụng giá trị don't care giúp đơn giản hóa các biểu thức logic khi thiết kế mạch, từ đó tối ưu hóa tài nguyên phần cứng và nâng cao hiệu suất hoạt động của hệ thống.

a/ Dùng Bìa Karnaugh Rút gọn Biểu thức J_D và K_D

		B, A			
		00	01	11	10
D, C	00	0	0	0	0
	01	0	0	1	0
	11	x	x	x	x
	10	x	x	x	x
		C B A			

		B, A			
		00	01	11	10
D, C	00	x	x	x	x
	01	x	x	x	x
	11	x	x	x	x
	10	0	0	1	0
		B A			

$$J_D = CBA$$

$$K_D = BA$$

Hình 4: Bảng Karnaugh cho J_D và K_D

b/ Dùng Bìa Karnaugh Rút gọn Biểu thức J_C và K_C

		B, A			
		00	01	11	10
D, C	00	0	0	1	0
	01	x	x	x	x
	11	x	x	x	x
	10	0	0	0	0
		\bar{D} B A			

		B, A			
		00	01	11	10
D, C	00	x	x	x	x
	01	0	0	1	0
	11	x	x	x	x
	10	x	x	x	x
		B A			

$$J_C = \bar{D}BA$$

$$K_C = BA$$

Hình 5: Bảng Karnaugh cho J_C và K_C

c/ Dùng Bìa Karnaugh Rút gọn Biểu thức J_B và K_B

		B, A			
		00	01	11	10
D, C	00	0	1	x	x
	01	0	1	x	x
	11	x	x	x	x
	10	0	1	x	x

A

$$J_B = A$$

		B, A			
		00	01	11	10
D, C	00	x	x	1	0
	01	x	x	1	0
	11	x	x	x	x
	10	x	x	1	0

A

$$K_B = A$$

Hình 6: Bảng Karnaugh cho J_B và K_B

d/ Dùng Bìa Karnaugh Rút gọn Biểu thức J_A và K_A

		B, A			
		00	01	11	10
D, C	00	1	x	x	1
	01	1	x	x	1
	11	x	x	x	x
	10	1	x	x	1

1

$$J_A = 1$$

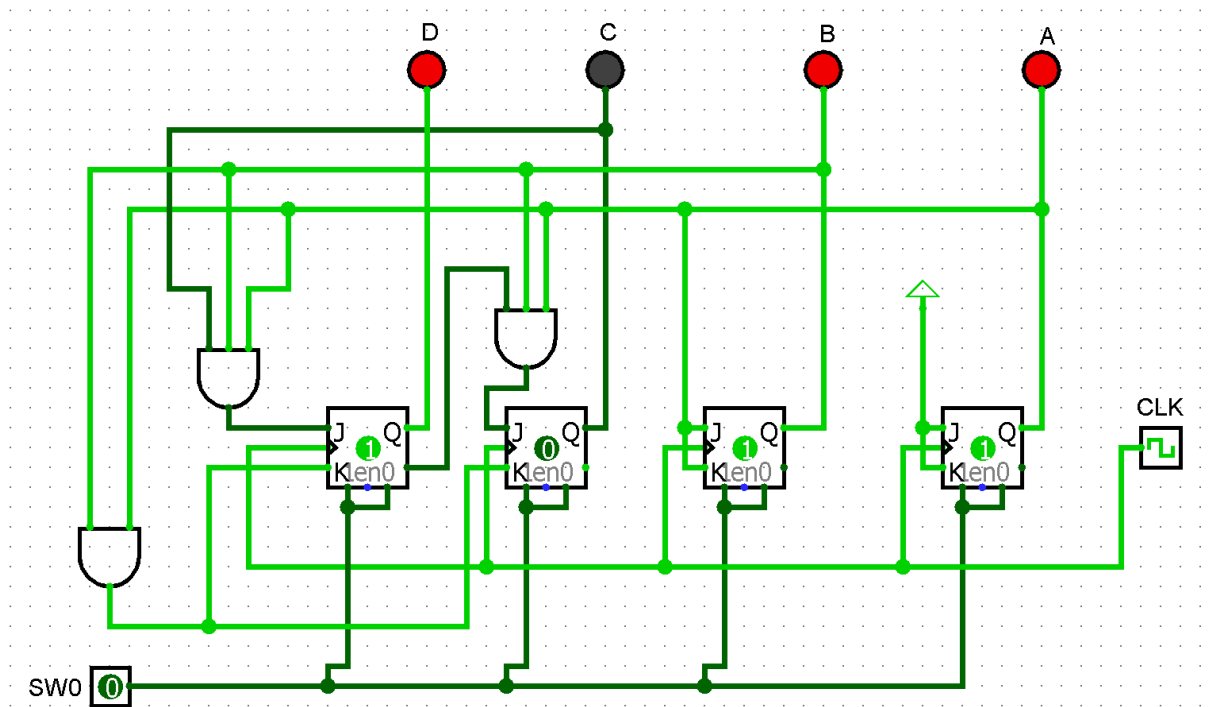
		B, A			
		00	01	11	10
D, C	00	x	1	1	x
	01	x	1	1	x
	11	x	x	x	x
	10	x	1	1	x

1

$$K_A = 1$$

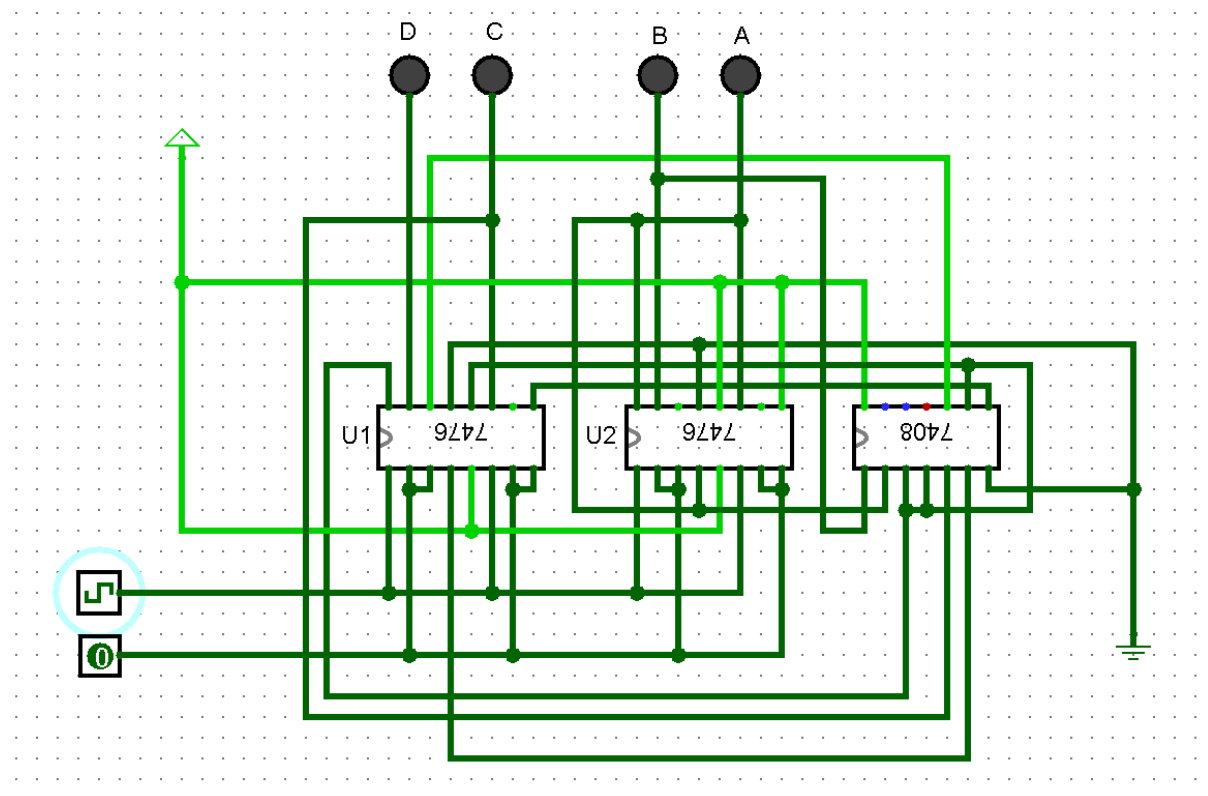
Hình 7: Bảng Karnaugh cho J_A và K_A

Bước 4: Mô Phỏng Mạch

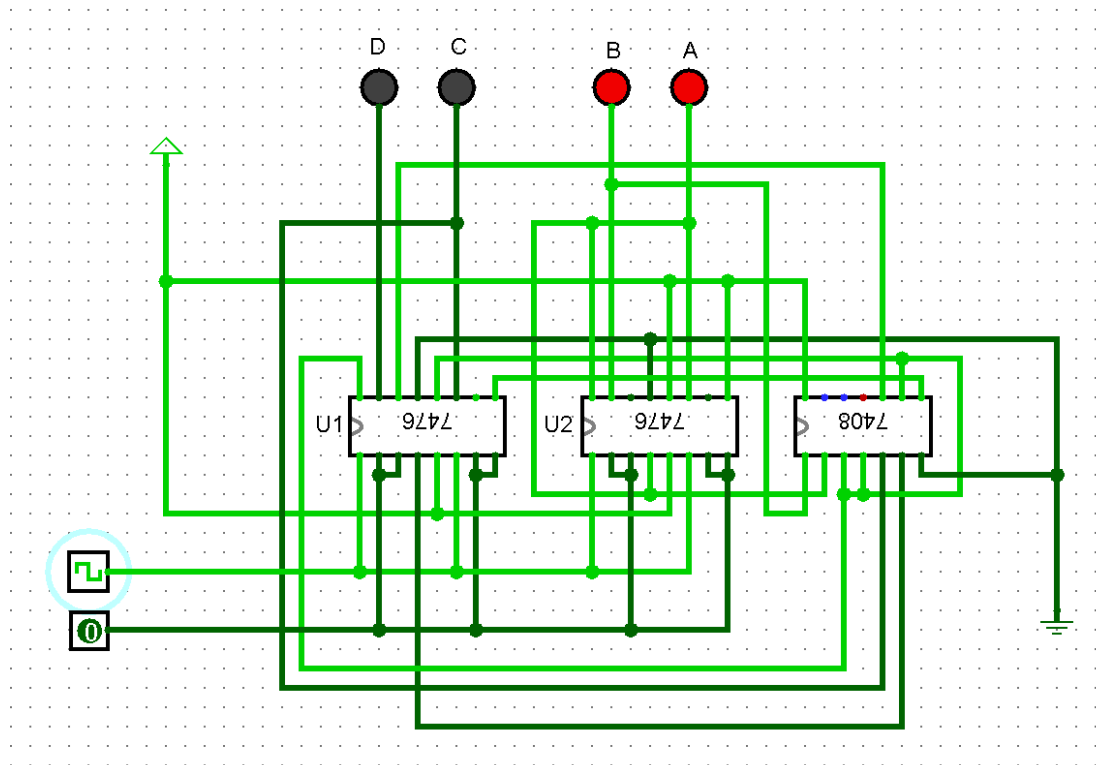


Hình 8: Mô Phỏng Mạch Đếm Đồng Bộ Từ 0 → 1 → 2 → ... → 11 → 0

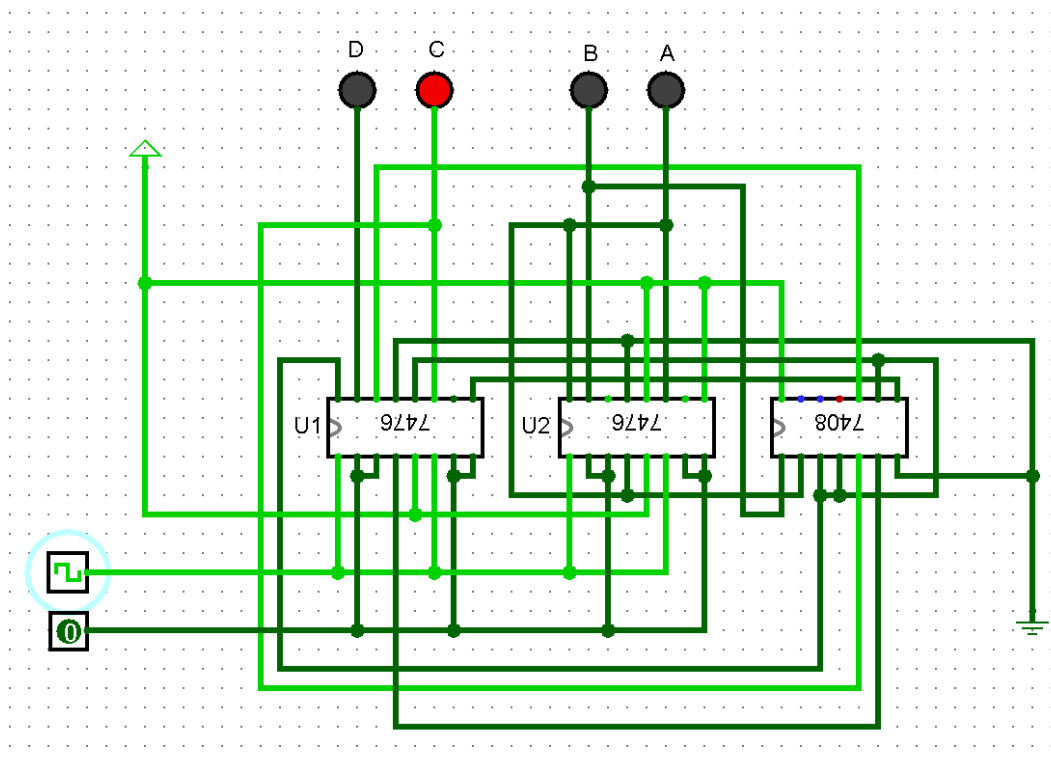
Bước 5: Sơ Đồ Mạch



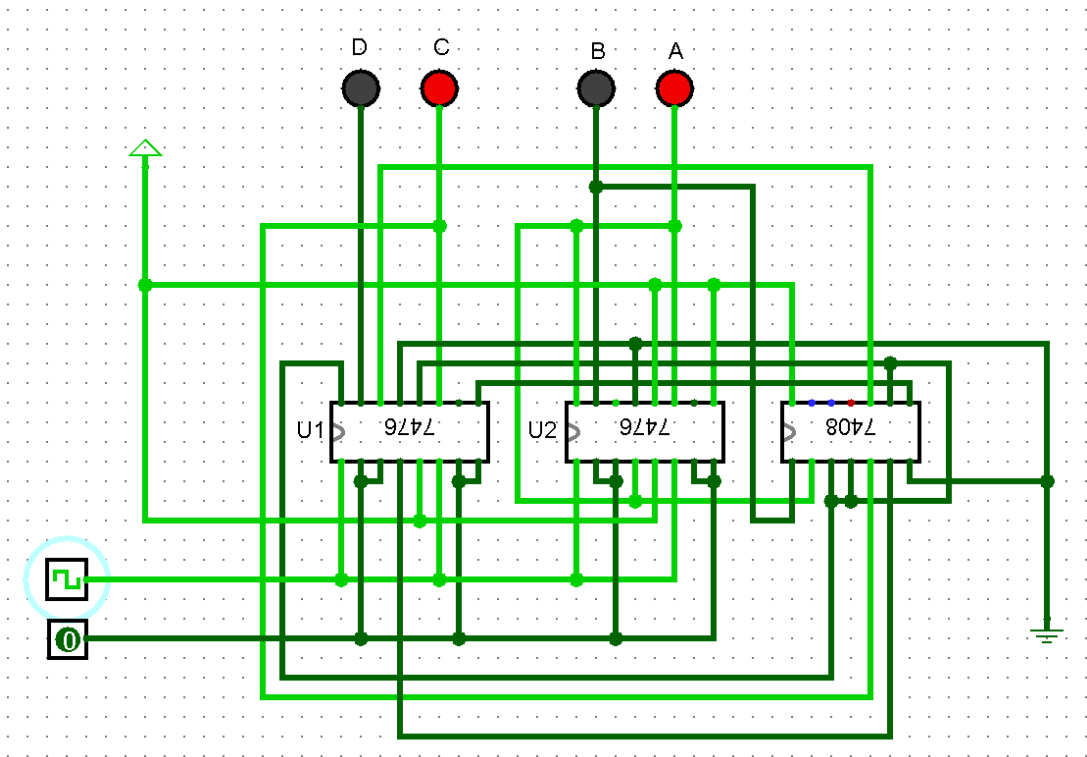
Hình 9: Trạng Thái Đếm 0000



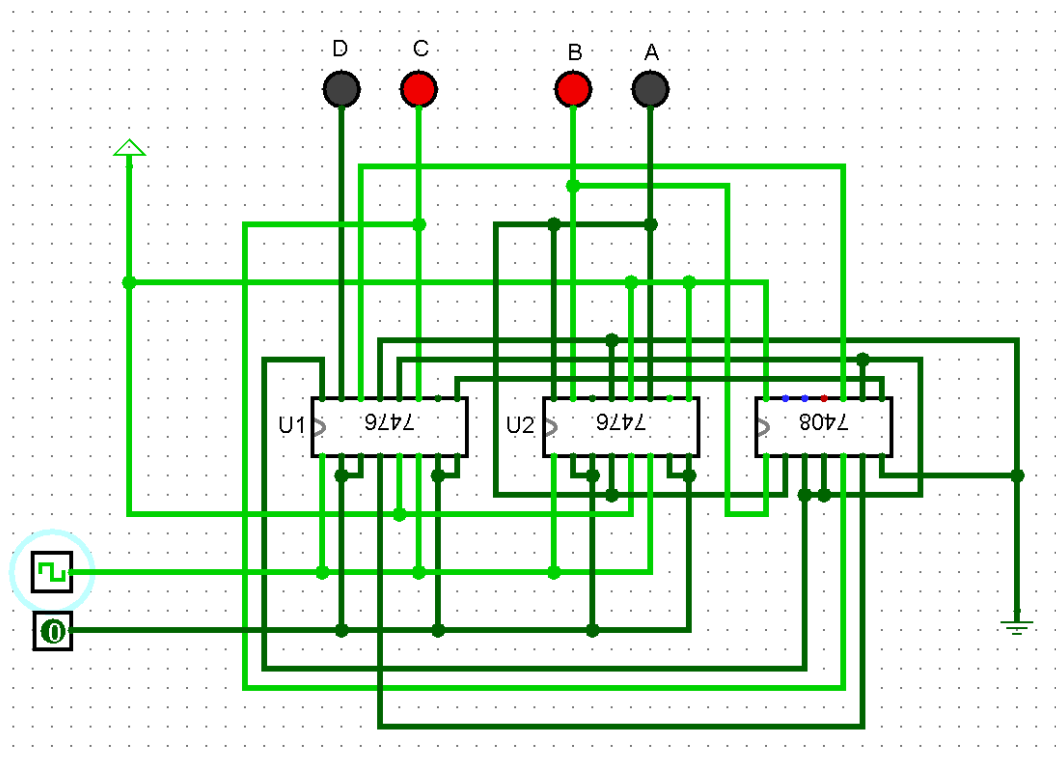
Hình 12: Trạng Thái Đếm 0011



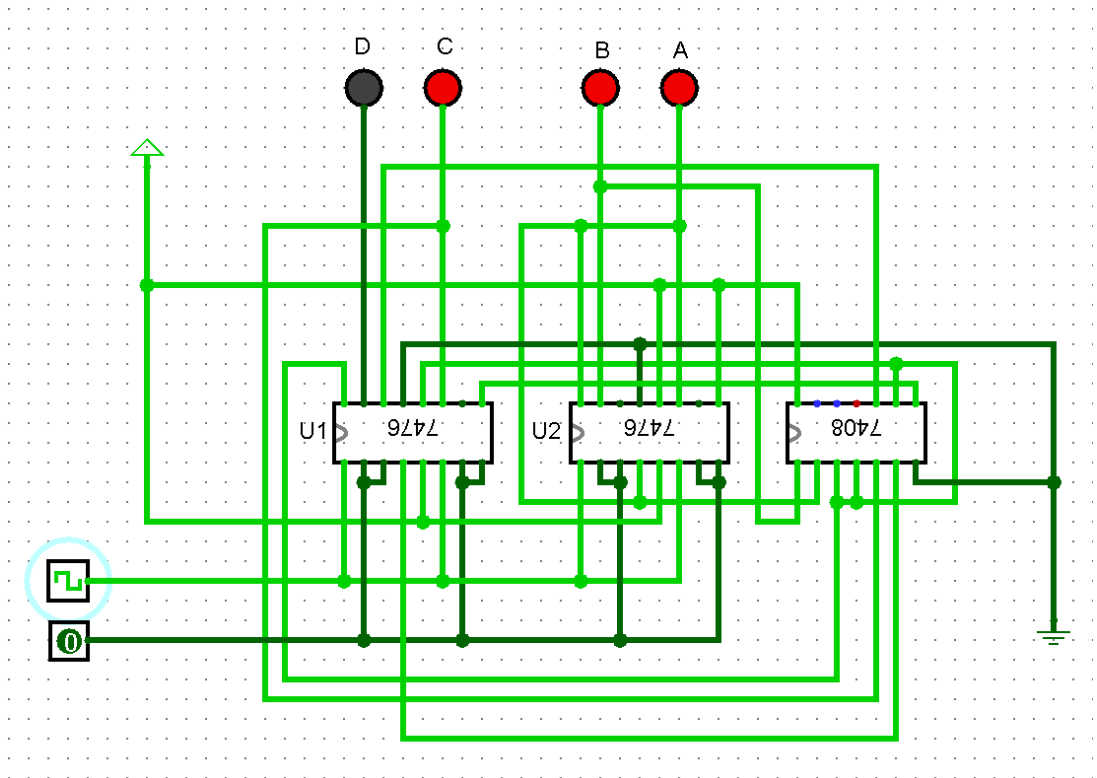
Hình 13: Trạng Thái Đếm 0100



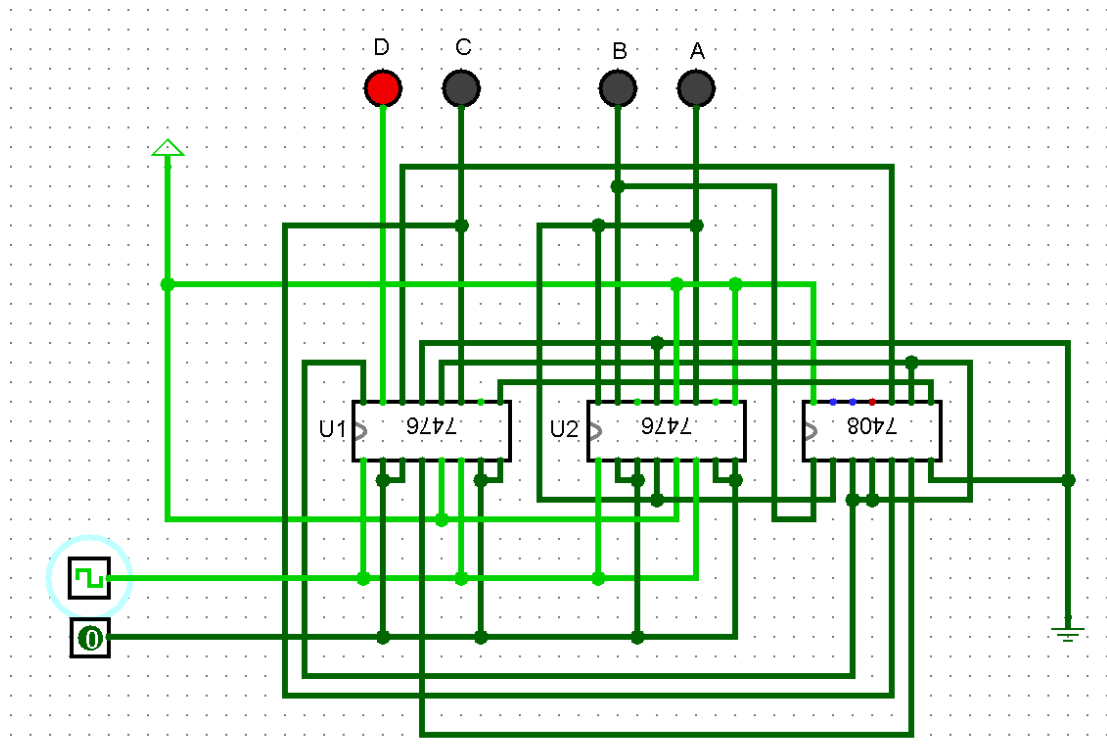
Hình 14: Trạng Thái Đếm 0101



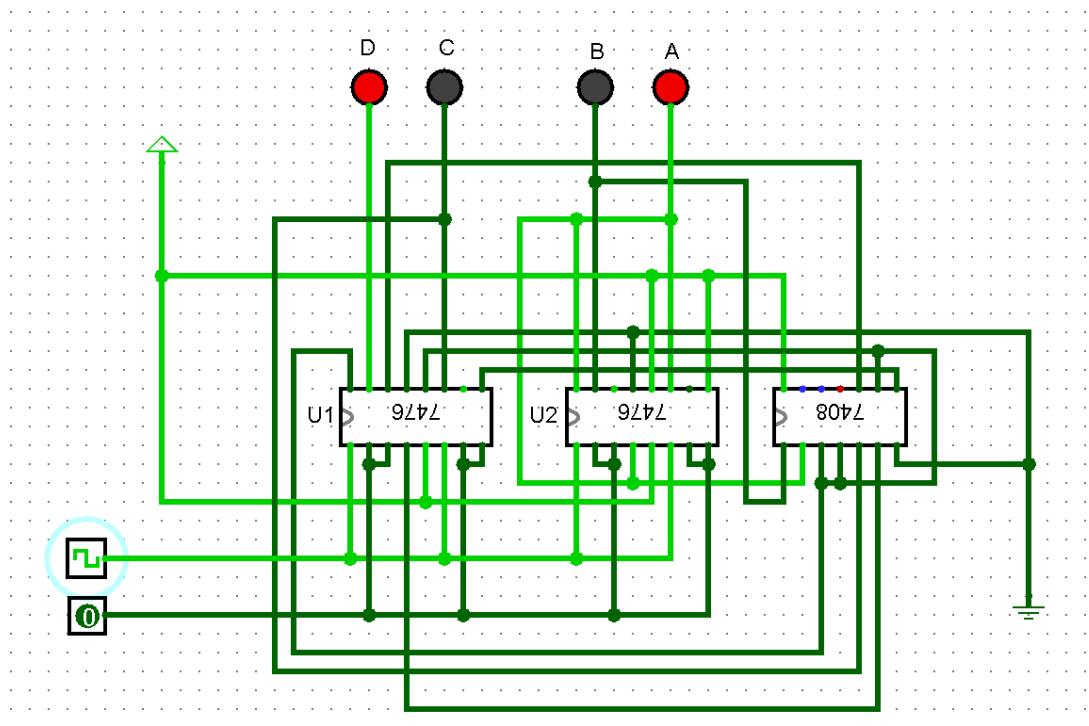
Hình 15: Trạng Thái Đếm 0110



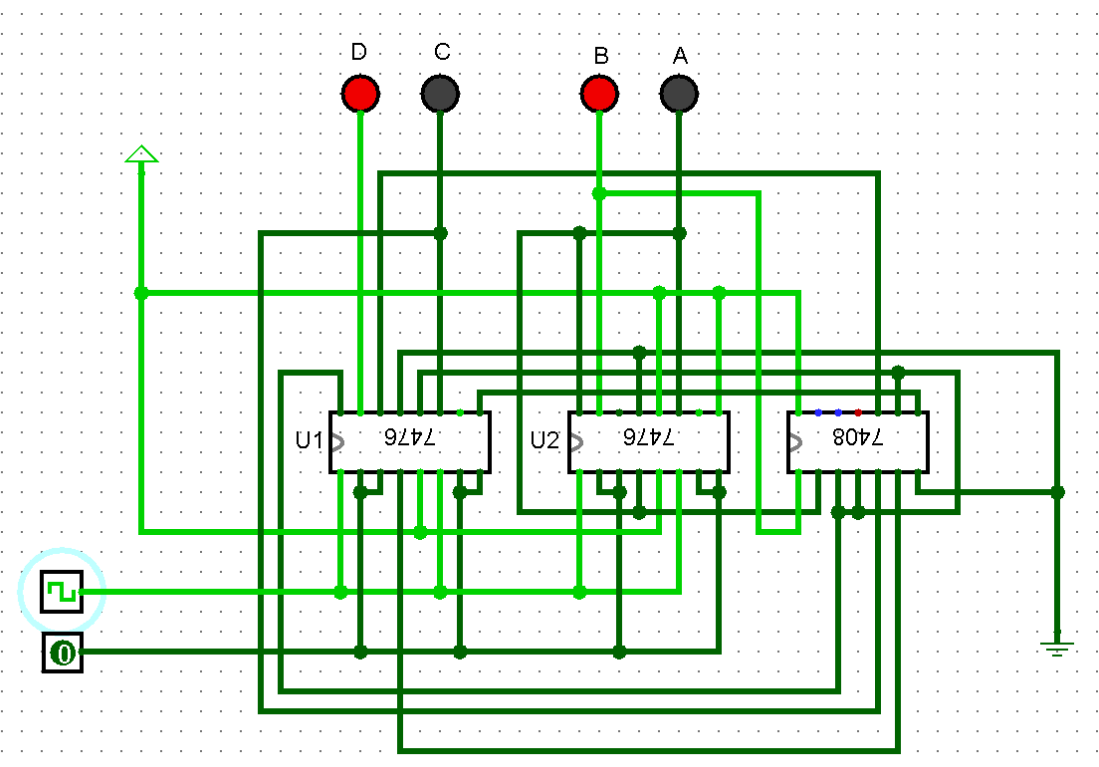
Hình 16: Trạng Thái Đếm 0111



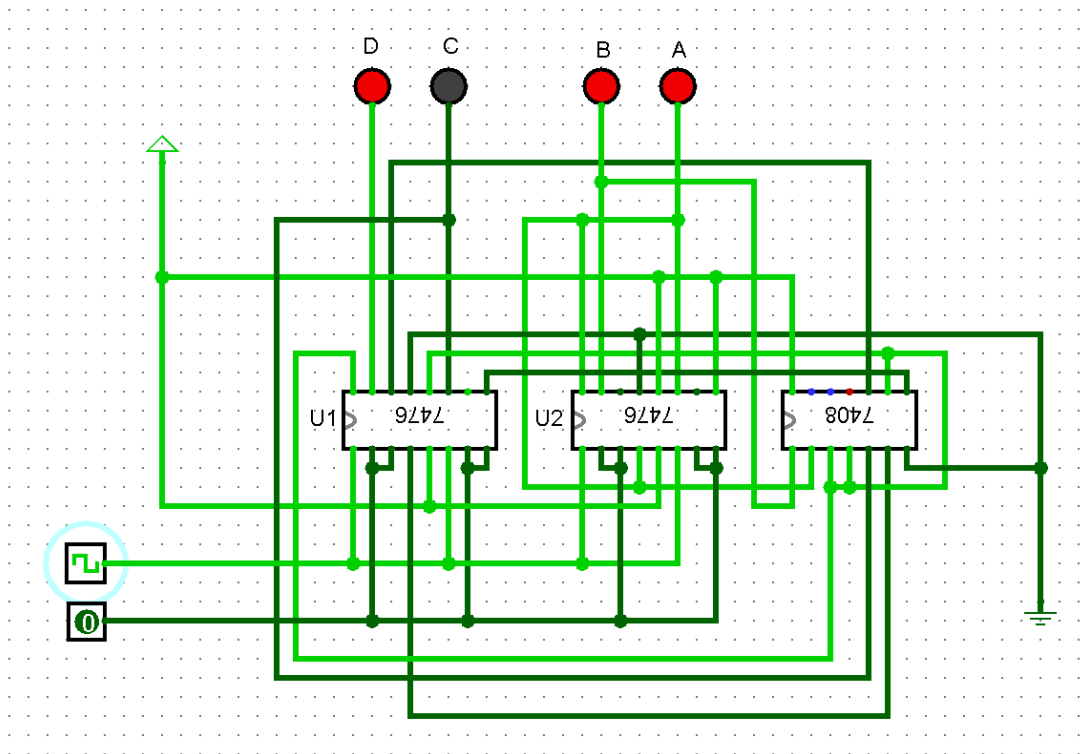
Hình 17: Trạng Thái Đếm 1000



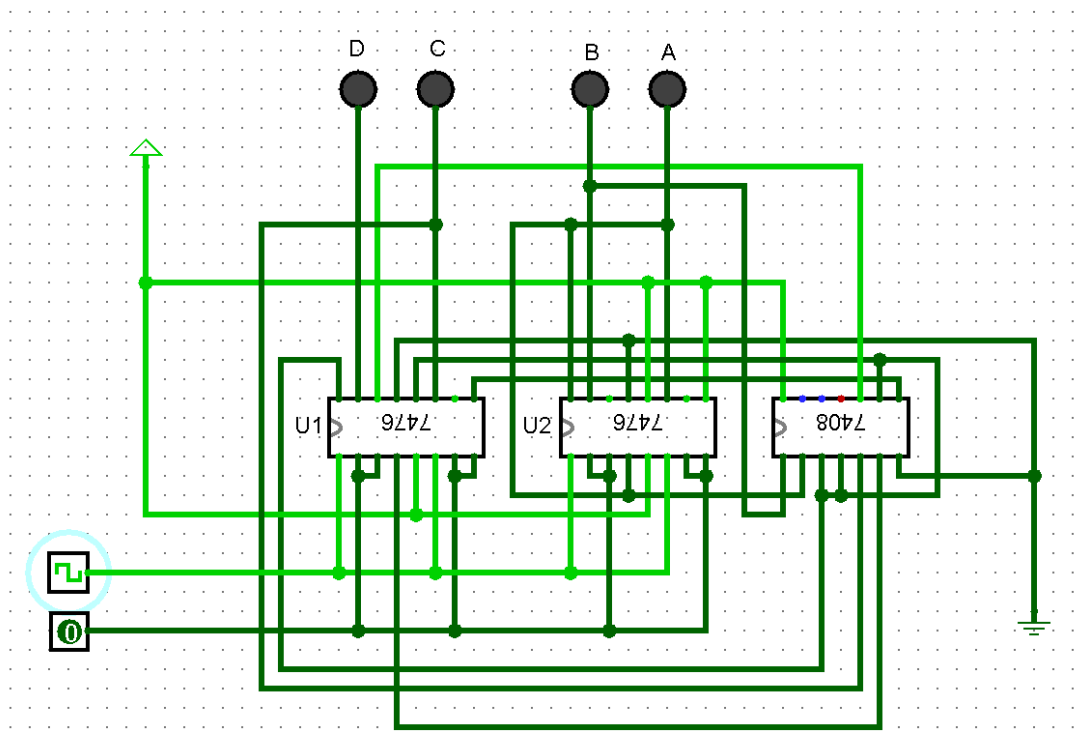
Hình 18: Trạng Thái Đếm 1001



Hình 19: Trạng Thái Đếm 1010



Hình 20: Trạng Thái Đếm 1011



Hình 21: Trạng Thái Đếm 0000

Bước 6: Lập Checklist

c. IC 7476

STT	Đầu thứ nhất	Đầu còn lại
1	5V KTN	Chân 5 của IC 7476 (U1) Chân 5 của IC 7476 (U2)
2	GND KTN	Chân 13 của IC 7476 (U1) Chân 13 của IC 7476 (U2)
4	Chân 15 của IC 7476 (U1)	LED 0 (D)
5	Chân 11 của IC 7476 (U1)	LED 1 (C)
6	Chân 15 của IC 7476 (U2)	LED 2 (B)
7	Chân 11 của IC 7476 (U2)	LED 3 (A)
8	SW0	Chân 2 của IC 7476 (U1) Chân 3 của IC 7476 (U1) Chân 7 của IC 7476 (U1) Chân 8 của IC 7476 (U1) Chân 2 của IC 7476 (U2) Chân 3 của IC 7476 (U2) Chân 7 của IC 7476 (U2) Chân 8 của IC 7476 (U2)
9	CLK	Chân 1 của IC 7476 (U1) Chân 6 của IC 7476 (U1) Chân 1 của IC 7476 (U2) Chân 6 của IC 7476 (U2)
10	Chân 15 của IC 7476 (U2)	Chân 1 của IC 7408
11	Chân 11 của IC 7476 (U2)	Chân 2 của IC 7408
12	Chân 11 của IC 7476 (U1)	Chân 5 của IC 7408
13	Chân 14 của IC 7476 (U1)	Chân 10 của IC 7408

14	Chân 11 của IC 7476 (U2)	Chân 4 của IC 7476 (U2) Chân 16 của IC 7476 (U2)
15	5V KTN (VCC)	Chân 12 của IC 7476 (U2) Chân 9 của IC 7476 (U2)

d. IC 7408

STT	Đầu thứ nhất	Đầu còn lại
1	5V KTN	Chân 14 của IC 7408
2	GND KTN	Chân 7 của IC 7408
3	Chân 3 của IC 7408	Chân 4 của IC 7408
4	Chân 6 của IC 7408	Chân 4 của IC 7476 (U1)
5	Chân 3 của IC 7408	Chân 16 của IC 7476 (U1)
6	Chân 3 của IC 7408	Chân 9 của IC 7408
7	Chân 8 của IC 7408	Chân 9 của IC 7476 (U1)
8	Chân 3 của IC 7408	Chân 12 của IC 7476 (U1)