

**KIỂM TRA GIỮA KỲ**  
**MÔN KIẾN TRÚC MÁY TÍNH**

Ngày 10/6/2020 - Thời gian: 60 phút

Sinh viên được xem tài liệu trên 1 tờ A4 viết tay

**Câu 1:** Cho giá trị 32 bit: 0x10061120 được lưu từ ô nhớ 0x10010008 đến ô nhớ 0x1001000B theo "little endian". Giá trị tại ô nhớ 0x1001000A?

- A. 0x11    **B. 0x06**  
C. 0x20    D. 0x10

**Câu 2:** Bộ xử lý theo kiến trúc nào được sử dụng rộng rãi nhất hiện nay?

- A. MIPS  
B. IA-32 (Intel)  
**C. ARM**  
D. Hitachi SH

**Câu 3:** Nhóm lệnh nào không thực hiện biểu thức  $\$t0 = \$t1 * 3$ , giả sử ban đầu  $\$t0 = 0$ ?

- A. `addu $t0, $t1, $t1`  
    `add $t0, $t0, $t1`  
B. `sll $t0, $t1, 1` **x2**  
    `add $t0, $t0, $t1`  
C. `sll $t0, $t1, 2` **x4**  
    `subu $t0, $t0, $t1`  
D. `sll $t0, $t1, 2` **x4**  
    `sra $t0, $t0, 1` **/2**

**Câu 4:** Đây là mã máy của lệnh "lw \$t2, 10(\$s0)"?

- A. 0x8E09000A    Định dạng I  
B. 0x26320010    **0x8E0A000A**  
C. 0x8E090010  
D. 0x252A000A

(Dữ liệu cho câu 5, 6, 7, 8)

Cho đoạn khai báo dữ liệu:

```
.data
mstr: .asciiz "MTBK"
res: .half 2011
val: .word -2
```

Giả sử vùng .data bắt đầu từ địa chỉ 0x10010000 theo định dạng "Little Endian"; Thanh ghi \$8 = 0x1001000A

**Câu 5:** Địa chỉ của nhãn "val":

- A. 0x10010007

B. 0x10010008

C. 0x1001000A

D. 0x10010000

**Câu 6:** Lệnh nào gán địa chỉ của nhãn "mstr" vào thanh ghi \$10:

- A. `addi $10, $0, 10010000`  
B. `ori $10, 36` **10010000**  
C. `lui $10, 0x1001` **16 17 0000**  
D. `lui $10, 0x1000`

**Câu 7:** Lệnh nào gán giá trị của ký tự "B" trong chuỗi "mstr" vào thanh ghi \$11: **0x00010002**

- A. `lbu $11, 2($8)`  
B. `lbu $11, -14($8)`  
C. `lbu $11, -8($8)`  
D. `lui $11, 0x1008`

**Câu 8:** Giá trị thanh ghi \$t0 sau khi thực thi lệnh "lb \$t0, -2(\$8)"?

- A. -2  
B. 255  
C. 254  
D. -1

**Câu 9:** Lệnh nào sau đây khởi tạo thanh ghi \$8 với giá trị 20?

- A. `addiu $t0, $0, 0x14`  
B. `ori $8, $0, 0x20`  
C. `addi $t0, $8, 20`  
D. `ori $8, $0, 14`

**Câu 10:** Thanh ghi \$8 = 0x10010000. Lệnh nào sau đây bị lỗi?

- A. `lbu $11, 3($8)`  
B. `lw $11, 2($8)`  
C. `sll $8, $11, 31`  
D. `addiu $11, $8, -1`

**Câu 11:** Đây là số 32 bit biểu diễn giá trị 20.625 theo chuẩn IEEE-754?

- A. 0x00020625  
B. 0x419D0000  
**C. 0x41A50000**  
D. 0x02062500

20D = 10100  
0.625 x 2 = 1.25  
0.25 x 2 = 0.5  
0.5 x 2 = 1

=> 0.625 = 0.101

=> 20.625 = 10100.101 => 1.0100101 x 2^4

**Câu 12:** Thanh ghi (register) là gì?

- A. Là một phần của bộ xử lý chứa một chuỗi bit  
B. Là một phần của hệ điều hành chứa thông tin chương trình nào được chọn để thực thi  
C. Là một phần của bộ xử lý thực thi một tác vụ  
D. Là ô nhớ của bộ nhớ

**Câu 13:** Giả sử \$s1 = 0x10062020 và \$s2 = 0x000FF000. Giá trị thanh ghi \$t1 là bao nhiêu sau khi thực thi lệnh:

"nor \$t1, \$s1, \$s2"

- A. 0x000FF000  
B. 0x010BD020  
C. 0x100FF020  
**D. 0xEFF00FDE**

**Câu 14:** Xác định giá trị cờ carry và cờ overflow (carry, overflow) khi cộng hai số 4 bit 0x8 + 0x8?

- A. (0, 0)  
B. (0, 1)  
C. (1, 0)  
**D. (1, 1)**

**Câu 15:** Hãy cho biết lệnh hợp ngữ MIPS tương ứng với 32 bit lệnh máy 0x00A52826:

- A. Không có lệnh hợp ngữ tương đương  
B. `sll $t2, $s0, 4`

**C. xor \$s5, \$s5, \$s5** không có xor, not, nand

D. `add $s0, $t2, $s1`

**Câu 16:** Lệnh nào sau đây là lệnh MIPS chuẩn hợp lệ:

- A. `addi $0, $t0, 0x12345678`  
B. `sll $t0, $t1, 34`  
C. `andi $t0, $t1, $t2`  
**D. sb \$t1, 0x08(\$t0)**

**tối đa 31**  
số hạng nguồn 2 phải là số nguyên

(Dữ liệu cho câu 17, 18, 19, 20)  
Cho bộ xử lý có tần số hoạt động 2.5GHz thực thi đoạn chương trình P với thông số sau:

Lệnh	Arith	Load	Store/Br
CPI	1	4	3
Số lệnh	5400	900	2020

**Câu 17:** CPI trung bình của chương trình này:

- A. 1.81 =  $(1 \times 5400 + 4 \times 900 + 3 \times 2020) / (5400 + 900 + 2020)$   
B. 1.17  
C. 1.51  
D. 2.07

**Câu 18:** Thời gian thực thi của chương trình này:

- A. 4713ns  
B. 6217ns  
C. 3069ns  
D. 6024ns =  $[(5400 + 900 + 2020) \times 1.81] / 2.5$

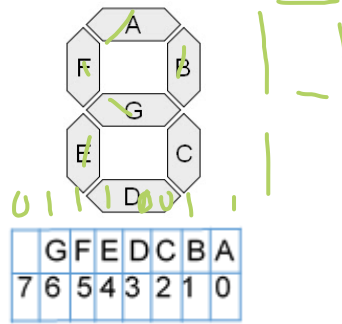
**Câu 19:** Thông số MIPS:

- A. 1381 =  $[(5400 + 900 + 2020) / 6024 \times 10^{-9} \times 10^6]$   
B. 1563  
C. 1498  
D. 1111

**Câu 20:** Bộ xử lý được cải tiến với CPI cho nhóm lệnh Load giảm xuống còn 3 thực thi chương trình trên với cùng tần số hoạt động. Tính speed up tổng thể của cải tiến này:

- A. 1.46  
B. 1.33  
C. 1.06  
D. 1.04

(Dữ liệu cho câu 21, 22, 23, 24, 25) Hai đèn LED 7 đoạn (LEDL, LEDR) được điều khiển bởi một máy tính bộ xử lý MIPS loại "little endian". Đèn LEDL được ánh xạ vào ô nhớ 1 byte tại địa chỉ 0x10011000. LEDR được ánh xạ vào địa chỉ 0x10011001. Đèn LED 7 đoạn gồm các đoạn A, B, C, D, E, F, G tương ứng bit 0, 1, 2, 3, 4, 5, 6 của byte dữ liệu được ánh xạ. Các đoạn sẽ sáng khi bit dữ liệu tương ứng bằng 1. Vùng ".data" bắt đầu từ địa chỉ 0x10010000



Chương trình điều khiển hiển thị như sau:

```
.data
VAR1: .byte 2
VAR2: .byte 0
FON1: .byte 0xEF, 0x73, 0xF6
.text
la $t0, FON1
lui $s0, 0x1001
ori $s0, $s0, 0x1000
vitri1:
ori $t2, $0, 0x73
sb $t2, 0($s0)
sb $t2, 1($s0)
vitri2:
lb $t1, -2($t0)
addu $t1, $t0, $t1
lb $t1, 0($t1)
sb $t1, 0($s0)
vitri3:
lb $t1, -1($t0)
addu $t1, $t1, $t0
lb $t1, 0($t1)
sb $t1, 1($s0)
```

**Câu 21:** Sau khi thực thi đoạn chương trình trên, giá trị thanh ghi \$s0 sẽ là:

- A. 0x10011000  
B. 0x1000  
C. 0x10011001  
D. 0x1001

**Câu 22:** Sau khi đoạn chương trình trên chạy đến « vitri2 », giá trị thanh ghi \$t2 sẽ là:

- A. 0x10011000  
B. 0x01  
C. 0x10010001  
D. 0x73

**Câu 23:** Sau khi đoạn chương trình trên chạy đến « vitri2 », LEDL-LEDR sẽ hiển thị:

- A. 9 - 9

- B. P - P  
C. H - H  
D. 0 - 0

**Câu 24:** Sau khi đoạn chương trình trên chạy đến « vitri3 », LEDL-LEDR sẽ hiển thị:

- A. P - H  
B. 2 - P  
C. H - P  
D. P - 2

**Câu 25:** Sau khi thực thi đoạn chương trình trên, LEDL-LEDR sẽ hiển thị:

- A. 9 - P  
B. 9 - H  
C. H - 9  
D. P - 9

-----Hết-----

