

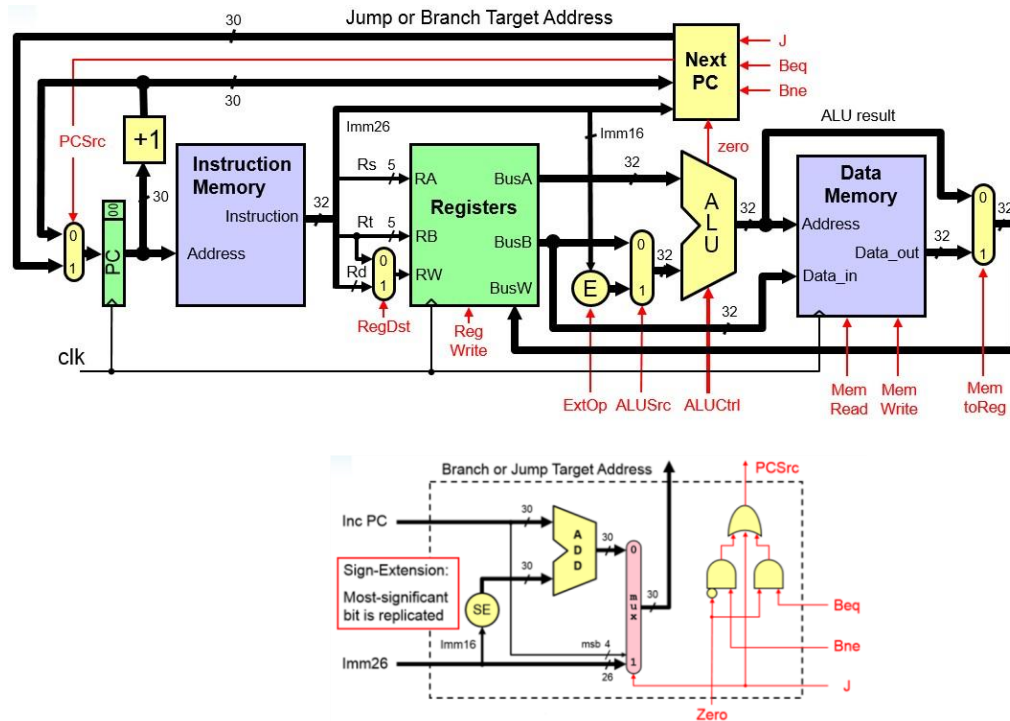
KIỂM TRA CUỐI KỲ

MÔN KIẾN TRÚC MÁY TÍNH

Thời gian: 90 phút - Ngày KT : 0

Dành cho 6 câu tiếp theo

Cho sơ đồ mô tả datapath của bộ xử lý MIPS đơn chu kỳ và chi tiết của bộ “Next PC”:



Bỏ qua thời gian trễ cho bộ điều khiển. Bộ “Next PC” được gọi là tham gia vào lệnh nếu tín hiệu “PCSrc” = 1. Thời gian trễ của các khối thuộc datapath: “bộ nhớ lệnh” (I-Mem), “bộ cộng” (Add, $PC_{30}+1$), “bộ hợp kênh” (Mux), “bộ tính toán số học luận lý” (ALU), “thanh ghi” (đọc/ghi Regs), “bộ nhớ dữ liệu” (D-Mem), “bộ mở rộng dấu” (SE), “bộ mở rộng dấu/không” (E) theo bảng sau:

I-Mem	Add, +1	Mux	ALU	Regs	D-Mem	SE, E
200ps	50ps	10ps	80ps	40ps	250ps	15ps

Câu 1: Các khối chức năng (thuộc datapath) nào **không** tham gia vào lệnh:

ADD Rd, Rs, Rt # $Reg[Rd] = Reg[Rs] \text{ ADD } Reg[Rt]$

- Mux thứ nhất có tín hiệu điều khiển là RegDst
- Mux thứ hai có tín hiệu điều khiển là ALUSrc
- Mux thứ ba có tín hiệu điều khiển là MemtoReg
- Bộ mở rộng dấu/không (E)**

Câu 2: Chọn phát biểu đúng khi bộ xử lý thực thi lệnh:

SW Rt, Offs(Rs)

#Mem[Reg[Rs]+Offs] = Reg[Rt]

Đề 1

- a. Khối “bộ mở rộng dấu” (SE) tham gia vào datapath
- b. Tín hiệu điều khiển “RegDst” có thể bằng 0 hoặc 1
- c. Bộ mở rộng dấu/không (E) có tín hiệu điều khiển ExtOpt = 0
- d. Sau khi thực hiện xong, giá trị thanh ghi PC tăng lên 1 nhờ bộ cộng “+1”

Câu 3: Hỏi khi thực hiện lệnh **BEQ \$1, \$2, ABC** với \$1 = 0x00FE, \$2 = 0x00FE. Các tín hiệu điều khiển ALUSrc – Zero – MemWrite – PCSrc lần lượt là:

- a. 1 – 0 – 1 – 0
- b. 0 – 1 (giống => tru nhau =0 => zero=1) – 0 – 1
- c. 0 – 1 – 1 – 0
- d. 1 – 1 – 0 – 1

Câu 4: Thời gian trễ của các khối tham gia vào “critical path” câu lệnh xác định thời gian trễ nhỏ nhất của câu lệnh đó. Tính thời gian trễ trong “critical path” của lệnh “add”:

- a. 380ps
- b. 355ps
- c. 340ps
- d. 330ps

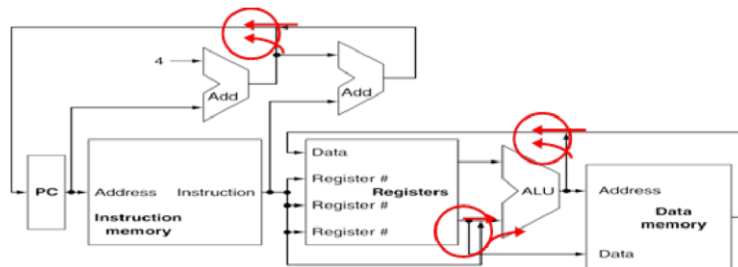
Câu 5: Chu kỳ xung nhịp ngắn nhất : (để all chạy đc => max) có thể của thiết kế này: = 200+40+80+250+10+40

- a. 580ps
- b. 605ps
- c. 620ps
- d. 590ps

Câu 6: Từ thiết kế trên, người ta sửa đổi sang dạng đa chu kỳ. Với thiết kế đa chu kỳ, mỗi chu kỳ sẽ thực thi một trong 5 công đoạn: nạp lệnh (IF), giải mã lệnh (ID), tính toán (EX), truy xuất bộ nhớ dữ liệu (MEM), ghi giá trị vào thanh ghi (WB). Chu kỳ xung nhịp ngắn nhất có thể của thiết kế đa chu kỳ

- a. 200ps
- b. 605ps
- c. 450ps
- d. 250ps

Câu 7: Khối chức năng nào giải quyết đụng độ (2 output nối chung) tại vị trí được khoanh tròn ở hình sau?



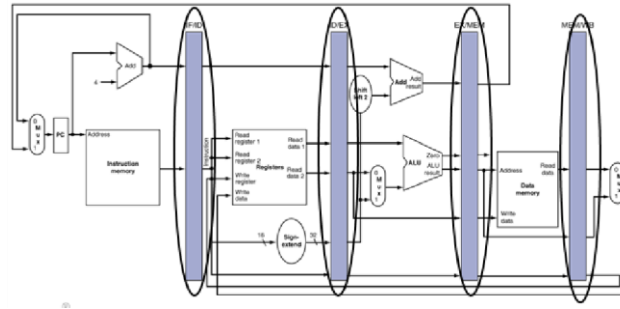
- a. Bộ cộng (Adder)
- b. Cổng AND
- c. Cổng OR
- d. Bộ hợp kênh (Multiplexer)

Câu 8: Chọn phát biểu **đúng** về RAM ‘DDR3-1333’ :

- a. Thanh RAM này có thể thay thế thanh RAM “DDR3-1066”
- b. Tần số xung nhịp lớn nhất cấp cho RAM này là 1333 MHz
- c. RAM này thuộc loại SRAM (RAM tĩnh)
- d. RAM thế hệ mới này có thời gian truy xuất dữ liệu nhanh hơn SRAM

Đề 1

Câu 9: Khối chức năng được khoanh tròn trong pipeline datapath của bộ xử lý MIPS sau?



- a. Cổng XOR
- b. Thanh ghi (Register)
- c. Cổng OR
- d. Bộ hợp kênh (Multiplexer)

Câu 10: Bộ xử lý MIPS pipeline 5 trạng thái có thời gian trễ của mỗi trạng thái được cho theo bảng sau:

IF	ID	EX	MEM	WB
210 ps	150 ps	150 ps	220 ps	200 ps

Chu kỳ xung nhịp nhỏ nhất có thể của bộ xử lý này:

- a. 210ps
- b. 600ps
- c. 220ps
- d. 150ps

Câu 11: Chọn phát biểu **sai** về hệ thống bộ nhớ phân cấp ?

- a. Thanh ghi là một phần của hệ thống bộ nhớ
- b. Bộ nhớ chính RAM được nối trực tiếp vào bus tốc độ cao từ CPU
- c. Card mạng tốc độ cao 1Gbps không nối trực tiếp vào bus tốc độ cao từ CPU
- d. Chỉ có thể có bộ nhớ đệm cấp 1 (L1) và bộ nhớ đệm cấp 2 (L2) trong hệ thống bộ nhớ

Cho đoạn chương trình hợp ngữ MIPS sau dành cho 5 câu tiếp theo:

```
lw $t4, 0($t1)      5
add $t2, $t1, $t4   4
addi $t2, $t2, 4    4
add $t3, $t2, $t4   4
sw $t3, 0($t2)      4
```

Câu 12: Giả sử bộ xử lý là 5-stage pipeline, tham khảo đến thanh ghi nào không phải là data hazard?

- a. \$t1: lệnh 1 và 2
- b. \$t2: lệnh 2 và 4
- c. \$t4: lệnh 1 và 4
- d. \$t3: lệnh 4 và 5

Câu 13: Giả sử bộ xử lý là 5-stage pipeline. Có bao nhiêu data hazard ở đoạn chương trình trên?

- a. 4
- b. 5
- c. 6
- d. 3

Câu 14: Giả sử bộ xử lý là 5-stage pipeline, chỉ dùng phương pháp chen stall để giải quyết data hazards.

Tính tổng số chu kỳ xung nhịp cho đoạn chương trình trên?

- a. 18
- b. 19
- c. 20
- d. 21

Câu 15: Giả sử bộ xử lý là 5-stage pipeline, dùng phương pháp chèn stall và forwarding để giải quyết data hazards. Tính tổng số chu kỳ xung nhịp cho đoạn chương trình trên?

- a. 10 b. 9 c. 11 d. 12

Câu 16: Tính speedup cho trường hợp bộ xử lý là 5-stage pipeline, sử dụng stall và forwarding với trường hợp bộ xử lý là đa chu kỳ cùng thực thi đoạn chương trình trên?

- a. 1.9 b. 2.0 c. 2.1 d. 2.2 21/10

Dành cho 3 câu tiếp theo:

Thiết kế bộ nhớ đệm phân chứa dữ liệu có kích thước 16KB. Giả sử bộ nhớ chính sử dụng SRAM 32Mx8 và mỗi cache line chứa 32 byte. CPU mỗi lần truy xuất 1 byte

Câu 17: Số lượng line của bộ nhớ đệm là:

- a. 256 b. 512 c. 1024 d. 128

$$(16 \times 1024) / 32 = 512$$

Đề 1

Mỗi line = $32B = 2^5 \Rightarrow \text{Offset} = 5$

Số line = $512 = 2^9 \Rightarrow \text{Index} = 9$

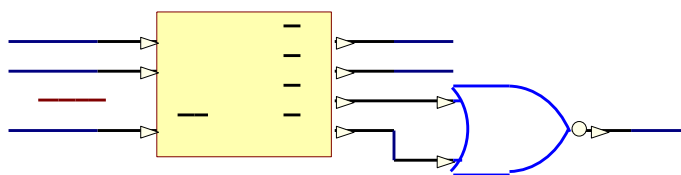
Câu 18: Sử dụng kỹ thuật ánh xạ trực tiếp (direct-mapped), số bit biểu diễn các trường **offset**, **index**, **tag** lần lượt là:

- a. 4, 10, 11 b. 5, 10, 12 **c. 5, 9, 11** d. 4, 9, 12

Câu 19: Sử dụng kỹ thuật 4-way set associative, số bit biểu diễn các trường **offset**, **set_index**, **tag** lần lượt là:

- a. 5, 7, 13** b. 5, 8, 15 c. 4, 7, 15 d. 4, 8, 14

Dành cho 3 câu sau. Cho sơ đồ mạch giải mã địa chỉ của một bộ nhớ như sau



Câu 20: Cho biết không gian địa chỉ mà tín hiệu **CS1** quản lý:

- a. $0x0000 - 0x0FFF$ c. $0x0000 - 0xFFFF$
b. $0x0000 - 0x1FFF$ d. $0x0000 - 0x3FFF$

Câu 21: Cho biết kích thước vùng nhớ mà tín hiệu **CS3** quản lý:

- a. 0KiB b. 8KiB c. 13KiB d. 32KiB

Câu 22: Khi CPU truy xuất ô nhớ có địa chỉ 15128 thì tín hiệu CS nào tích cực:

- a. 1 b. 2 c. 1 và 3 d. 2 và 3

Dành cho 4 câu tiếp theo

Giả sử thời gian truy xuất của bộ nhớ chính cần 61 chu kỳ xung nhịp, số lệnh truy xuất bộ nhớ chiếm 22% tổng số lệnh. Hệ thống bộ nhớ sử dụng bộ nhớ đệm dữ liệu L1 với tỉ lệ **miss** (miss rate) là 11%. Tần số hoạt động của CPU là 1GHz.

Câu 23: Giả sử CPI lý tưởng là 2.5, bộ nhớ đệm lệnh L1 có tỉ lệ **hit** là 100%, hỏi CPI trung bình trong trường hợp này là bao nhiêu

- a. $4 = 2.5 + 11\% \cdot 22\% \cdot 61$**
b. 3.9 c. 3.8 d. 1.5

Câu 24: Giả sử CPI lý tưởng là 2.5, giả sử không có bộ nhớ đệm dữ liệu và lệnh, hỏi CPI trung bình trong trường hợp trên là bao nhiêu

- a. 74 b. 61 **c. $77 = 2.5 + 61 + 22\% \cdot 61$**
d. 64

Câu 25: Nếu chúng ta thiết kế thêm bộ nhớ đệm dữ liệu L2 với tỉ lệ miss (miss rate) là 20% và hit time là 3ns, bộ nhớ đệm lệnh L1 có tỉ lệ hit là 100%. Với CPI lý tưởng là 2.5, hỏi CPI trung bình là bao nhiêu?

- a. 1.6 **b. $2.9 = 2.5 + 22\% \cdot 11\% \cdot (3 + 20\% \cdot 61)$**
c. 3.1 d. 3.8

Câu 26: Bộ nhớ đệm lệnh L1 có tỉ lệ miss là 5%. Giả sử CPI lý tưởng là 2.5, speed up so với trường hợp không có bộ nhớ đệm?

- a. 8 b. 9.2 **c. 11** d. 12.3

Câu 27: Chọn phát biểu **đúng** về ba loại ánh xạ Full-Associative (1), 4Way-Associative (2) và Directmapped (3) trong bộ nhớ đệm có 16 line?

- a. Thời gian xử lý cho trường hợp Hit (Hit time) là như nhau
- b. Thời gian xử lý cho trường hợp Miss (Miss time) là như nhau
- c. Block 30 có thể được ánh xạ vào line 12 cho loại ánh xạ (2)
- d. **Block 251 có thể được ánh xạ vào line 12 cho loại ánh xạ (1)**

Dành cho 5 câu tiếp theo:

Một hệ thống máy tính MIPS 32bit, CPU định địa chỉ theo 1 byte, mỗi lần truy xuất 4 byte, tần số hoạt động 2GHz. Bộ nhớ đệm có dung lượng 1MB, mỗi line có kích thước 64 byte. Máy tính này thực thi đoạn chương trình hợp ngữ như sau, giả sử ban đầu \$a0 = 0x04000000, \$a1 = 0x04080000

```
addu    $t0, $zero, $zero
addu    $t1, $a0, $zero
addu    $t2, $a1, $zero
addiu   $t3, $zero, 64
loop:
lw      $t4, 0($t2)
sw      $t4, 0($t1)
addiu   $t0, $t0, 1
addiu   $t1, $t1, 4
addiu   $t2, $t2, 4
bne     $t0, $t3, loop
```

Câu 28: Số line của bộ nhớ đệm:

- a. 4096 b. 1024 **c. 16384** d. 8192

Câu 29: Bộ nhớ đệm được thiết kế theo phương pháp 4-way set-associative, độ rộng của các trường tag, set-index, offset là:

- a. 14, 12, 6** b. 12, 14, 6 c. 16, 12, 4 d. 14, 12, 4

Câu 30: Bộ nhớ đệm được thiết kế theo phương pháp direct-mapped, độ rộng của các trường tag, lineindex, offset là:

- a. 12, 14, 6** b. 12, 14, 4 c. 11, 15, 4 d. 10, 14, 6

Câu 31: Giả sử bộ nhớ đệm được thiết kế theo phương pháp direct-mapped, ban đầu bộ nhớ đệm rỗng, CPU thực thi đoạn chương trình trên, tính Miss rate cho phần truy xuất bộ nhớ (lệnh lw, sw):

- a. 4** b. 3 c. 2 d. 1

Câu 32: Giả sử bộ nhớ đệm được thiết kế theo phương pháp direct-mapped, ban đầu bộ nhớ đệm rỗng, CPU truy xuất các ô nhớ có địa chỉ 100, 104, 112, 160, 164, 196, 207, 208, 220, 222. **Hit rate** tương ứng chuỗi truy xuất trên:

- a. 2/10 b. 6/10 c. 4/10 d. 5/10 **7/10**