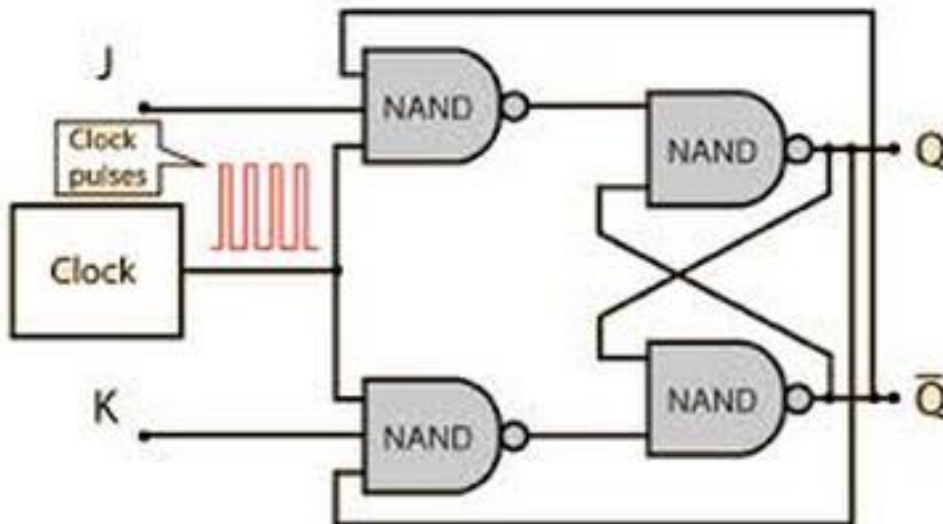


# Chương 6

## Bộ Đếm & Thanh Ghi

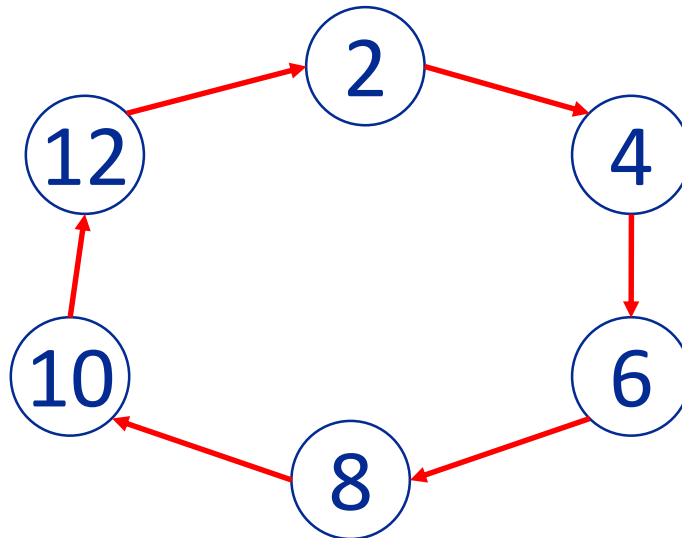


# Nội dung

- Bộ đếm bất đồng bộ
- Bộ đếm đồng bộ
- IC đếm
- Thiết kế bộ đếm đồng bộ

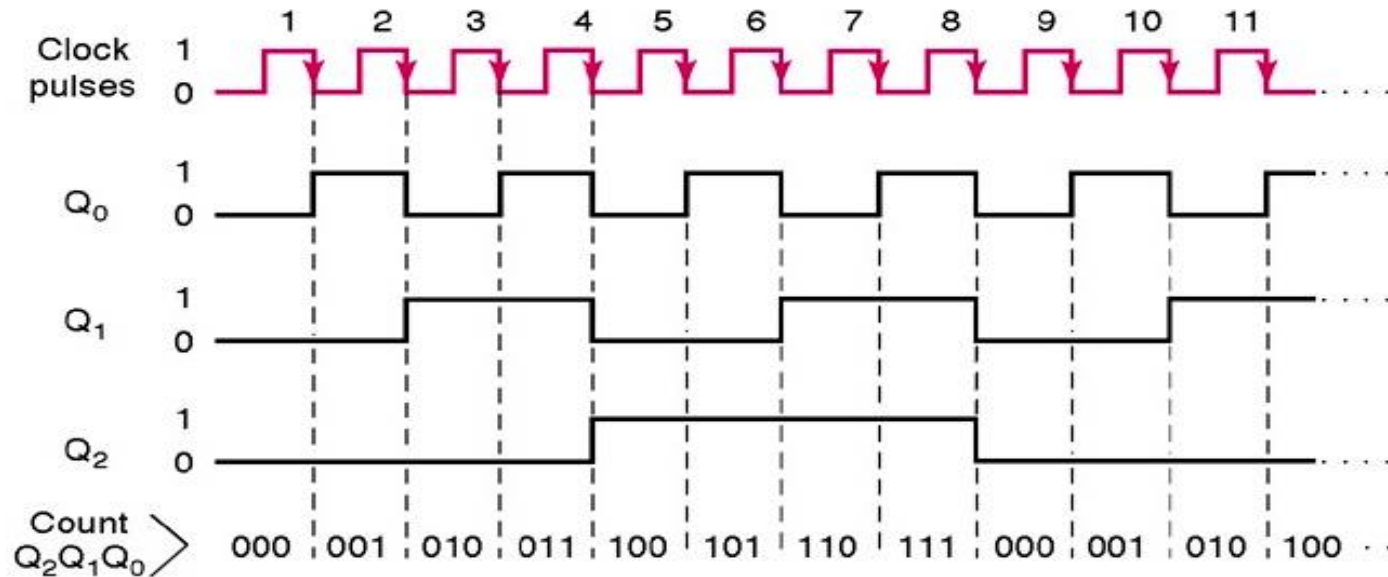
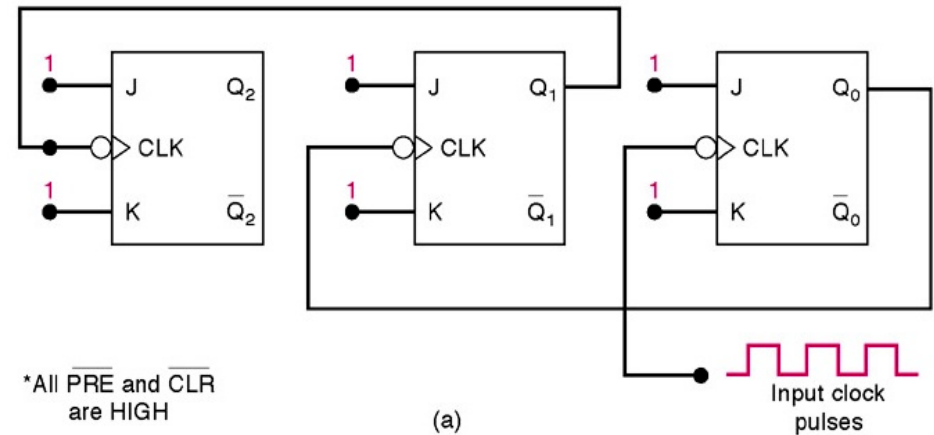
# Giới thiệu (1)

- Bộ đếm (Counter) là gì?
  - Đếm tuần tự: 1, 2, 3, ..., 100, 1, 2, ...
  - Biểu đồ trạng thái
  - Bộ đếm đồng bộ và bất đồng bộ



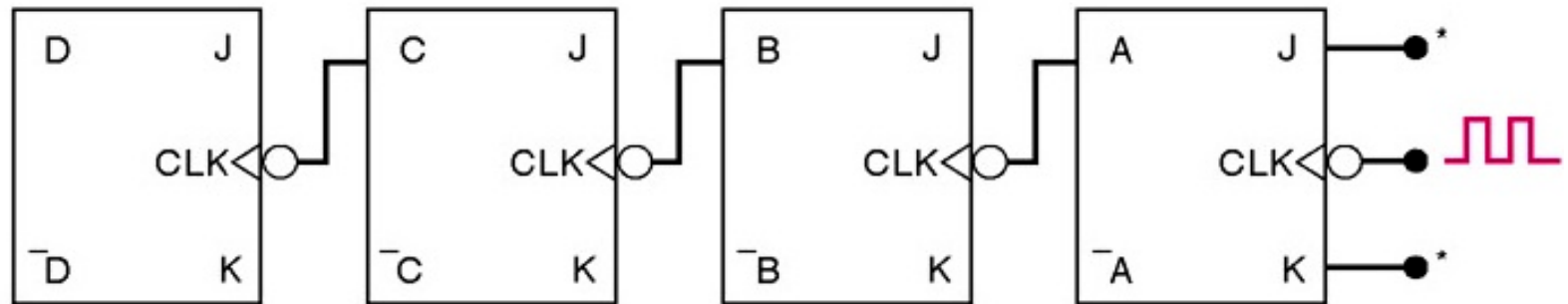
# Giới thiệu (2)

- Bộ đếm sử dụng Flip-Flop (FF)
  - Bộ đếm N-bit  $\rightarrow$  sử dụng N-FF
  - Mạch đếm cơ bản



# Bộ đếm bất đồng bộ

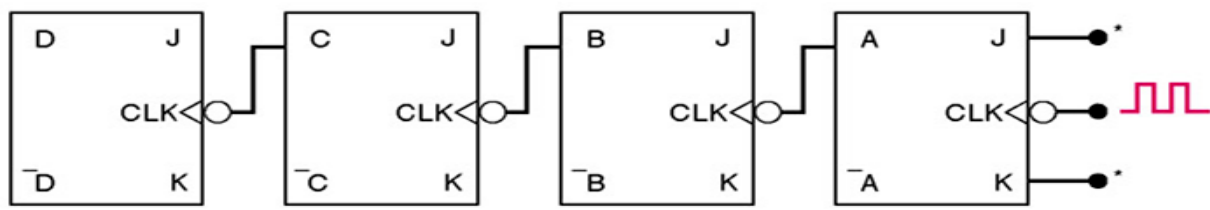
- Bất đồng bộ (Asynchronous – Ripple)
  - Xung CLK chỉ được cấp cho FF A
  - Ngõ xuất FF đóng vai trò xung CLK cho FF B, tương tự cho các FF còn lại
  - Các ngõ xuất DCBA biểu diễn cho số nhị phân 4 bit với D là bit trọng số cao nhất (MSB)
  - Tồn tại thời gian trễ (**delay**) giữa các đáp ứng của các FF trong bộ đếm



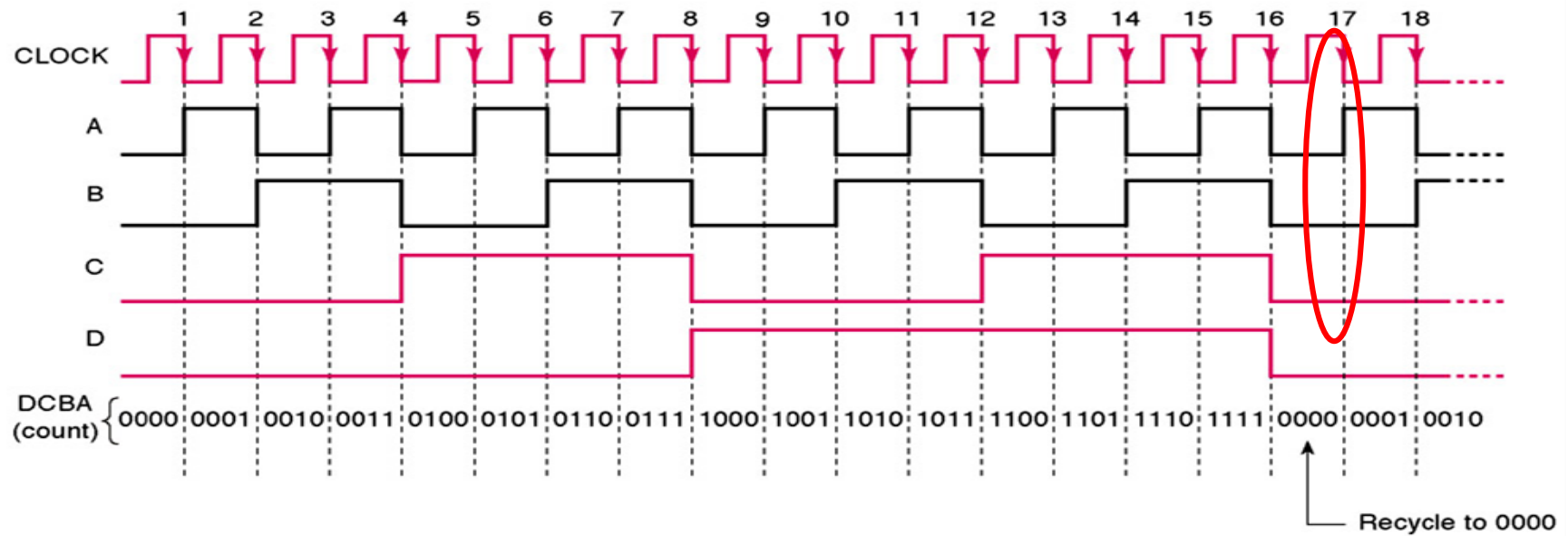
\*All J and K inputs  
assumed to be 1.

# Bộ đếm bất đồng bộ

- Bộ đếm bất đồng bộ 4-bit



\*All J and K inputs assumed to be 1.



# Bộ đếm bất đồng bộ

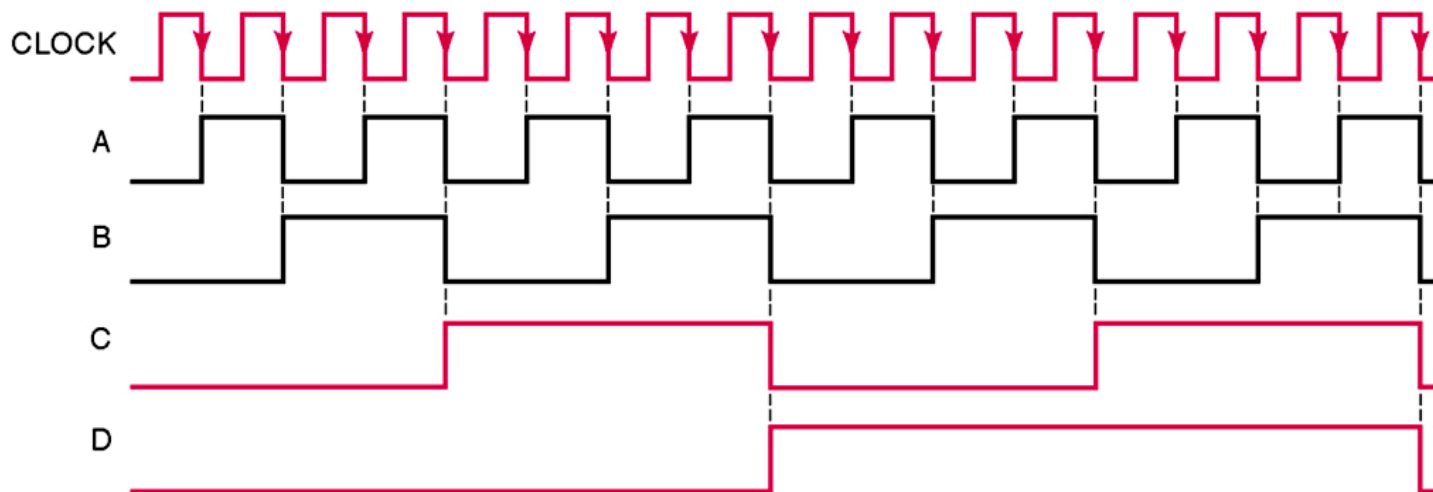
- “MOD number”

- Số trạng thái bộ đếm đi qua trong mỗi chu kỳ trước khi quay lại trạng thái ban đầu
- Tăng “MOD number” bằng cách thêm các FF vào bộ đếm
- $\text{MOD number} = 2^N$
- Ví dụ:

Bộ đếm **MOD-80** cần bao nhiêu FF ?

# Chia tần số (Frequency Division)

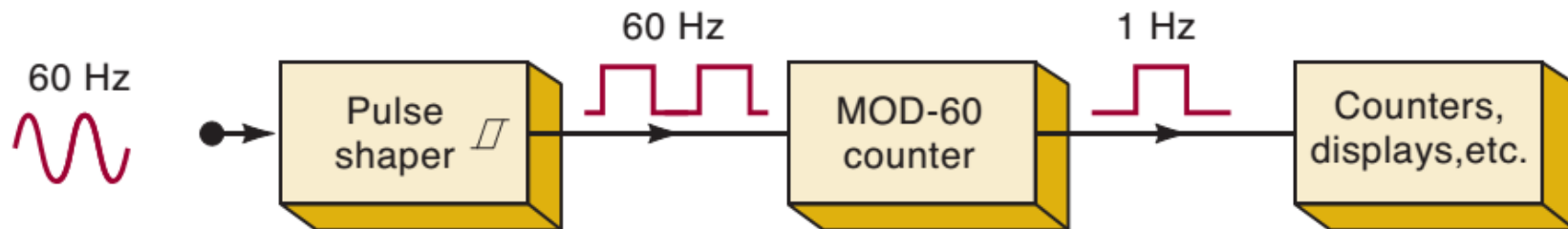
- Ngõ xuất của mỗi FF có tần số bằng  $\frac{1}{2}$  tần số của tín hiệu tại chân CLK của FF
- Ngõ xuất của **FF thứ 2** có tần số bằng  $\frac{1}{4}$  tần số của tín hiệu xung CLK
- Sử dụng **N-FF** có thể tạo ngõ xuất với tần số bằng  $\frac{1}{2^N}$  tần số CLK ngõ nhập





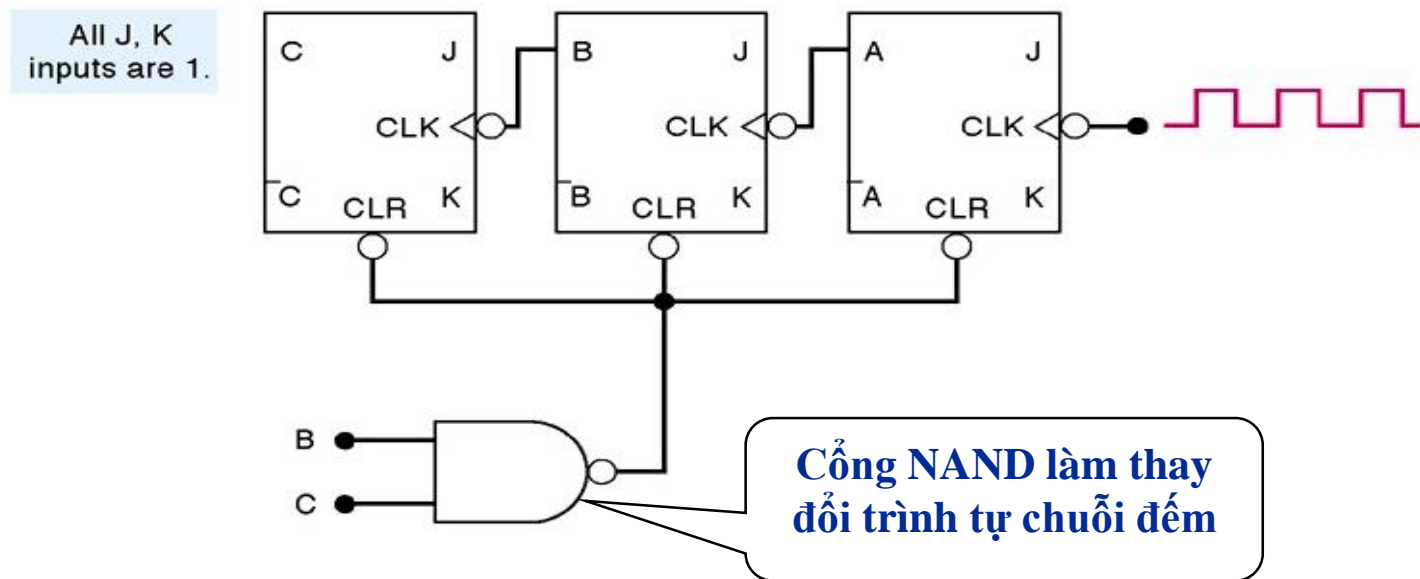
# Chia tần số (Frequency Division)

- Trong bất kỳ bộ đếm nào, tín hiệu ngõ xuất của **FF cuối cùng** (MSB) có tần số bằng tần số của tín hiệu **CLK** chia cho “**MOD number**” của bộ đếm
- Ví dụ
  - Bộ đếm **MOD-16**, ngõ xuất của FF cuối cùng có tần số bằng **1/16** tần số tín hiệu xung CLK - gọi là bộ đếm chia 16 (divide-by-16 counter)
  - Bộ đếm **MOD-60**



# Bộ đếm với MOD number $< 2^N$

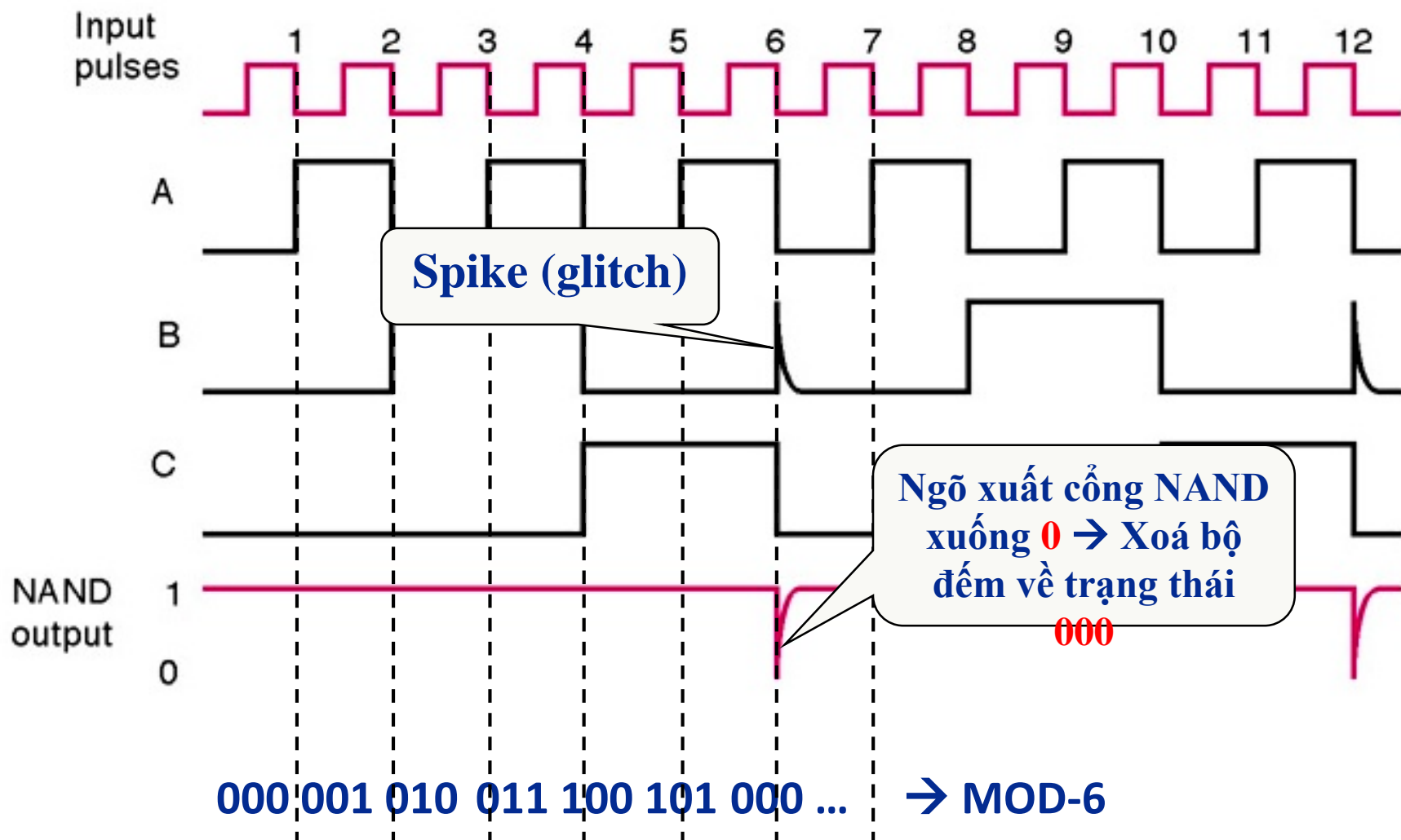
- Bộ đếm bất đồng bộ cơ bản N-FF được giới hạn đến MOD number =  $2^N$  (MOD number lớn nhất có thể đạt được với N-FF)
- Bộ đếm cơ bản với MOD number  $< 2^N$ : bộ đếm bỏ qua một số trạng thái trong chuỗi đếm thông thường
- Ví dụ



# Bộ đếm với MOD number $< 2^N$

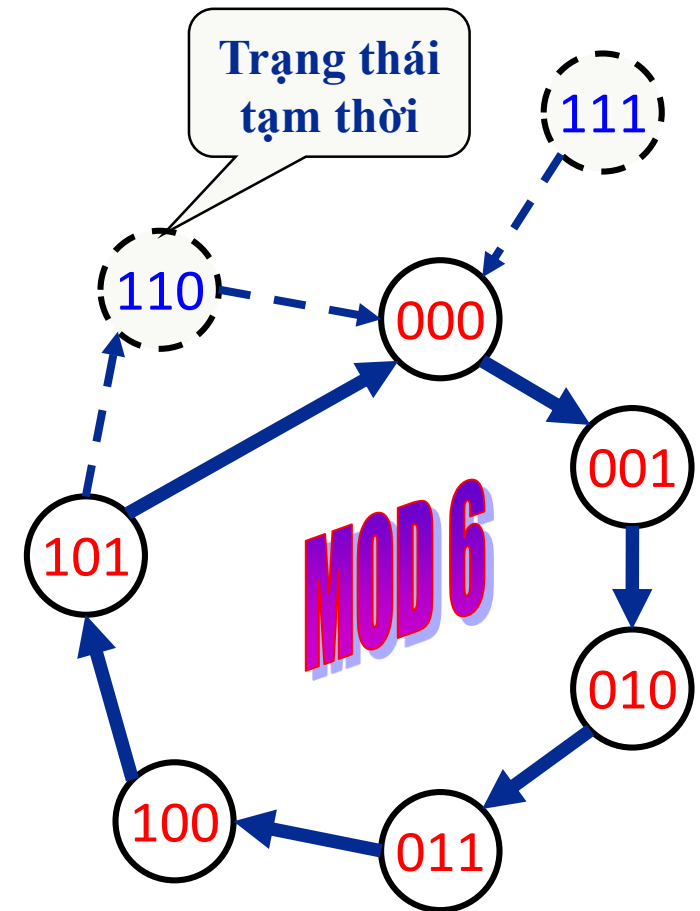
- Ngõ xuất của cổng NAND được kết nối với ngõ nhập bất đồng bộ CLR của mỗi FF
  - Ngõ xuất = HIGH: không ảnh hưởng đến bộ đếm
  - Ngõ xuất = LOW: các FF sẽ bị xoá về 0, tương ứng bộ đếm sẽ về trạng thái 000 ngay lập tức
- 2 ngõ nhập của cổng NAND là 2 tín hiệu ngõ xuất B và C, ngõ xuất cổng NAND = LOW khi **B = C = 1**
  - Điều kiện xoá xảy ra khi bộ đếm chuyển từ trạng thái 101 sang 110 tại thời điểm cạnh xuống (NGT) của xung CLK thứ 6
  - Khi các FF bị xoá, ngõ xuất cổng NAND = HIGH, điều kiện B = C = 1 không còn tồn tại → bộ đếm hoạt động bình thường

# Bộ đếm với MOD number $< 2^N$



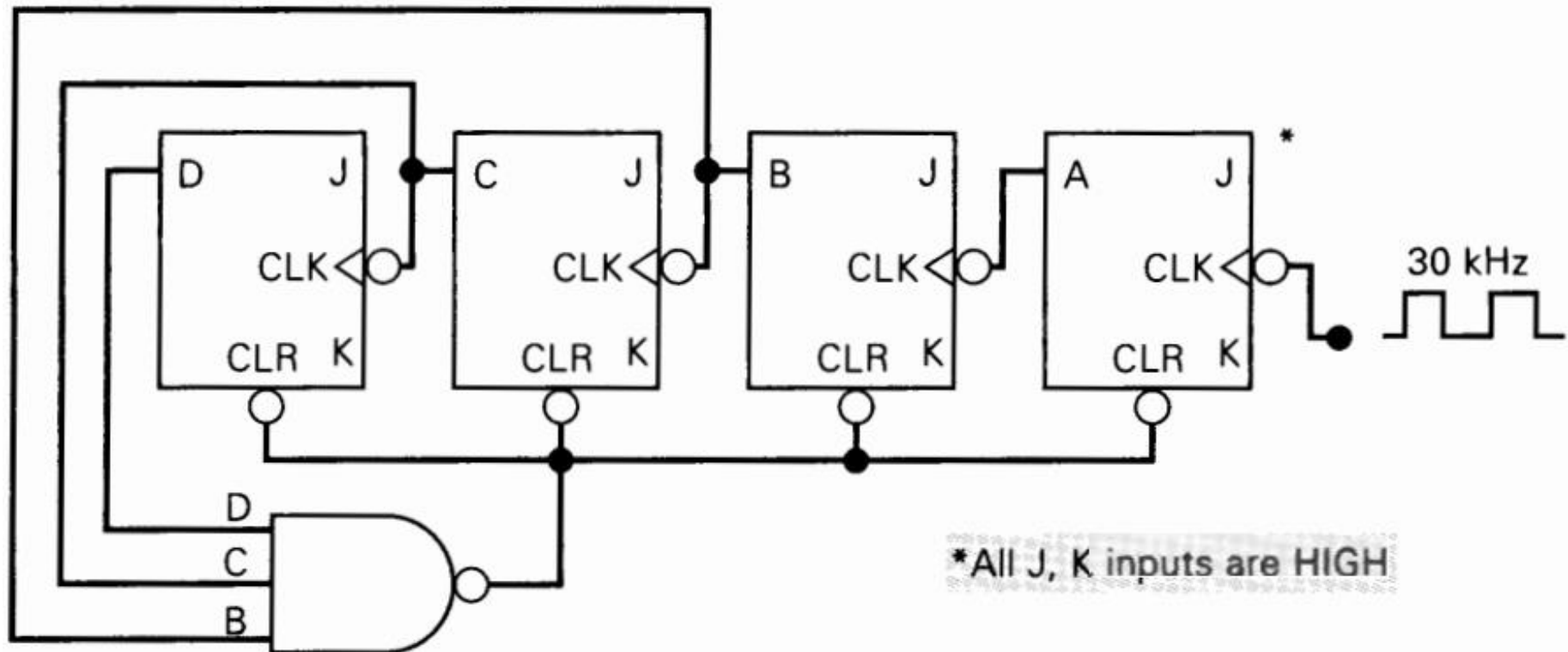
# Bộ đếm với MOD number $< 2^N$

- Bộ đếm đếm từ giá trị 000 (0) đến 101 (5), bỏ qua giá trị 110 và 111  $\rightarrow$  6 trạng thái  $\rightarrow$  bộ đếm MOD-6
- Duty cycle: tỷ lệ phần trăm thời gian tín hiệu ở trạng thái tích cực trên tổng thời gian 1 chu kỳ
  - Xung vuông đối xứng : 50%
  - Ngõ xuất C (xét mức logic 1): 33.33% ( $\frac{1}{3}$ )



**Biểu đồ chuyển trạng thái  
(State Transition Diagram)**

# Bộ đếm với MOD number $< 2^N$



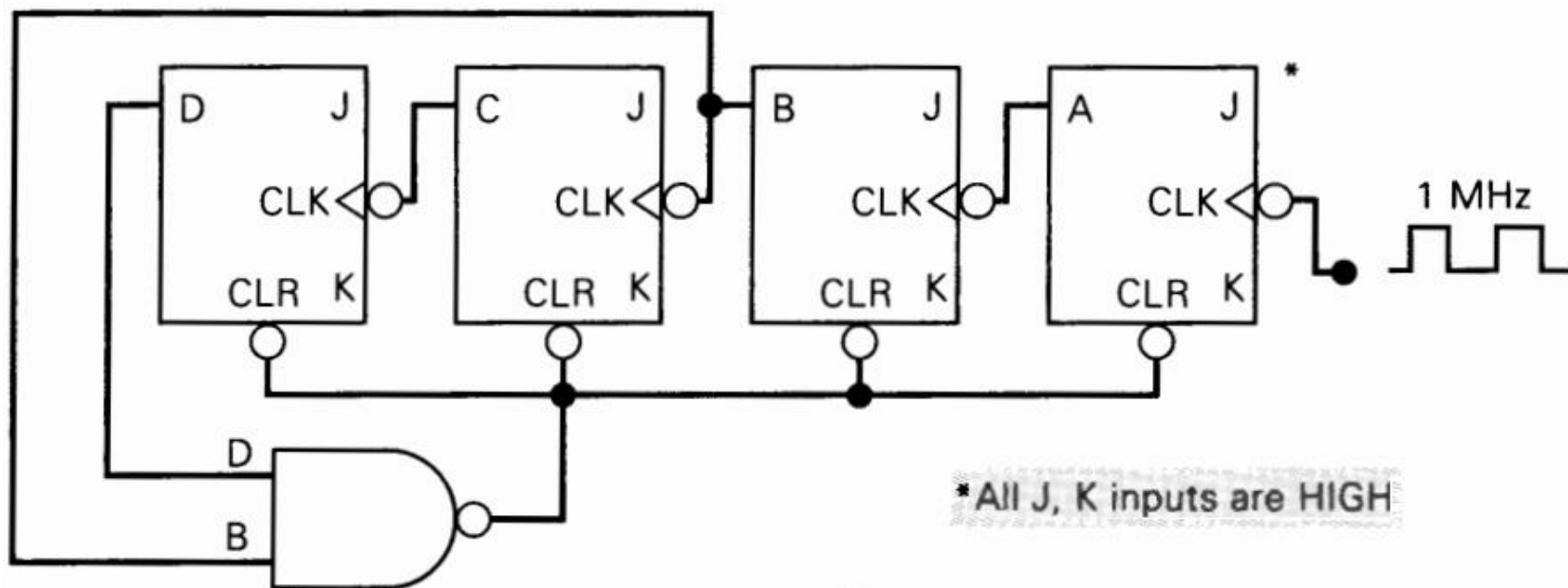
- MOD number = ?
- Tần số tai ngõ xuất D = ?

# Bộ đếm với MOD number $< 2^N$

- Quy trình xây dựng bộ đếm từ bắt đầu từ 0 và có MOD number = X
  1. Tìm số lượng FF nhỏ nhất sao cho  $2^N \geq X$ . Nếu  $2^N = X$ , bỏ qua bước 2 và 3
  2. Kết nối ngõ xuất của cổng NAND với ngõ nhập bất đồng bộ của tất cả các FF
  3. Xác định FF có ngõ xuất ở mức 1 (HIGH) tại trạng thái bộ đếm = X, kết nối ngõ xuất các FF này vào các ngõ nhập của cổng NAND

# Bộ đếm Mười – bộ đếm BCD

- Bộ đếm Mười (Decade): gồm 10 trạng thái phân biệt hay bộ đếm MOD-10 (không quan tâm đến thứ tự)
- Bộ đếm BCD: bộ đếm đếm từ 0000  $\rightarrow$  1001
- Ứng dụng bộ đếm MOD-10: chia tần số cho 10





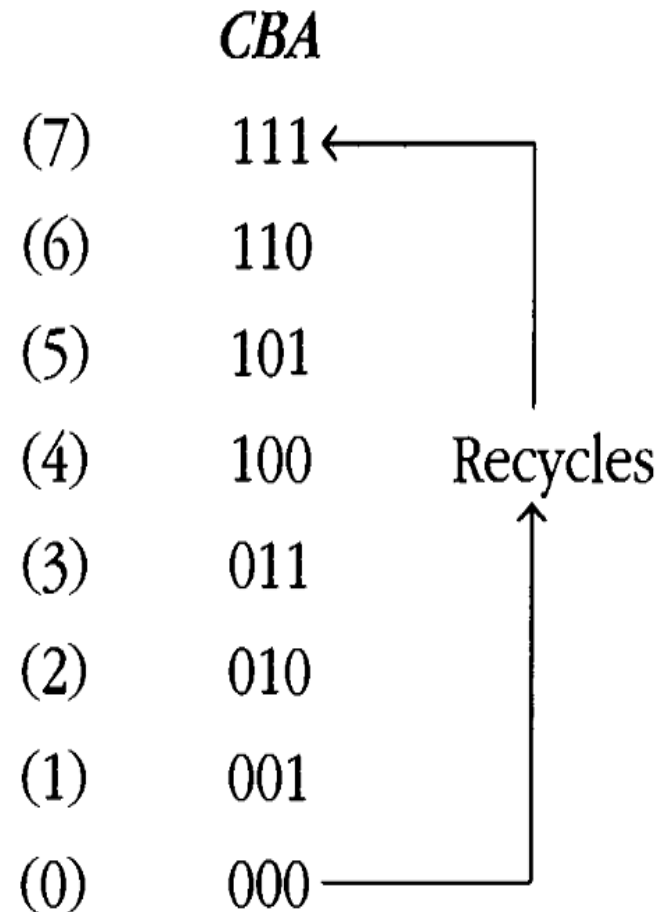
# Bộ đếm xuống bất đồng bộ

- Ngõ xuất A (LSB) thay đổi trạng thái tại mỗi bước đếm (tương tự bộ đếm lên)
- Ngõ xuất B thay đổi trạng thái khi A từ 0  $\rightarrow$  1 (cạnh lên)
- Ngõ xuất C thay đổi trạng thái khi B từ 0  $\rightarrow$  1 (cạnh lên)

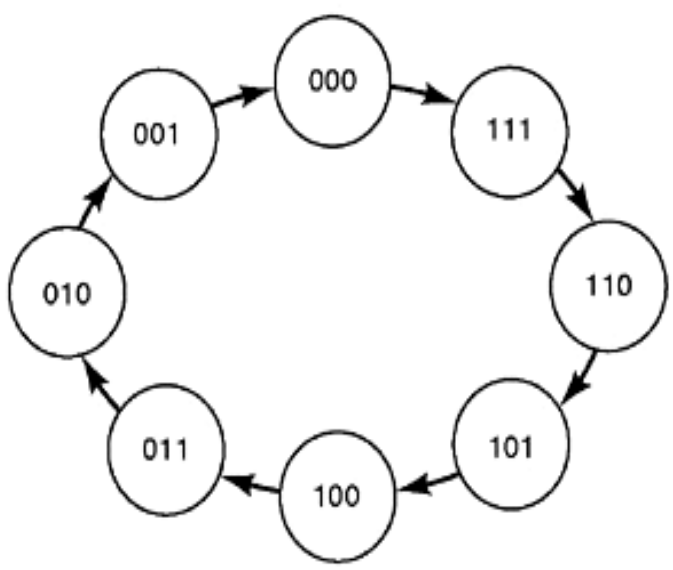
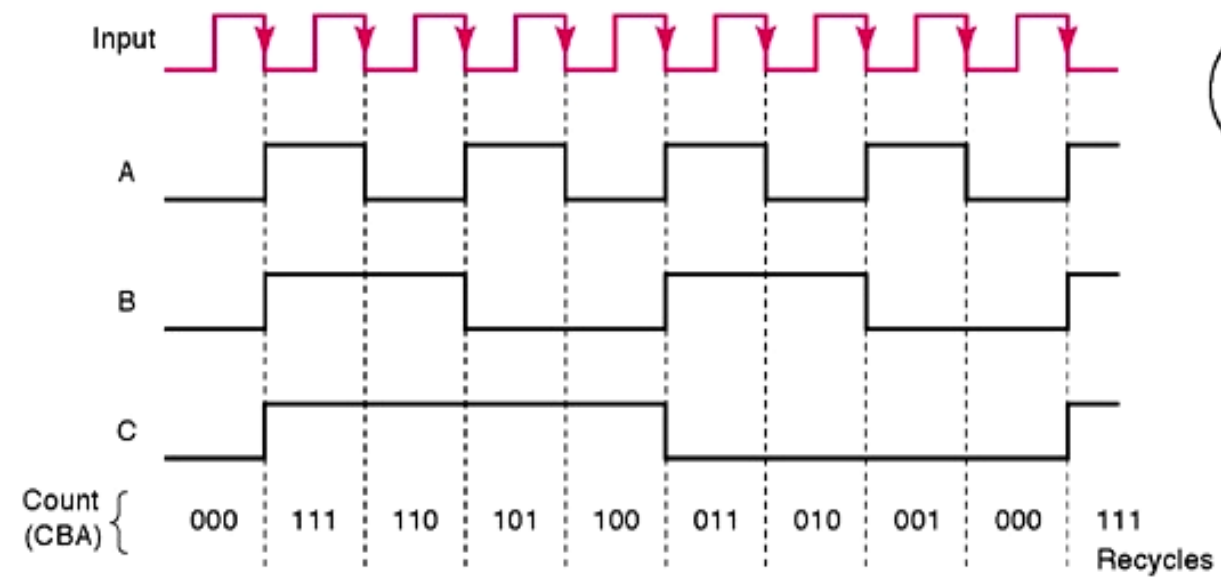
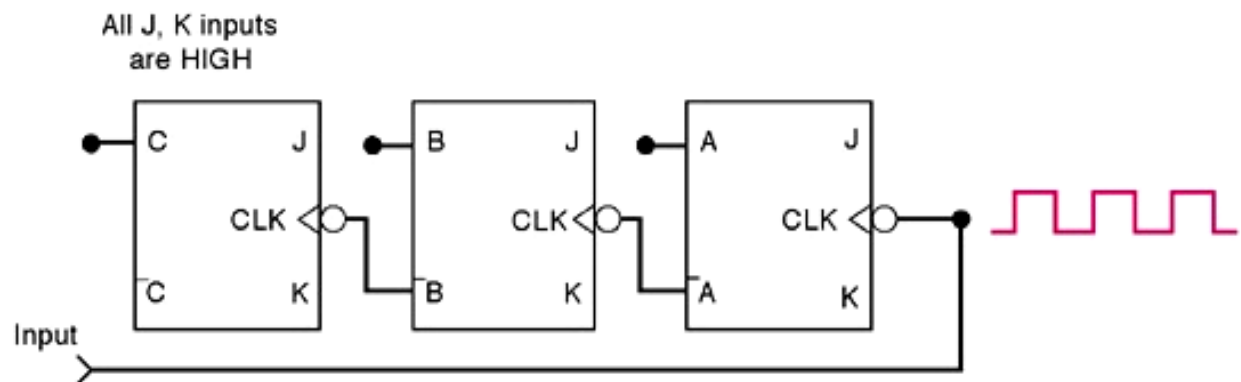
→ Xung CLK được đưa vào FFA

**A'** đóng vai trò xung CLK cho FF B

**B'** đóng vai trò xung CLK cho FF C

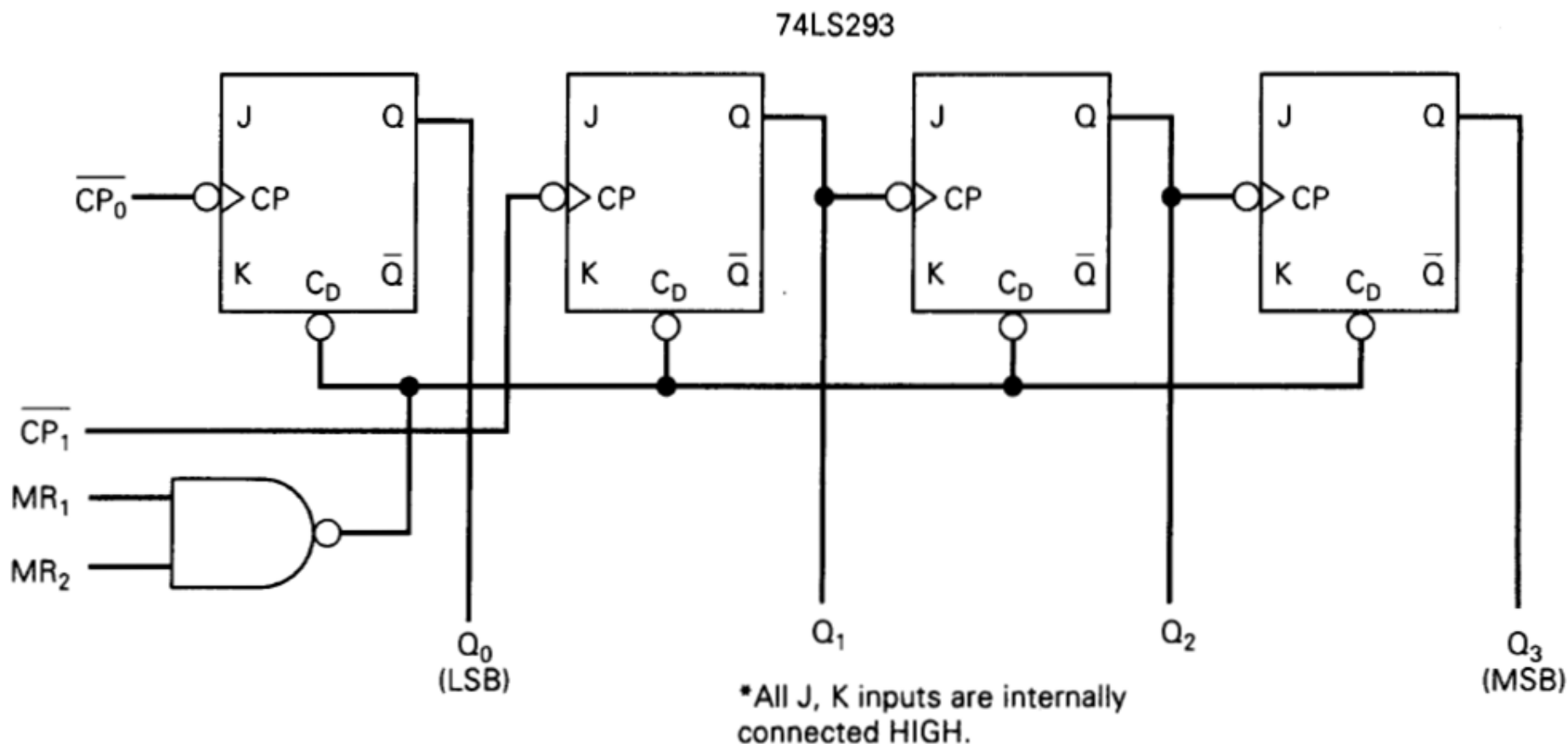


# Bộ đếm xuống bất đồng bộ

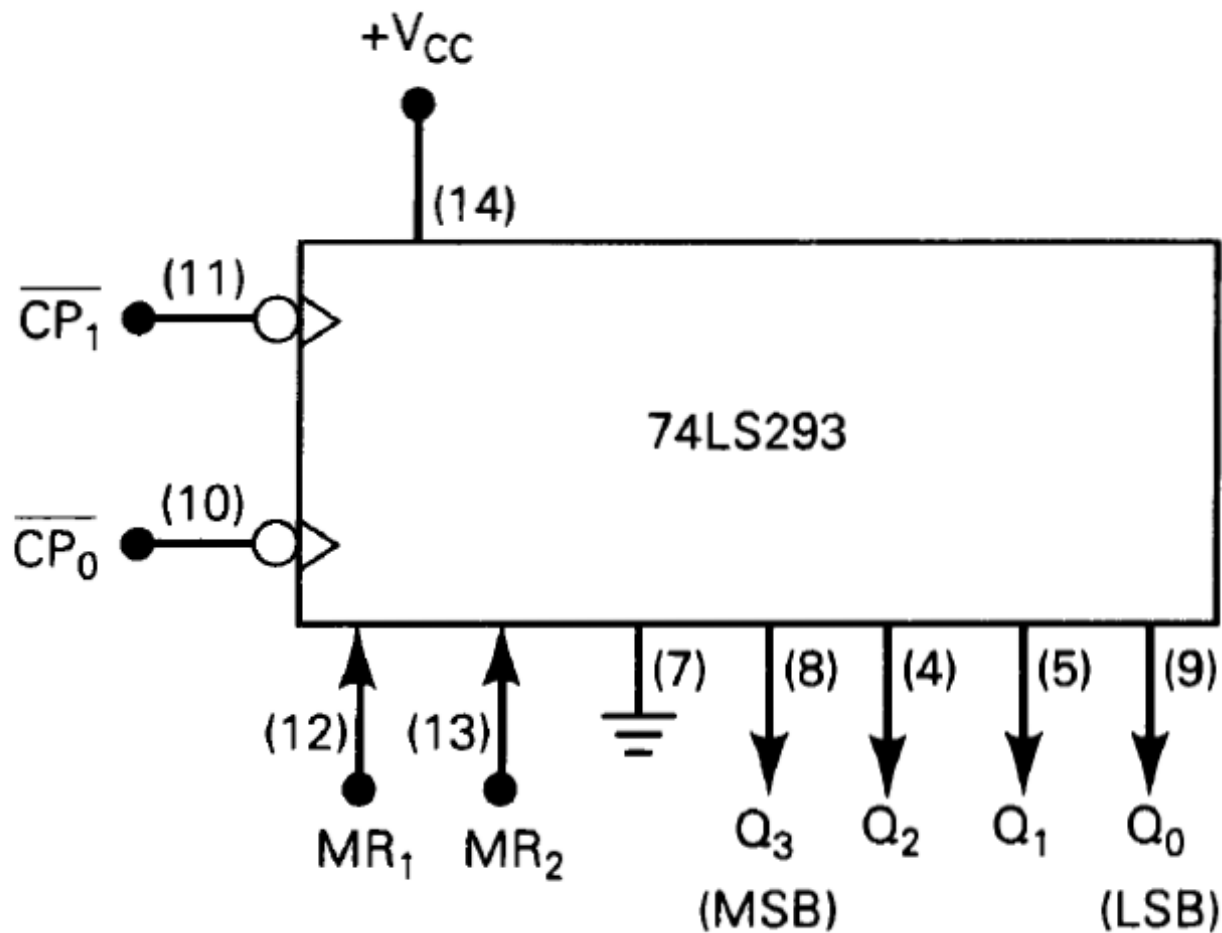


# IC đếm bất đồng bộ

## ■ IC 74LS293 (TTL)



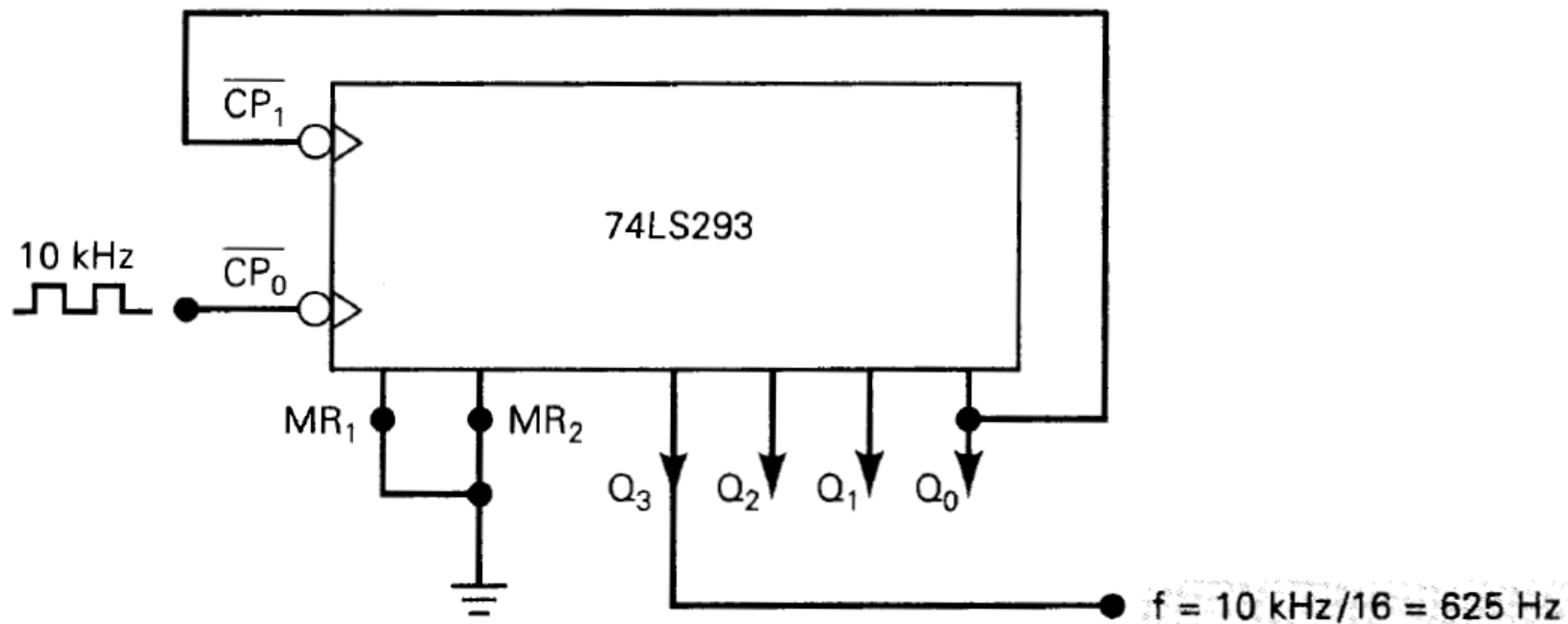
# IC đếm bất đồng bộ



# IC đếm bất đồng bộ

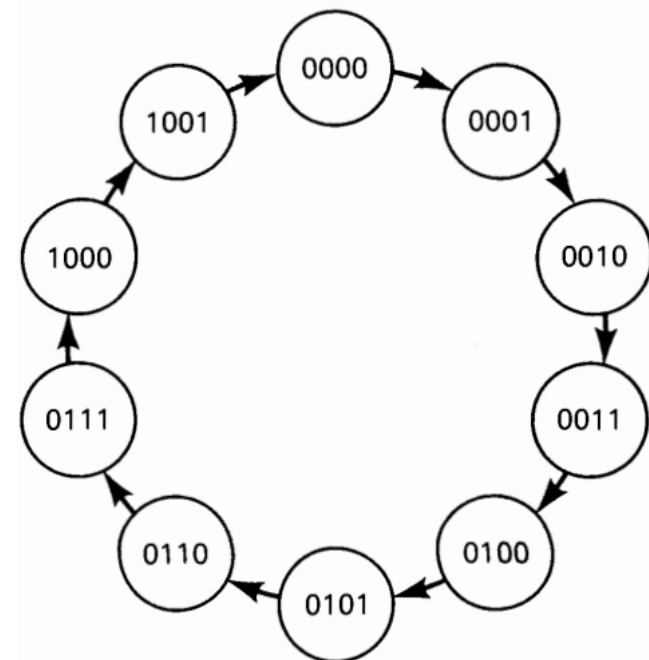
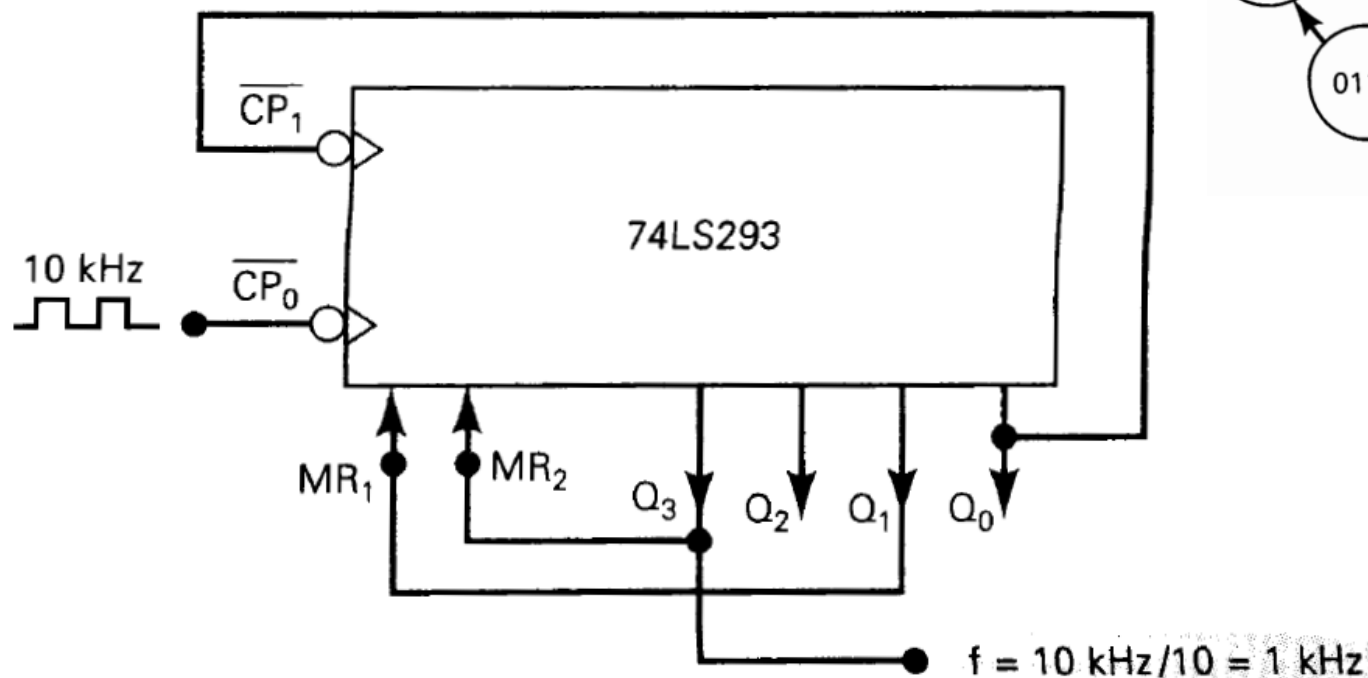
## ■ Ví dụ:

- Thiêt bộ đếm MOD-16 với tần số xung CLK ngõ nhập 10 kHz sử dụng IC 74LS293
- Xác định tần số ngõ xuất Q<sub>3</sub>



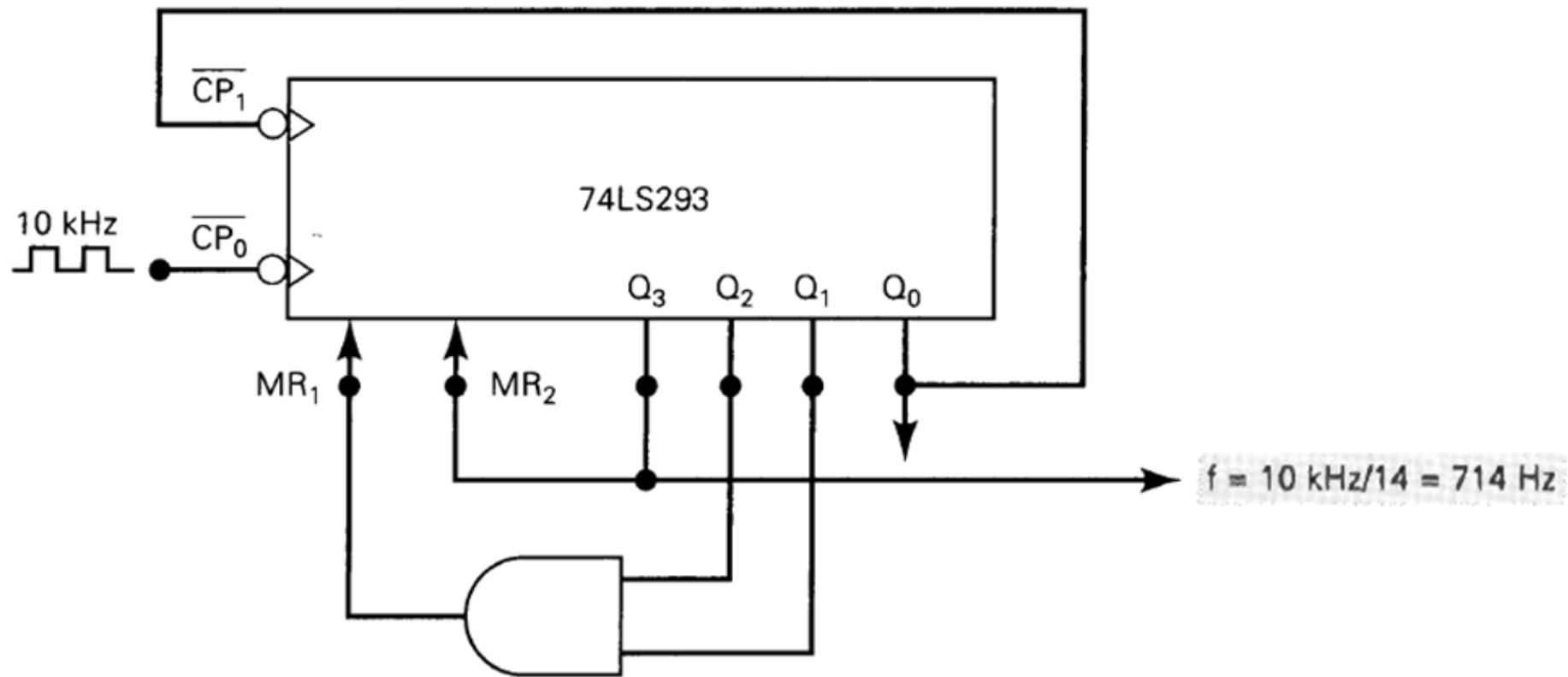
# IC đếm bất đồng bộ

- Bộ đếm MOD-10



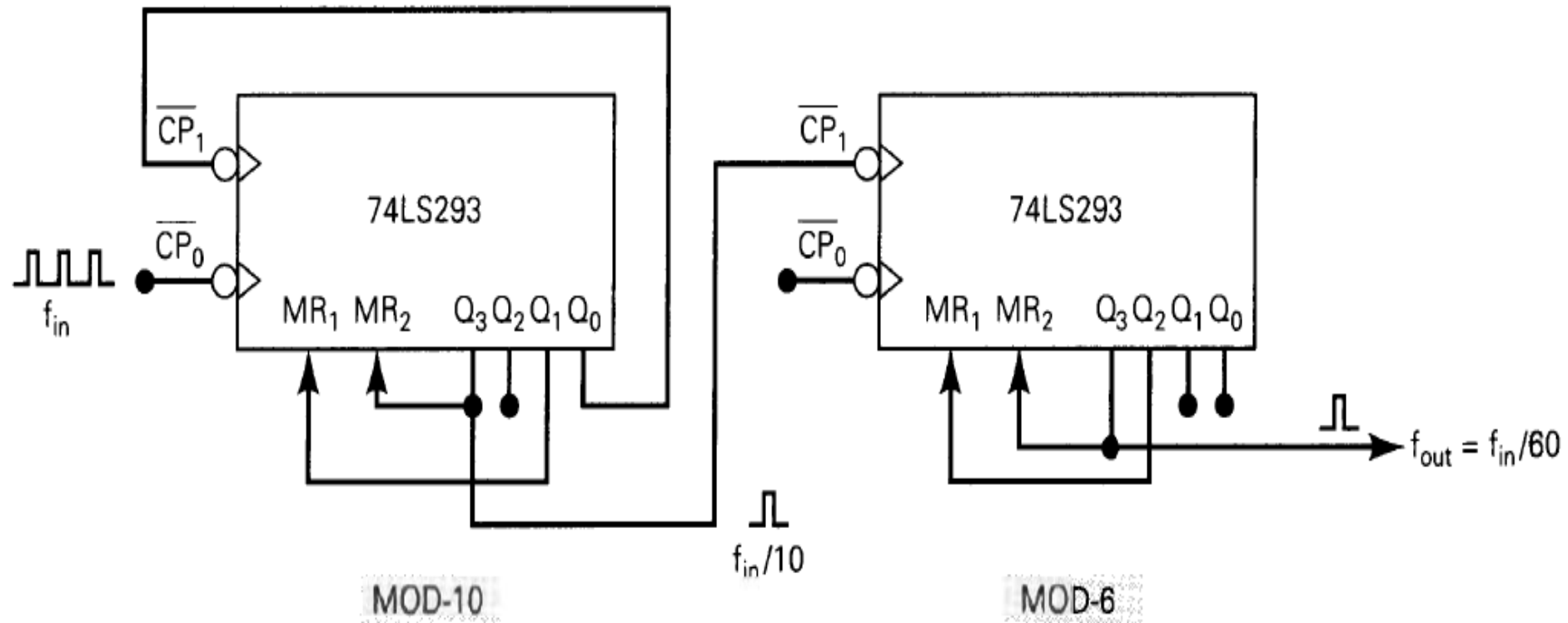
# IC đếm bất đồng bộ

- Bộ đếm MOD-14



# IC đếm bất đồng bộ

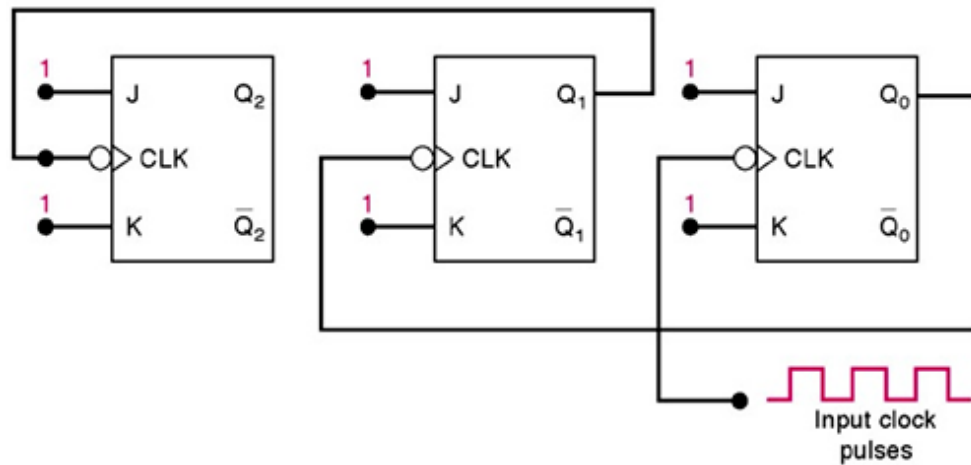
## ■ Bộ đếm MOD-60





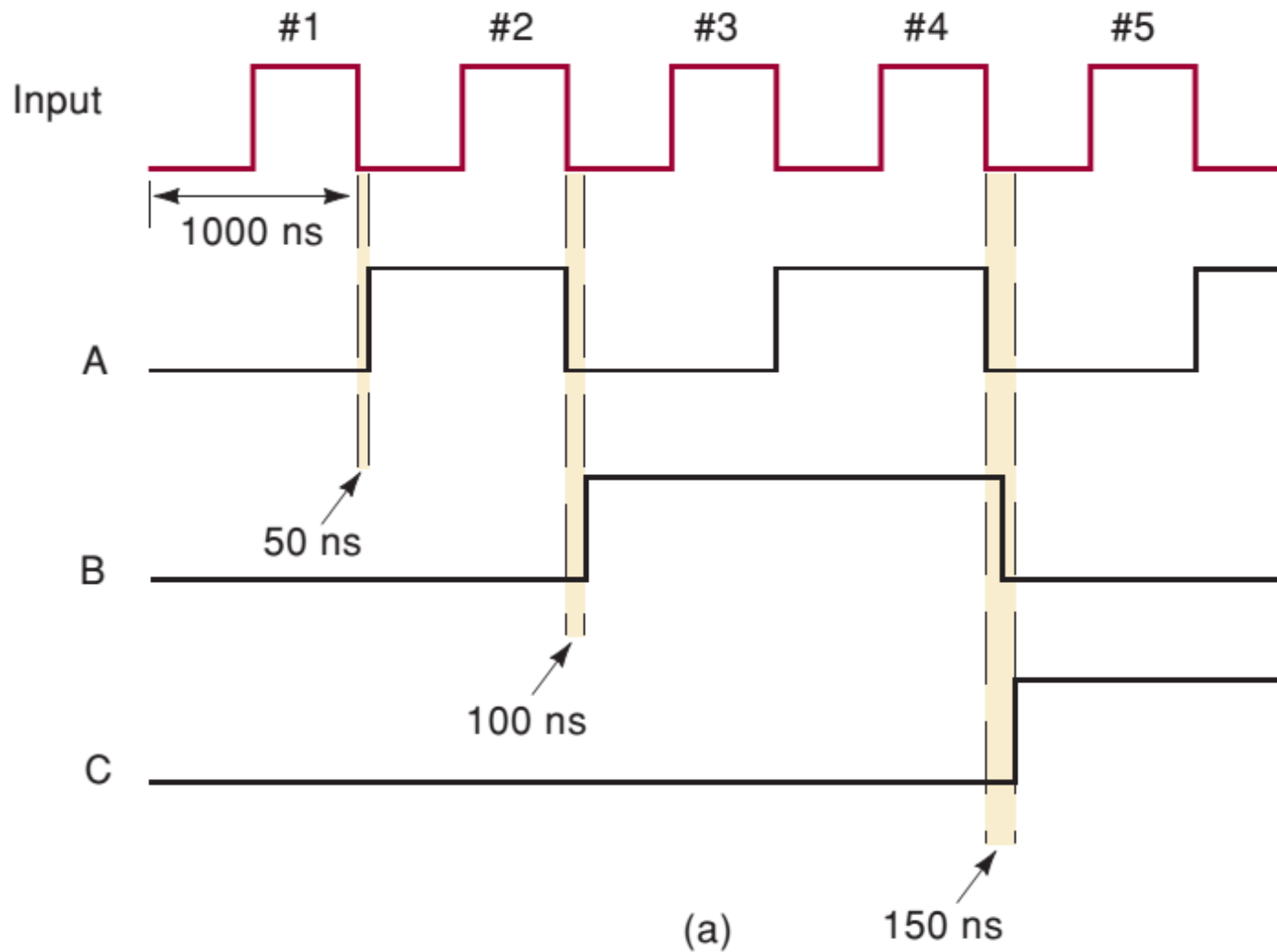
# Hạn chế của bộ đếm Ripple

- Nguyên lý hoạt động cơ bản của bộ đếm bất đồng bộ (Ripple)

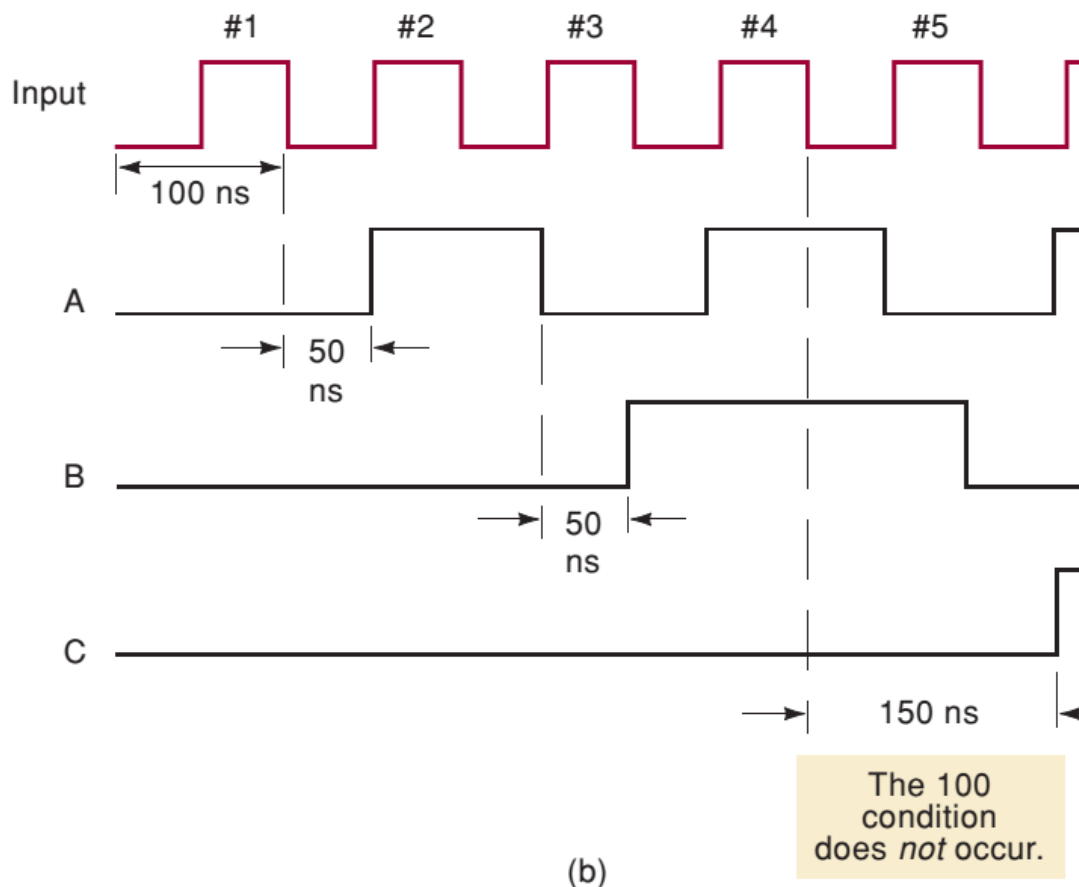


- Trễ lan truyền  $t_{pd}$  (propagation delay) của FF
  - FF thứ  $N$  sẽ không đáp ứng (thay đổi trạng thái) ít nhất trong khoảng thời gian  $N \times t_{pd}$  sau khi tín hiệu clock tích cực

# Hạn chế của bộ đếm Ripple



# Hạn chế của bộ đếm Ripple



- Điều kiện để bộ đếm hoạt động đúng

$$T_{clock} \geq N \times t_{pd} \quad \text{hay} \quad f_{max} = 1/(N \times t_{pd})$$

# Hạn chế của bộ đếm Ripple

- Xét bộ đếm 4bit ripple được thiết kế bằng 74LS112 J-K Flip-flop. Với  $t_{PLH} = 16\text{ns}$ ,  $t_{PHL}=24\text{ns}$ .

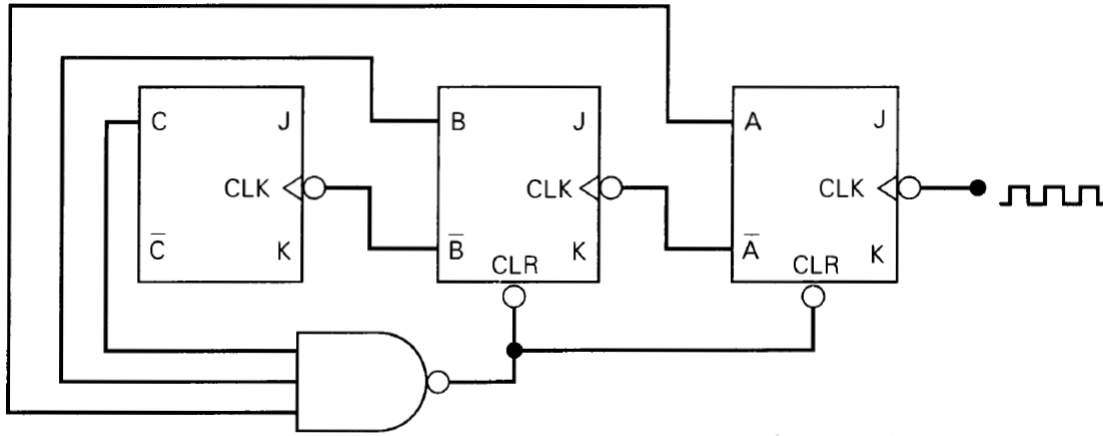
Tính  $F_{\max}$  cho bộ đếm này?

$$f_{\max} = \frac{1}{4 \times 24 \text{ ns}} = 10.4 \text{ MHz}$$

- Bộ đếm 6 bit

$$f_{\max} = \frac{1}{6 \times 24 \text{ ns}} = 6.9 \text{ MHz}$$

# Hạn chế của bộ đếm Ripple



All J, K inputs are HIGH

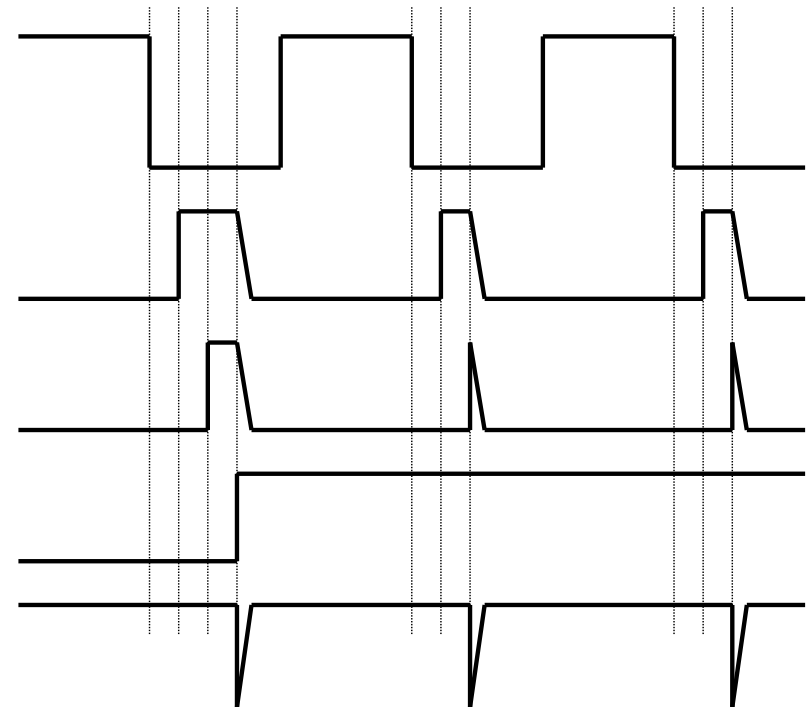
CLOCK

A  
1  
0

B  
1  
0

C  
1  
0

NAND  
1  
0



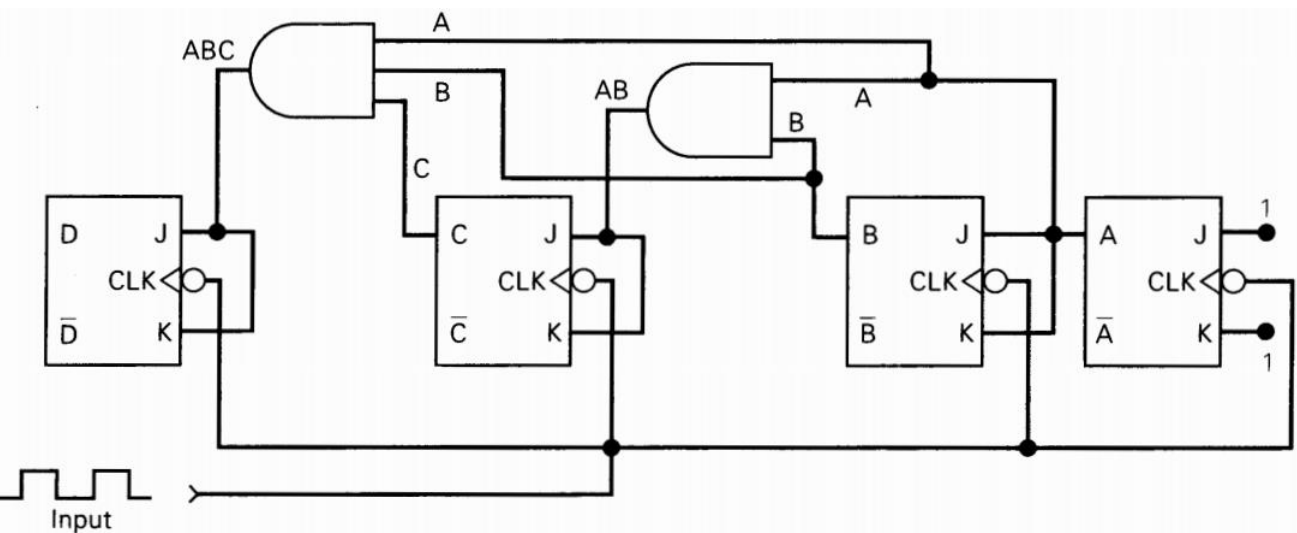
# Bài tập

- Thiết kế bộ đếm bất đồng bộ sử dụng 74LS293
  - a. MOD 13
  - b. MOD 33
  - c. MOD 43
  - d. MOD 63

# Bộ đếm đồng bộ (song song)

- Bộ đếm đồng bộ (Synchronous – Parallel)
  - Khắc phục các nhược điểm của bộ đếm bất đồng bộ
  - Các tín hiệu CLK của tất cả các FF được kết nối với nhau  
→ tín hiệu clock ngõ nhập được đưa đến mỗi FF một cách đồng thời.
  - Chỉ FF A (LSB) có tín hiệu ngõ nhập  $J = K = 1$  (HIGH), các tín hiệu J, K của các FF còn lại được điều khiển bởi tổ hợp các ngõ xuất của các FF
  - Bộ đếm đồng bộ cần nhiều mạch điện hơn so với bộ đếm bất đồng bộ

# Bộ đếm đồng bộ (song song)



Count	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0
.	.	.	.	.
.	.	.	.	.
.	.	etc.	.	.



# Bộ đếm đồng bộ (song song)

## ■ Hoạt động của bộ đếm

- Chỉ các FF đổi hỏi chuyển trạng thái (toggle) khi có tích cực cạnh xuống (NGT) cần có  $J = K = 1$
- FF A chuyển trạng thái mỗi khi có cạnh xuống (NGT) của xung clock  $\rightarrow J = K = 1$
- FF B chuyển trạng thái mỗi khi có cạnh xuống (NGT) của xung clock trong khi  $A = 1$
- FF C chuyển trạng thái mỗi khi có cạnh xuống (NGT) của xung clock trong khi  $A = B = 1$
- FF D chuyển trạng thái mỗi khi có cạnh xuống (NGT) của xung clock trong khi  $A = B = C = 1$

➔ Các tín hiệu J, K của mỗi FF nên kết nối sao cho chúng ở mức 1 (HIGH) chỉ khi các ngõ xuất của các FF trọng số thấp hơn đều ở mức 1

# Bộ đếm đồng bộ (song song)

- Ưu điểm của bộ đếm đồng bộ
  - Ngõ xuất của các FF thay đổi trạng thái cùng lúc, đồng bộ với các cạnh xuống (NGT) của xung clock ngõ nhập
  - Trễ lan truyền không bị tích lũy qua các FF
  - Tổng thời gian đáp ứng bằng thời gian để 1 FF chuyển trạng thái cộng với thời gian để các mức luận lý mới lan truyền qua 1 cổng AND để đến ngõ nhập J, K

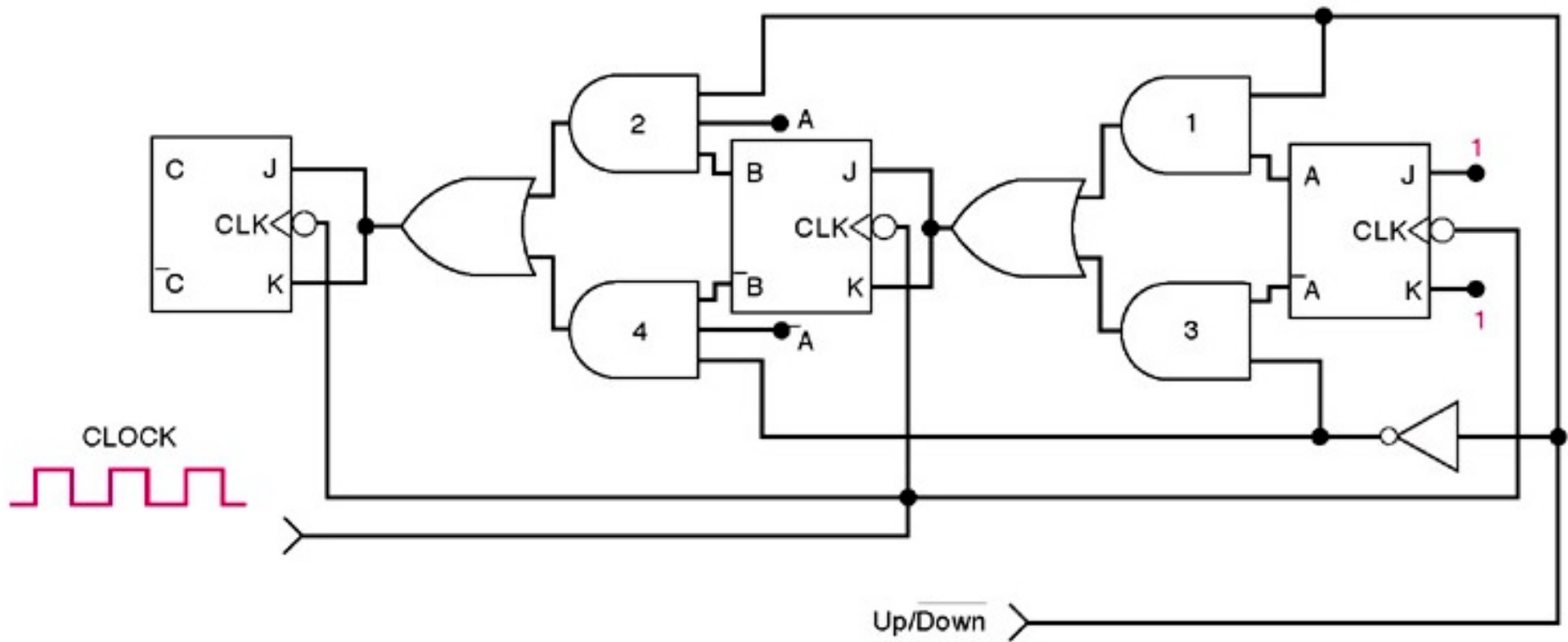
$$\text{Tổng thời gian trễ} = t_{pd}(\text{FF}) + t_{pd}(\text{AND})$$

- IC đếm đồng bộ
  - 74LS160/162: bộ đếm đồng bộ MOD-10
  - 74LS161/163: bộ đếm đồng bộ MOD-16

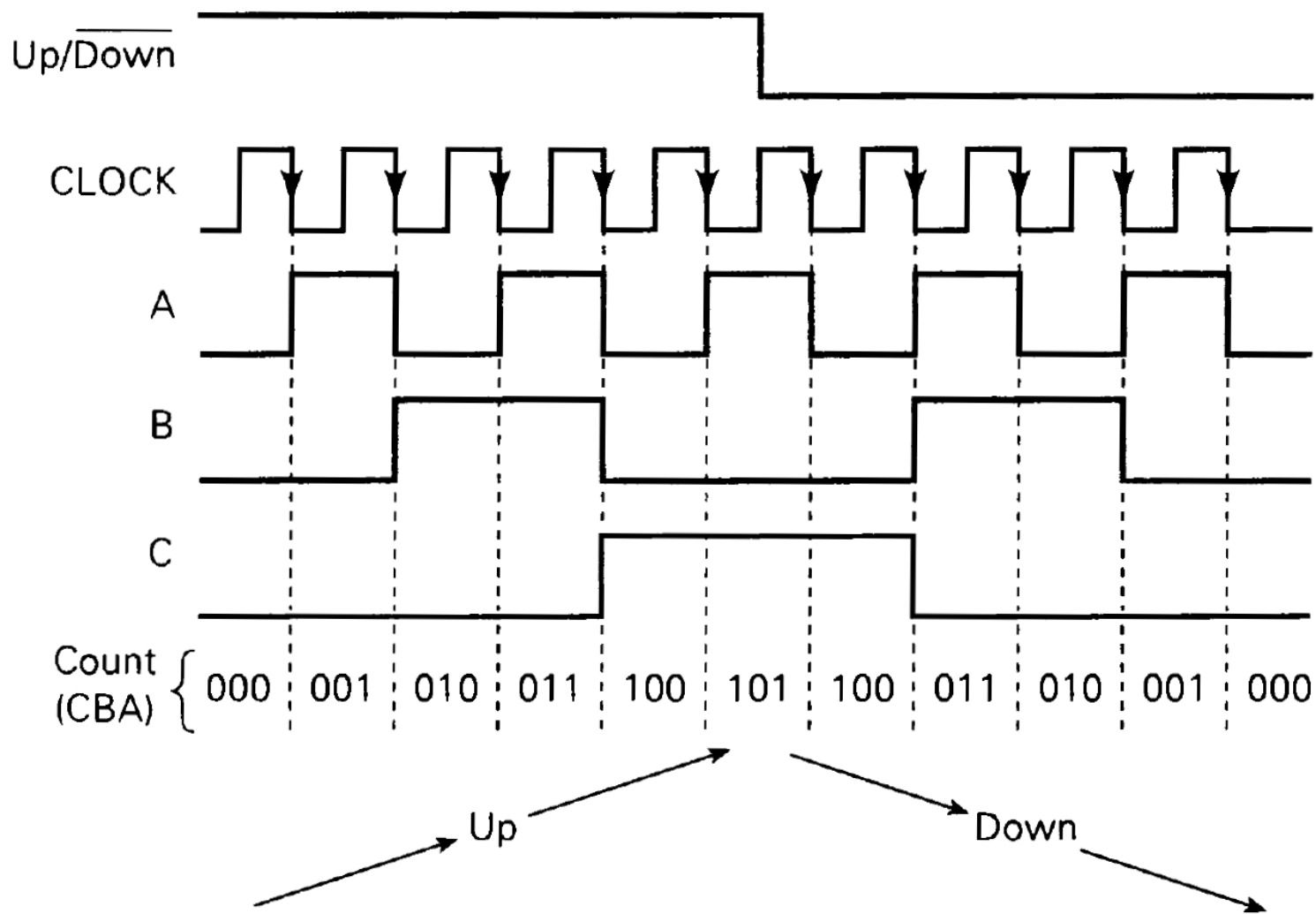
# Bộ đếm lên/xuống đồng bộ

- Tín hiệu ngõ nhập  $Up/\overline{Down}$  điều khiển việc sử dụng các ngõ xuất thông thường (A, B, C, D) hay các ngõ xuất đảo (A', B', C', D') để điều khiển các ngõ nhập J, K của các FF
- Khi  $Up/\overline{Down}$  ở mức 1 (HIGH), các cổng AND 1, 2 được tích cực và các cổng AND 3, 4 bị cấm
  - Cho phép tín hiệu A, B đi qua
- Khi  $Up/\overline{Down}$  ở mức 0 (LOW), các cổng AND 1, 2 bị cấm và các cổng AND 3, 4 được tích cực
  - Cho phép tín hiệu A', B' đi qua

# Bộ đếm lên/xuống đồng bộ



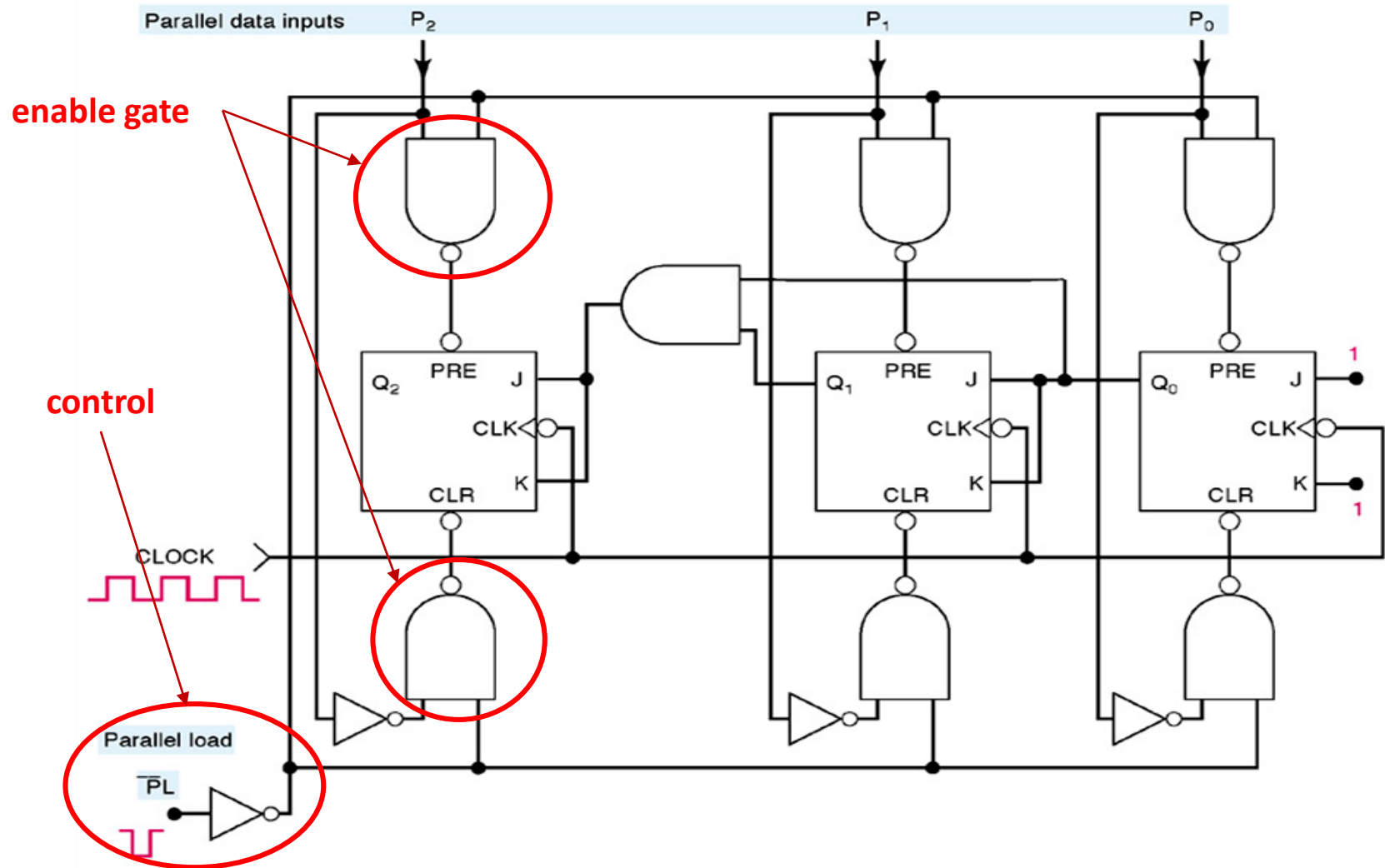
# Bộ đếm lên/xuống đồng bộ



# Bộ đếm với khả năng Preset

- Hoạt động *Preset*
  - Bộ đếm có thể được thiết lập về bất kỳ trạng thái ban đầu nào theo mong muốn
  - Có thể là đồng bộ hoặc bất đồng bộ với xung clock, hoạt động này còn gọi là  **nạp song song**  (**parallel loading**) cho bộ đếm
  - Các chân ngõ nhập bất đồng bộ PRESET & CLEAR của FF được dùng cho hoạt động *Preset* bất đồng bộ
- Nạp trạng thái mong muốn cho bộ đếm
  1. Thiết lập trạng thái đếm mong muốn tại các chân ngõ nhập song song P2, P1 và P0
  2. Tạo một xung mức 0 (LOW) tại chân ngõ nhập PARALLEL LOAD (PL)

# Bộ đếm với khả năng Preset

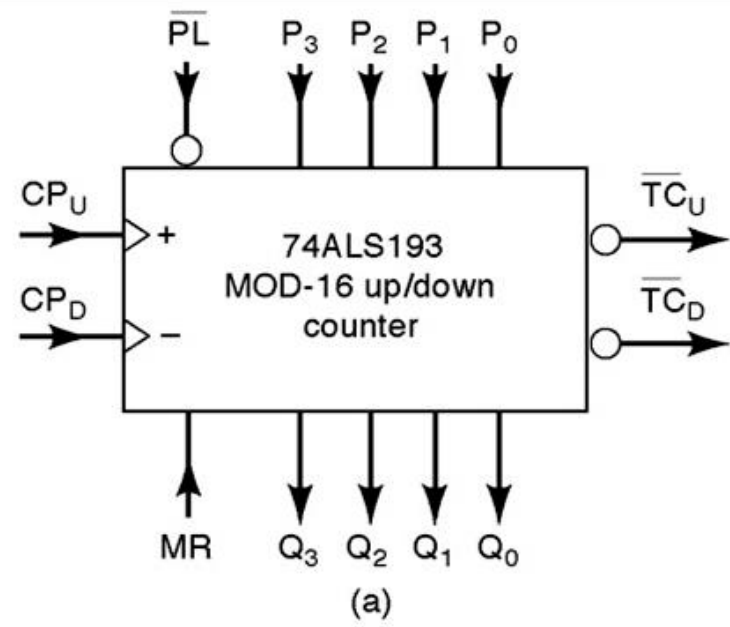


# IC 74LS193/HC193

- Chức năng
  - Bộ đếm **lên/xuống đồng bộ MOD-16**
  - Hỗ trợ chức năng *Preset* bất đồng bộ và **Master** reset bất đồng bộ
  
- Mô tả chức năng các chân
  - Xung clock ngõ nhập  $CP_U$  and  $CP_D$  – tích cực **cạnh lên**
    - Đếm lên:  $CP_D$  ở mức 1 (HIGH)
    - Đếm xuống:  $CP_U$  ở mức 1 (HIGH)
  - **Master Reset** (MR): tích cực **mức 1** (HIGH) và reset trạng thái bộ đếm về 0000 (ưu tiên cao nhất)
  - Các ngõ nhập Preset:  $P_3 \rightarrow P_0$ , các ngõ xuất:  $Q_3 \rightarrow Q_0$
  - Các ngõ xuất Terminal Count (TC): sử dụng khi kết nối 2 hoặc nhiều hơn các IC để thành bộ đếm với MOD lớn hơn



# IC 74LS193/HC193



Mode Select

MR	$\overline{\text{PL}}$	$\text{CP}_U$	$\text{CP}_D$	Mode
H	X	X	X	Asynch. reset
L	L	X	X	Asynch. preset
L	H	H	H	No change
L	H	$\uparrow$	H	Count up
L	H	H	$\uparrow$	Count down

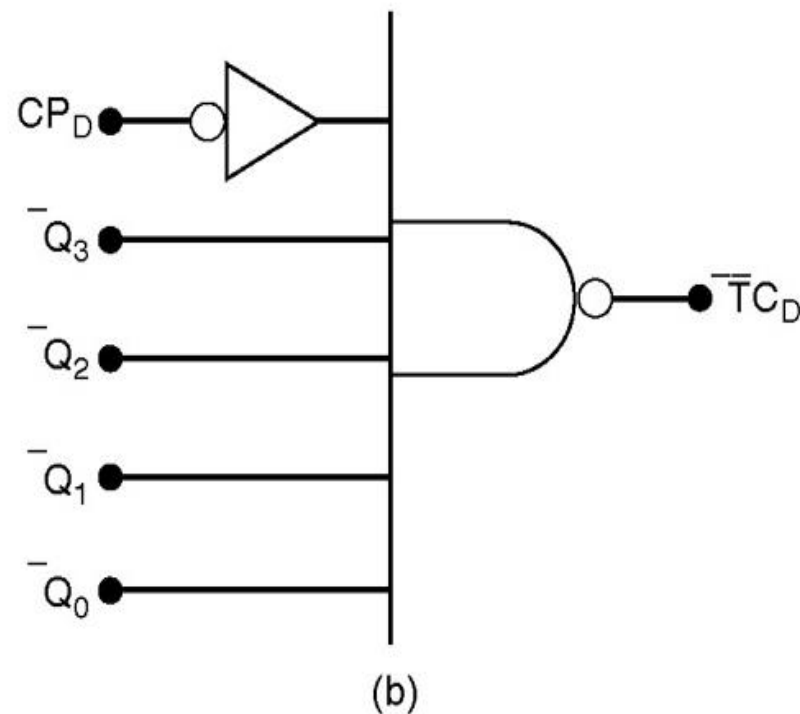
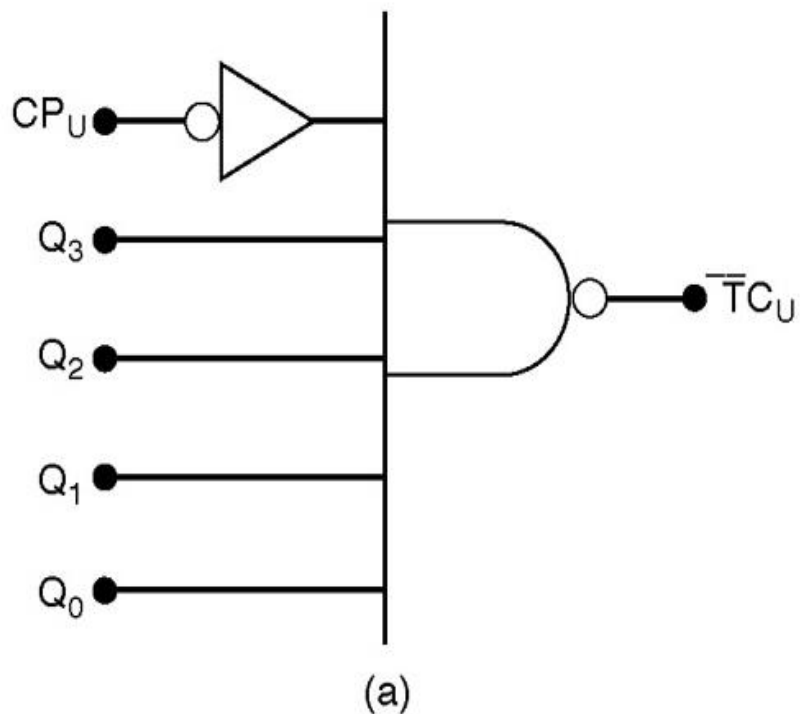
H = HIGH; L = LOW  
X = Don't care;  $\uparrow$  = PGT

(c)

Pin	Description
$\text{CP}_U$	Count-up clock input (active rising edge)
$\text{CP}_D$	Count-down clock input (active rising edge)
MR	Asynchronous master reset input (active HIGH)
$\overline{\text{PL}}$	Asynchronous parallel load input (active LOW)
$\text{P}_0\text{-P}_3$	Parallel data inputs
$\text{Q}_0\text{-Q}_3$	Flip-flop outputs
$\overline{\text{TC}}_D$	Terminal count-down (borrow) output (active LOW)
$\overline{\text{TC}}_U$	Terminal count-up (carry) output (active) LOW

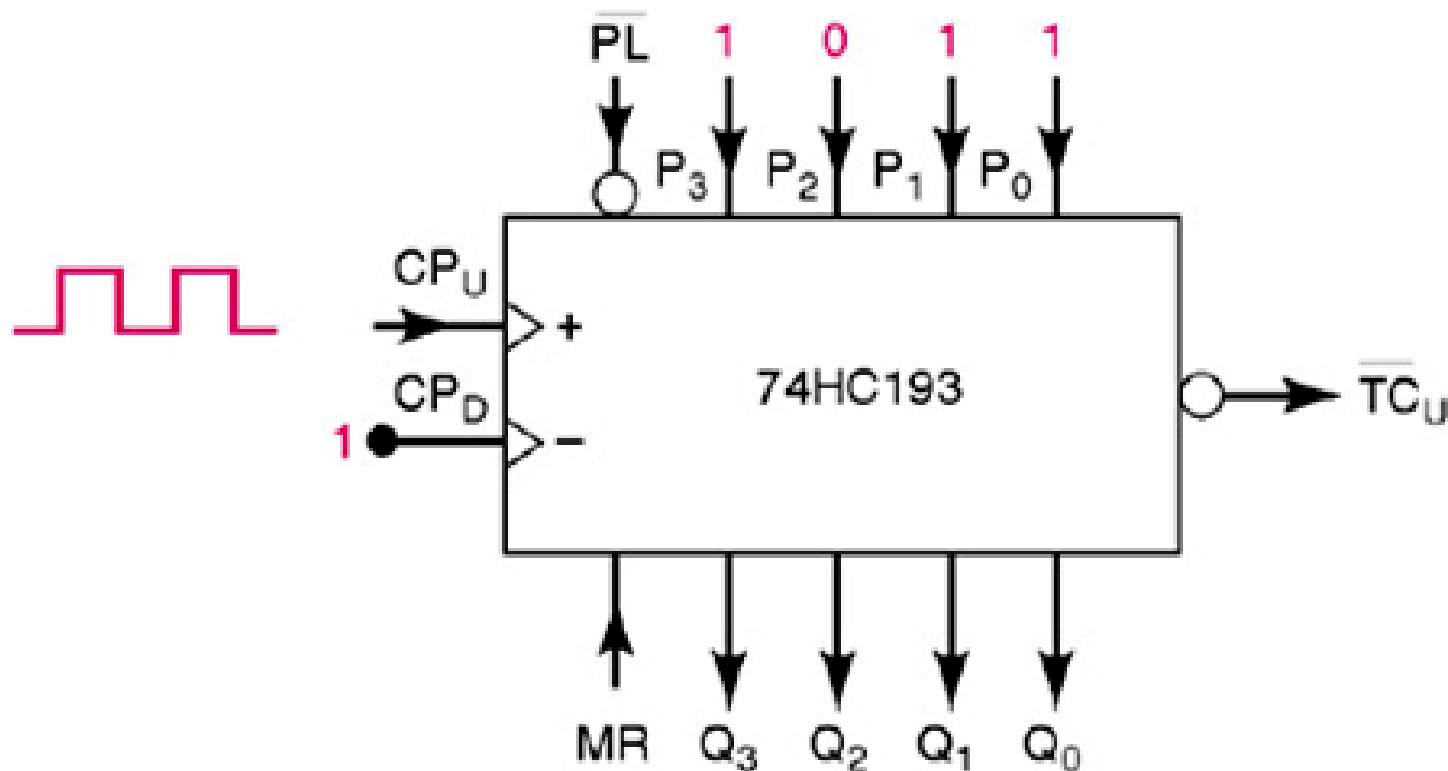
(b)

# IC 74LS193/HC193

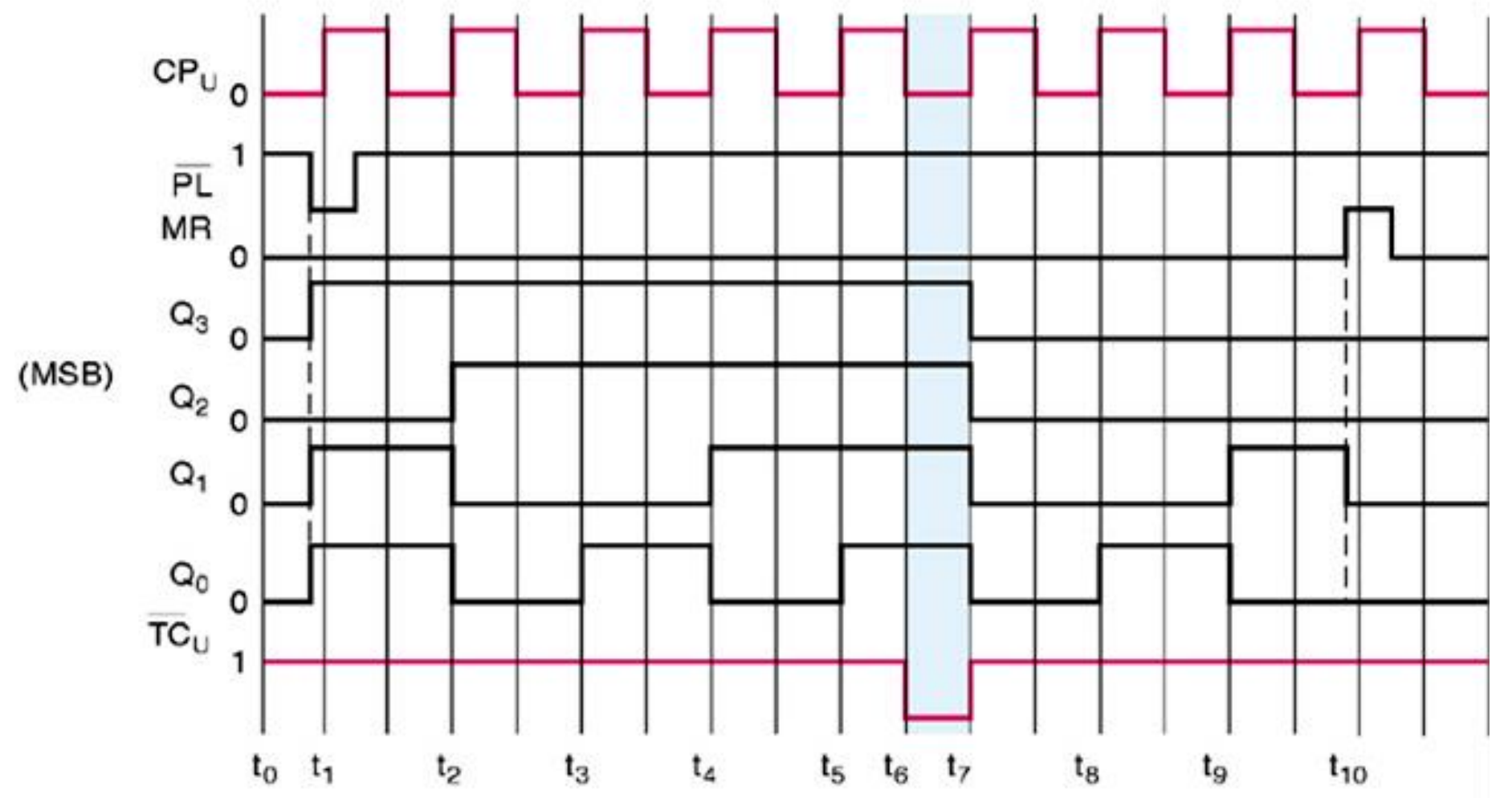


Cấu tạo ngõ xuất  $TC_U$  và  $TC_D$  của 74ALS193

# IC 74LS193/HC193 – Ví dụ



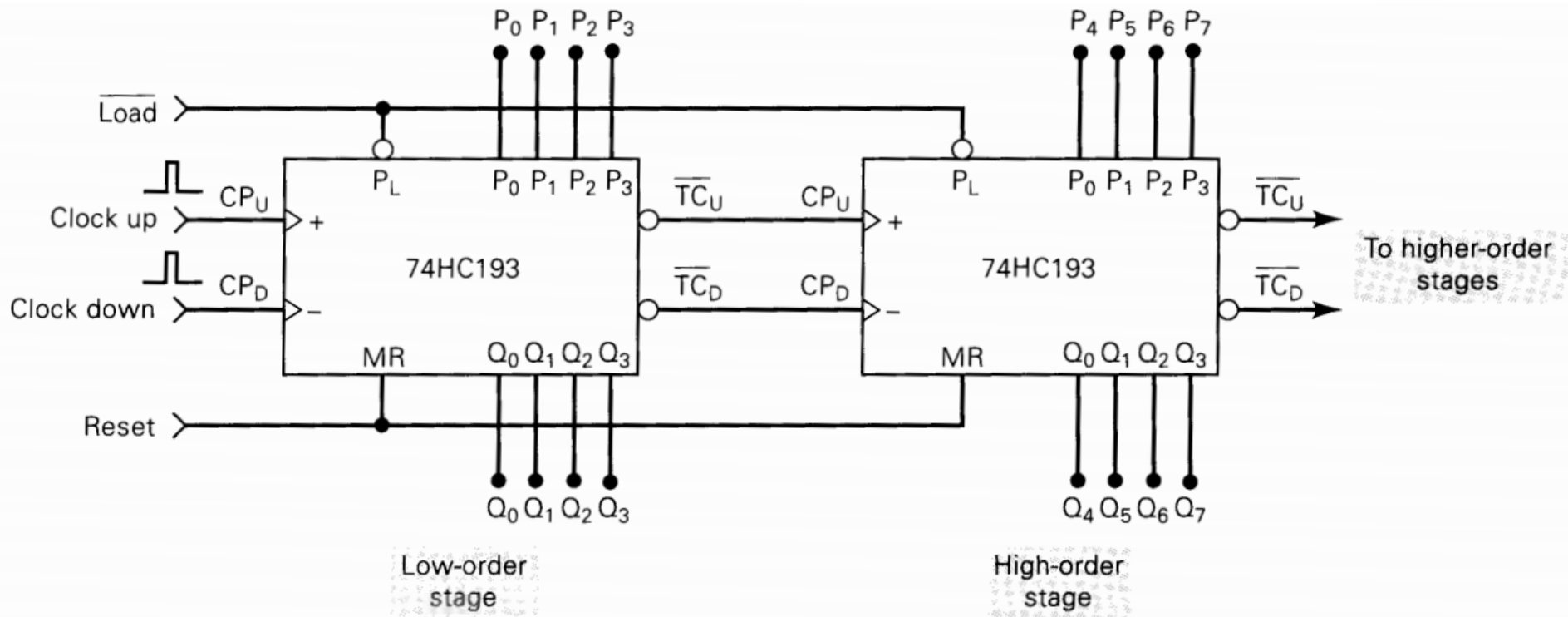
# IC 74LS193/HC193 – Ví dụ



# IC 74LS193/HC193 – Ví dụ

- Tại thời điểm  $t_0$  các FF của bộ đếm đều ở mức 0 (LOW)  $\rightarrow$   $TC_U$  ở mức 1 (HIGH)
- Ngay trước thời điểm  $t_1$ , ngõ nhập  $\overline{PL}$  có một xung mức 0 (LOW)  $\rightarrow$  các chân ngõ xuất  $Q_3 - Q_0$  sẽ được nạp giá trị của các ngõ nhập  $P_3 - P_0 \rightarrow$  giá trị các ngõ xuất  $Q$  sẽ là 1011
- Tại  $t_1$ , ngõ nhập  $CP_U$  tích cực cạnh lên (PGT), nhưng bộ đếm không thể đáp ứng lại do tín hiệu  $\overline{PL}$  vẫn còn ở trạng thái tích cực
- Tại  $t_2, t_3, t_4$  và  $t_5$ , bộ đếm đếm lên tại các cạnh lên của  $CP_U$
- Sau thời điểm  $t_5$ , trạng thái bộ đếm là 1111 nhưng  $TC_U$  chưa xuống mức 0 (LOW) cho đến thời điểm  $CP_U$  xuống 0 tại  $t_6$
- Tại cạnh lên tiếp theo của  $CP_U$ , bộ đếm về trạng thái 0000

# Bộ đếm đa trạng thái với 74193



# Thiết kế bộ đếm đồng bộ

- Bộ đếm: đồng bộ, bất đồng bộ hoặc kết hợp đồng bộ và bất đồng bộ
  - Đếm số nhị phân tuần tự 000, 001, 010, 011...
- Một số trường hợp, yêu cầu đếm không theo thứ tự nhị phân – ví dụ: 000, 010, 101, 001...
- Các FF của bộ đếm đồng bộ đáp ứng cùng lúc với xung clock
- Quá trình thiết kế bộ đếm đồng bộ → thiết kế các mạch luận lý để giải mã (decode) các trạng thái khác nhau của bộ đếm → điều khiển các ngõ nhập J và K

# Thiết kế bộ đếm đồng bộ

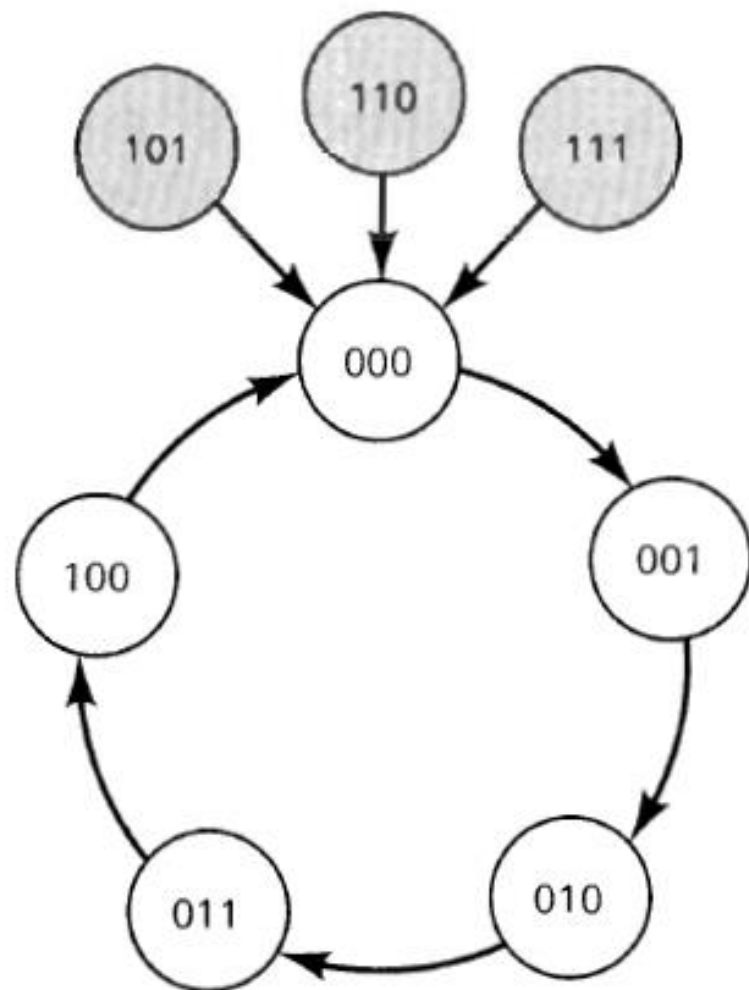
1. Xác định số FF cần thiết(số bit của bộ đếm) và trình tự đếm theo yêu cầu

<i>C</i>	<i>B</i>	<i>A</i>
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
0	0	0
0	0	1
etc.		



# Thiết kế bộ đếm đồng bộ

2. Vẽ sơ đồ chuyển trạng thái thể hiện tất cả các trạng thái có thể của bộ đếm,
- Bao gồm cả các trạng thái không nằm trong trình tự đếm mong muốn



# Thiết kế bộ đếm đồng bộ

3. Sử dụng bảng trạng thái để lập bảng liệt kê các trạng thái **hiện tại (PRESENT)** và các trạng thái **kế tiếp (NEXT)** tương ứng

	PRESENT State			NEXT State		
	<i>C</i>	<i>B</i>	<i>A</i>	<i>C</i>	<i>B</i>	<i>A</i>
line 1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	0	0	0
7	1	1	0	0	0	0
8	1	1	1	0	0	0

# Thiết kế bộ đếm đồng bộ

4. Thêm một cột vào bảng cho mỗi cặp ngõ nhập J, K. Ứng với mỗi trạng thái PRESENT, xác định mức luận lý của J & K để cho phép bộ đếm chuyển từ trạng thái PRESENT sang trạng thái NEXT.

	PRESENT State			NEXT State								
	C	B	A	C	B	A	J <sub>C</sub>	K <sub>C</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>A</sub>	K <sub>A</sub>
line 1	0	0	0	0	0	1	0	x	0	x	1	x
2	0	0	1	0	1	0	0	x	1	x	x	1
3	0	1	0	0	1	1	0	x	x	0	1	x
4	0	1	1	1	0	0	1	x	x	1	x	1
5	1	0	0	0	0	0	x	1	0	x	0	x
6	1	0	1	0	0	0	x	1	0	x	x	1
7	1	1	0	0	0	0	x	1	x	1	0	x
8	1	1	1	0	0	0	x	1	x	1	x	1

# Thiết kế bộ đếm đồng bộ

5. Thiết kế các mạch luận lý với ngõ xuất thoả mãn các mức luận lý cần thiết của các ngõ nhập J & K

Sử dụng bìa Karnaugh

# Thiết kế bộ đếm đồng bộ

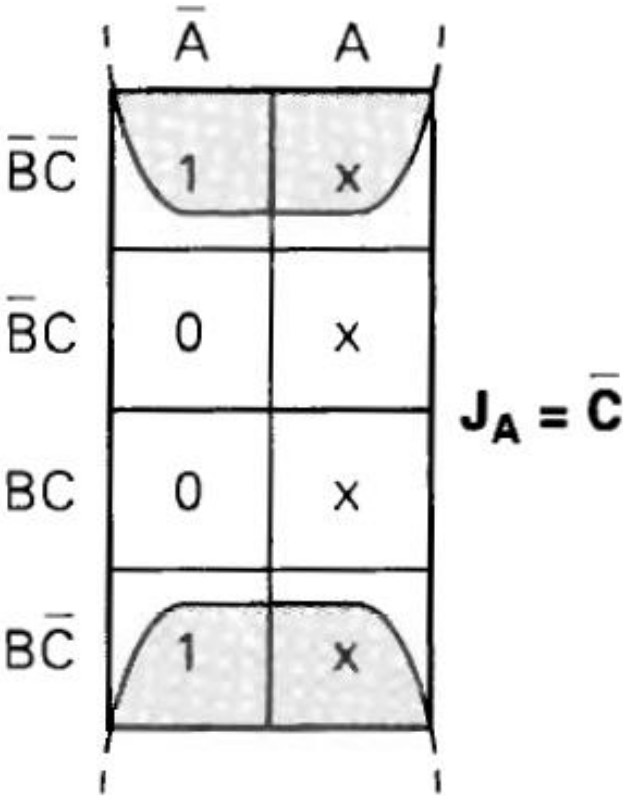
- Tính  $K_A$ , tính  $J_A$

$K_A$
-------

$x$   
1  
 $x$   
1  
 $x$   
1  
 $x$   
1

PRESENT				
C	B	A		$J_A$
0	0	0		1
0	0	1		x
0	1	0		1
0	1	1		x
1	0	0		0
1	0	1		x
1	1	0		0
1	1	1		x

$K_A = 1$



# Thiết kế bộ đếm đồng bộ

- Tính  $J_B$ , tính  $K_B$

	$\bar{A}$	$A$
$\bar{B}\bar{C}$	0	1
$\bar{B}C$	0	0
$BC$	x	x
$B\bar{C}$	x	x

$$J_B = A\bar{C}$$

	$\bar{A}$	$A$
$\bar{B}\bar{C}$	x	x
$\bar{B}C$	x	x
$BC$	1	1
$B\bar{C}$	0	1

$$K_B = A + C$$

# Thiết kế bộ đếm đồng bộ

- Tính  $J_C$ , tính  $K_C$

	$\bar{A}$	$A$
$\bar{B}\bar{C}$	0	0
$\bar{B}C$	x	x
$BC$	x	x
$B\bar{C}$	0	1

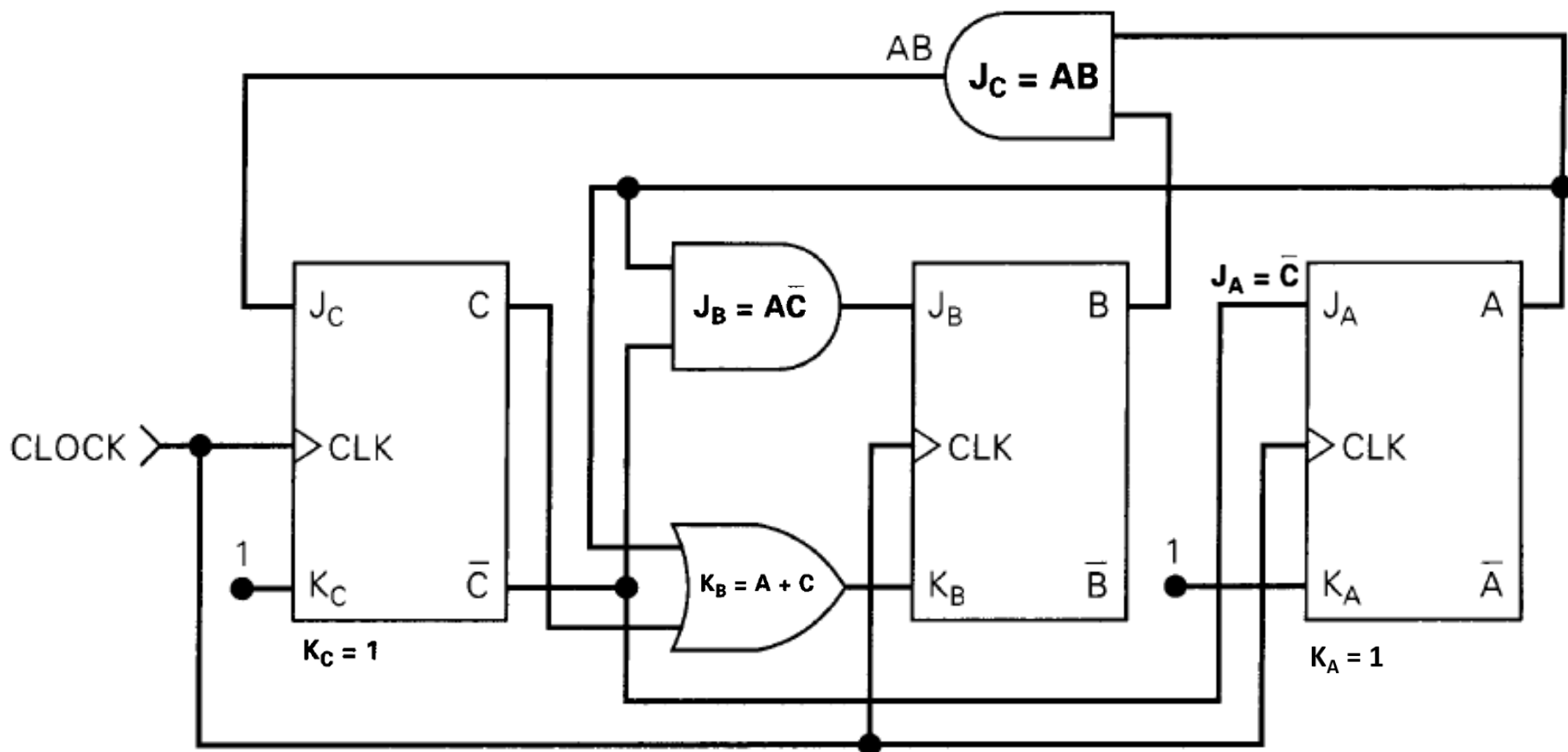
$$J_C = AB$$

	$\bar{A}$	$A$
$\bar{B}\bar{C}$	x	x
$\bar{B}C$	1	1
$BC$	1	1
$B\bar{C}$	x	x

$$K_C = 1$$

# Thiết kế bộ đếm đồng bộ

## 6. Hiện thực mạch





# Đọc thêm

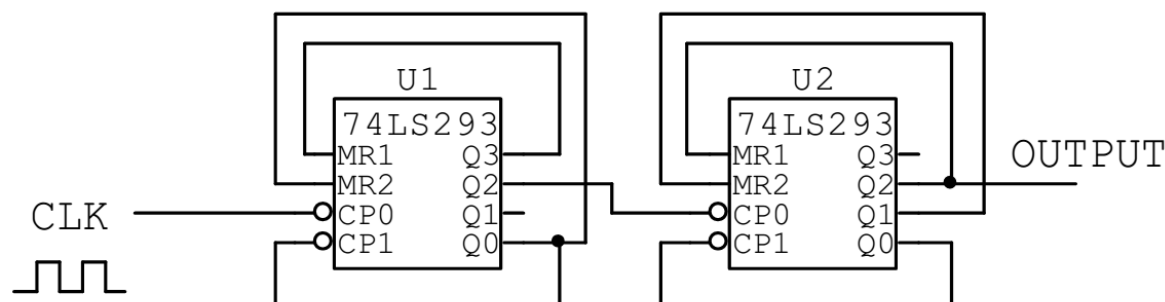
- Chương 7: **Counters and Registers** trong sách **Digital System** của Ronal Tocci

# Bài tập cơ bản

- Thiết kế bộ đếm lên bất đồng bộ MOD-4 sử dụng J-K Flip-Flop và D Flip-Flop
- Thiết kế bộ đếm lên bất đồng bộ MOD-12 sử dụng J-K Flip-Flop và D Flip-Flop.
- Sử dụng J-K Flip-Flop và D Flip-Flop để thiết kế bộ đếm lên bất đồng bộ theo thứ tự
  - $4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 4 \rightarrow \dots$
- Sử dụng J-K Flip-Flop và D Flip-Flop để thiết kế bộ đếm xuống bất đồng bộ theo thứ tự
  - $6 \rightarrow 5 \rightarrow 4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 6 \rightarrow \dots$

# Bài tập cơ bản

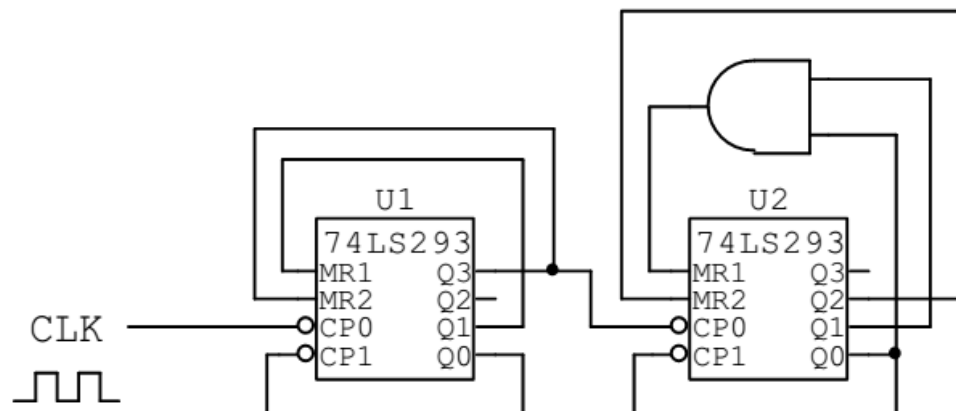
- Cho mạch đếm sau



- Đây là bộ đếm MOD bao nhiêu.
- Tần số của tín hiệu ngõ xuất OUTPUT (Q2 của U2) bằng bao nhiêu lần tín hiệu CLK?
- Trong các tín hiệu Q3, Q2, Q1, Q0 của U1 và U2, tín hiệu nào bị xung gai?
- Duty cycle (mức 1) của tín hiệu Q2 của U1?
- Duty cycle (mức 1) của tín hiệu ngõ xuất OUTPUT (Q2 của U2)?

# Bài tập cơ bản

- Cho sơ đồ mạch đếm sau

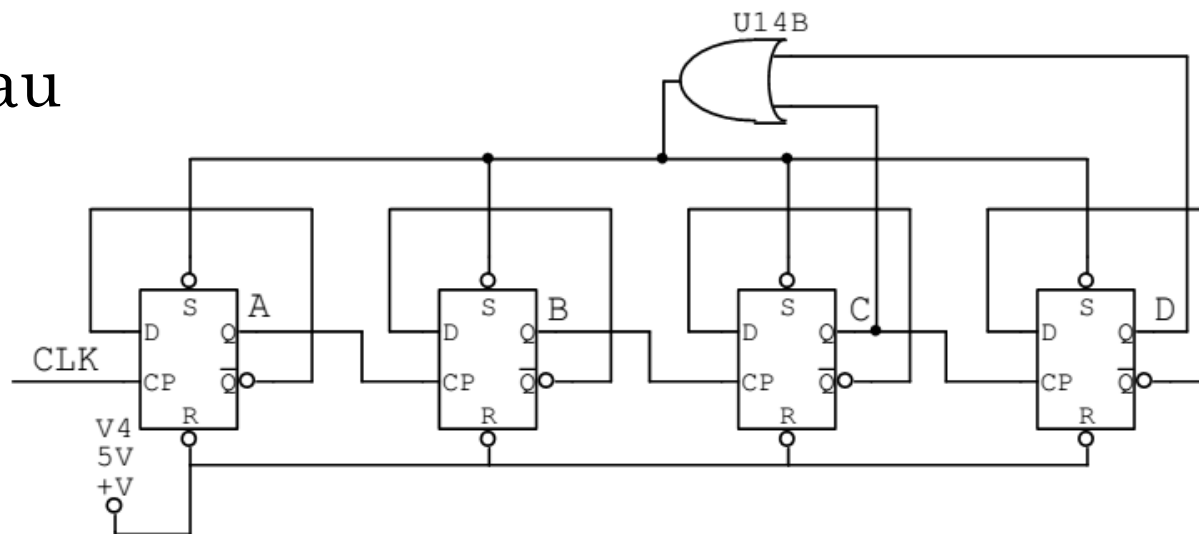


Cho tần số của tín hiệu xung clock  $f_{CLK} = 35 \text{ KHz}$

- Đây là bộ đếm MOD bao nhiêu?
- Tần số của tín hiệu ngõ xuất Q3 của U1?
- Tần số của tín hiệu ngõ xuất Q2 của U2?
- Trong các tín hiệu Q3, Q2, Q1, Q0 của U1 và U2, tín hiệu nào bị xung gai?
- Duty cycle của tín hiệu ngõ xuất Q2 của U2 bằng bao nhiêu?

# Bài tập cơ bản

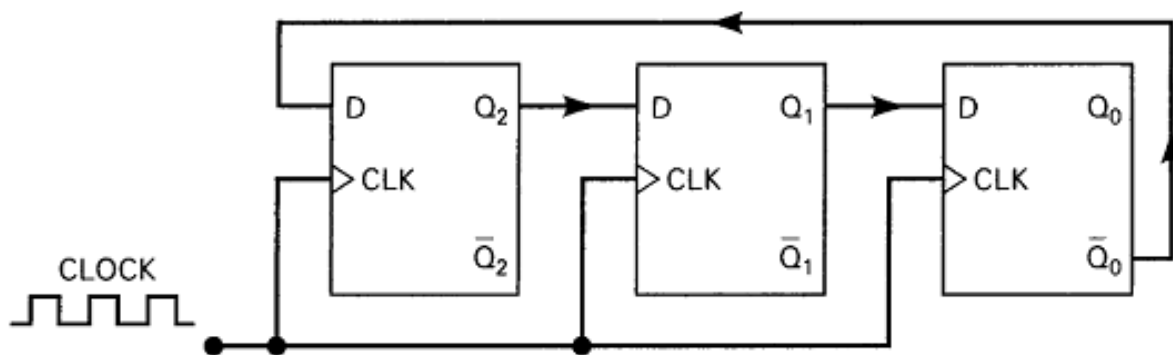
- Cho mạch đếm sau



- Đây là bộ đếm MOD bao nhiêu?
- Trong các tín hiệu ngõ ra của A, B, C, D, tín hiệu nào bị xung gai?
- Cho biết tần số của tín hiệu xung B bằng bao nhiêu lần tín hiệu xung CLK?
- Cho biết tần số của tín hiệu xung D bằng bao nhiêu lần tín hiệu xung CLK?

# Bài tập cơ bản

- Cho sơ đồ mạch đếm sau



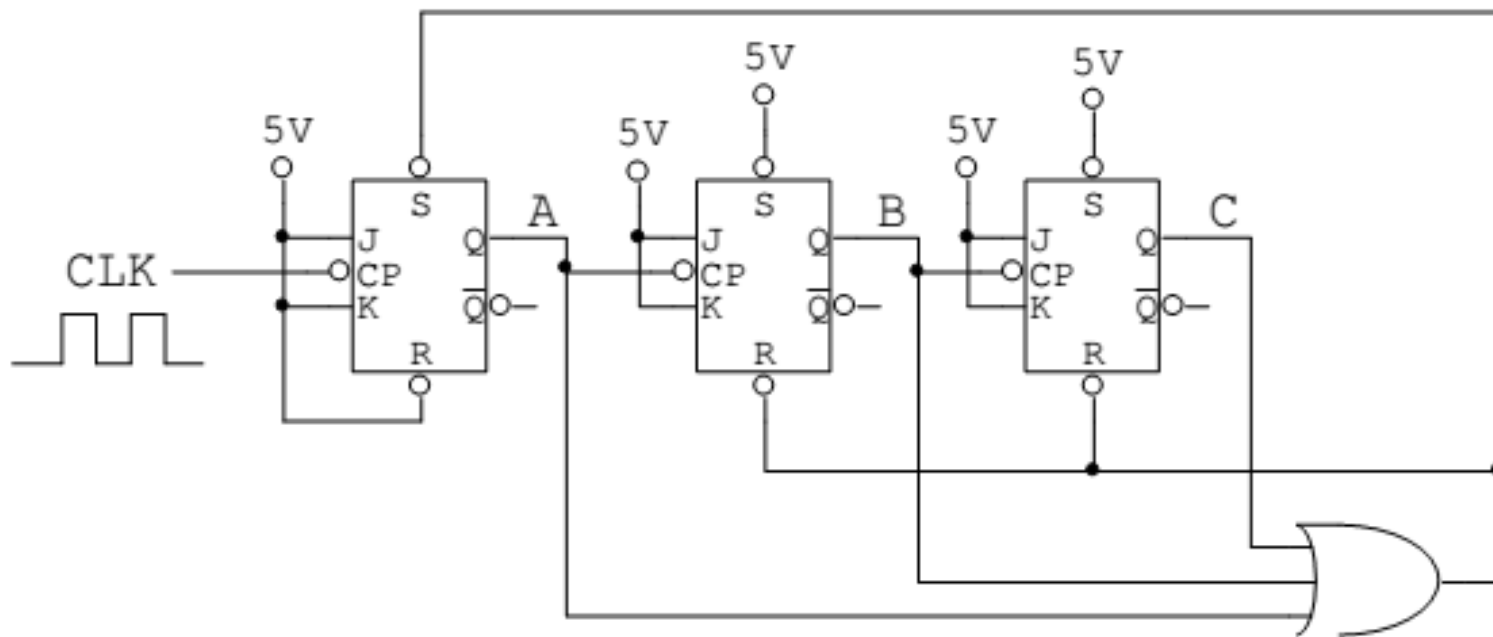
- Giả sử trạng thái ban đầu của bộ đếm  $Q_2Q_1Q_0=000$ , xác định chuỗi các trạng thái của bộ đếm trên.

113  
 114  
 115  
 116



- 63

# Bài tập cơ bản



- Giả sử trạng thái ban đầu của bộ đếm CBA = 010, xác định chuỗi các trạng thái của bộ đếm trên.