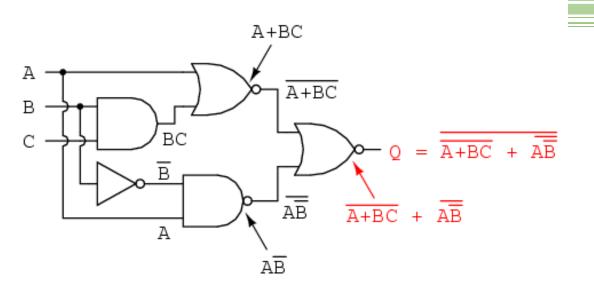
Chương 3

Các Mạch Luận Lý Tổ Hợp



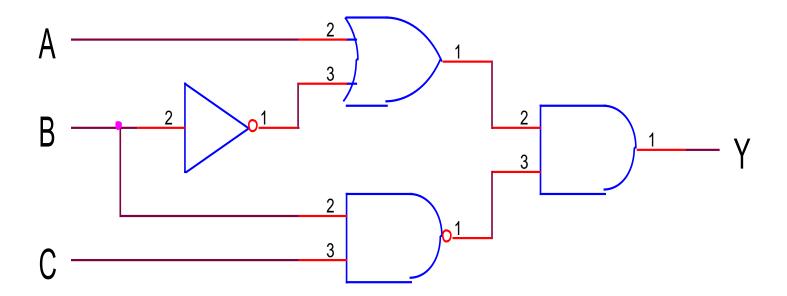


Nội dung

- Biểu diễn chuẩn tắc SoP, PoS
- Đơn giản biểu thức dạng SoP
- Thiết kế mạch tổ hợp.
- Mạch tạo và kiểm tra Parity
- Mach Enable/Disable
- Các đặc tính cơ bản của IC số

Mạch tổ hợp

- Mức logic ngõ xuất phụ thuộc việc tổ hợp các mức logic của ngõ nhập hiện tại.
- Mạch tổ hợp không có bộ nhớ nên giá trị ngõ xuất phụ thuộc vào giá trị ngõ nhập hiện tại.

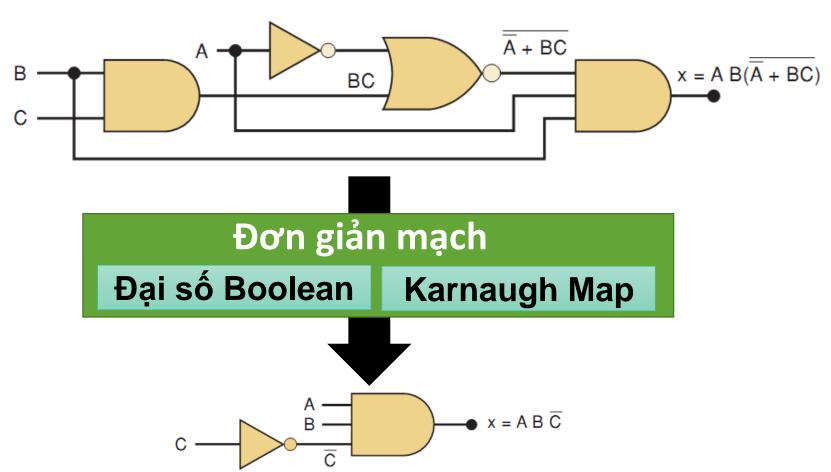


Các dạng chuẩn (Standard form)

- Tổng của các tích (Sum of Products SoP)
 - Mỗi biểu thức dạng SoP bao gồm các biểu thức AND được
 OR lại với nhau.
 - Ví dụ: ABC + A'BC'AB + A'BC' + C'D' + D
- Tích của các tổng (Product of Sums PoS)
 - Mỗi biểu thức dạng PoS bao gồm các biểu thức OR được AND lại với nhau.
 - Ví dụ: (A + B' + C)(A + C)(A + B')(C' + D)F

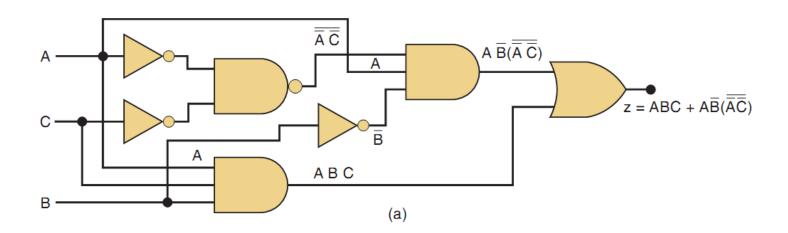
Đơn giản mạch tố hợp

• Biến đổi các biểu thức logic thành dạng đơn giản hơn để khi xây dựng mạch ta cần ít cổng logic và các kết nối hơn.

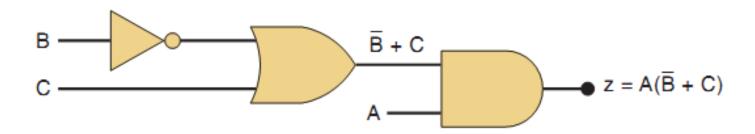


Phương pháp đại số

- Sử dụng các định lý trong đại số Boole để đơn giản các biểu thức của mạch logic.
 - 1. Chuyển sang dạng SoP (DeMorgan và phân phối).
 - 2. Rút gọn bằng cách tìm các nhân tố chung.



Phương pháp đại số



Đơn giản các biểu thức sau

$$Z1 = A\overline{B}\overline{C} + A\overline{B}C + ABC$$

$$Z2 = \overline{AC}(\overline{\overline{ABD}}) + \overline{AB}\overline{C}\overline{D} + A\overline{B}C$$

$$Z3 = (\overline{A} + B)(A + B + D)\overline{D}$$

$$z = \overline{A}C(\overline{\overline{A}BD}) + \overline{A}B\overline{C}\overline{D} + A\overline{B}C.$$

$$z = \overline{A}C(A + \overline{B} + \overline{D}) + \overline{A}B\overline{C}\overline{D} + A\overline{B}C$$

$$= \overline{A}CA + \overline{A}C\overline{B} + \overline{A}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}C$$

$$= \overline{A} \, \overline{B}C + \overline{A}C\overline{D} + \overline{A}B\overline{C} \, \overline{D} + A\overline{B}C$$

$$= \overline{B}C(\overline{A} + A) + \overline{A} \, \overline{D}(C + B\overline{C})$$

$$= \overline{B}C + \overline{A} \, \overline{D}(B + C)$$

$$\overline{A}B\overline{D} + \overline{B}C$$

$$= C(\overline{A} \, \overline{B} + \overline{A} \, \overline{D} + A\overline{B}) + \overline{A}B\overline{C} \, \overline{D}$$

$$= C(\overline{B}[\overline{A} + A] + \overline{A} \, \overline{D}) + \overline{A}B\overline{C} \, \overline{D}$$

$$= C(\overline{B} + \overline{A} \, \overline{D}) + \overline{A}B\overline{C} \, \overline{D}$$

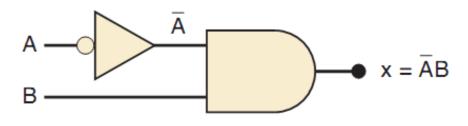
$$= \overline{B}C + \overline{A}C \, \overline{D} + \overline{A}B\overline{C} \, \overline{D}$$

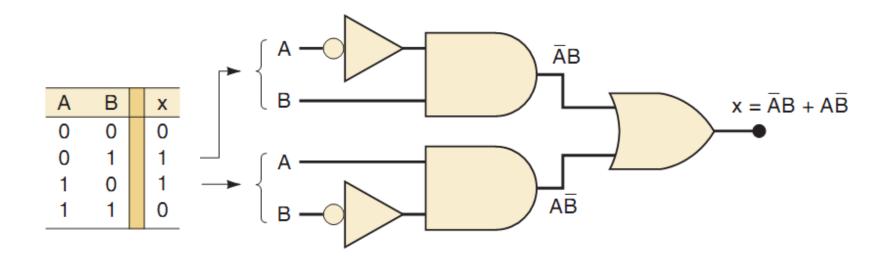
$$= \overline{B}C + \overline{A} \, \overline{D}(C + B\overline{C})$$

$$= \overline{B}C + \overline{A} \, \overline{D}(B + C)$$

Thiết kế mạch tổ hợp

В	X
0	0
1	1
0	0
1	0
	0 1





Thiết kế mạch tổ hợp

- 1. Lập bảng sự thật (truth table)
- 2. Viết biểu thức AND cho các ngõ xuất mức 1
- 3. Viết biểu thức SoP

- 4. Đơn giản biểu thức SoP
- 5. Hiện thực mạch từ biểu thức đơn giản

Thiết kế mạch logic với 3 ngõ nhập A, B, C thoả mãn điều kiện sau: ngõ xuất = 1 khi và chỉ khi số ngõ nhập ở mức 1 nhiều hơn số ngõ nhập ở mức 0

Bảng sự thật

A	В	С	X	
0	0	0	0	
0	0	1	0	
0	1	0	0	
0	1	1	1	$\rightarrow \overline{A}BC$
1	0	0	0	
1	0	1	1	$\rightarrow A\overline{B}C$
1	1	0	1	$\rightarrow AB\overline{C}$
1	1	1	1	$\rightarrow ABC$

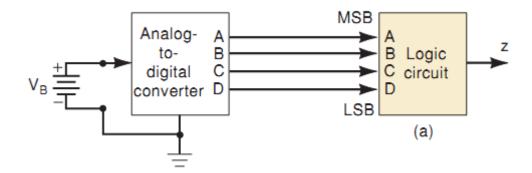
Biểu thức ngõ xuất (SOP):

$$\overline{ABC} + A\overline{BC} + AB\overline{C} + ABC$$

Rút gọn:

$$BC + AC + AB$$

• Thiết kế mạch logic sau: Output = 1 khi điện thế (được biểu diễn bởi 4 bit nhị phân ABCD) lớn hơn 6V.



- Bìa Karnaugh biểu diễn quan hệ giữa ngô nhập và ngô xuất của mạch.
- Theo chiều dọc hoặc chiều ngang, các ô cạnh nhau chỉ khác nhau một biến.

	Ē	В
Ā	1	0
Α	0	1

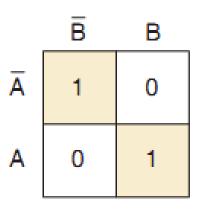
	Ē	С
ĀB	1	1
ĀB	1	0
AB	1	0
ΑĒ	0	0

	ĒΒ	СD	CD	ĒD
ĀB	0	1	0	0
ĀB	0	1	0	0
AB	0	1	1	0
ΑĒ	0	0	0	0

- Bảng sự thật
- Biểu thức logic
- Bìa Karnaugh

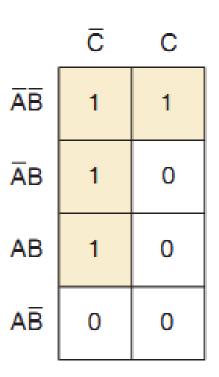
Α	В	Х	
0	0	1 -	→ĀB
0	1	0	
1	0	0	
1	1	1 -	→ AB

$$\left\{ x = \overline{A}\overline{B} + AB \right\}$$



Α	В	С	X	
0	0	0	1 -	→ ĀBĒ
0	0	1	1 -	→ ĀBC
0	1	0	1 -	→ ĀBĒ
0	1	1	0	
1	0	0	0	
1	0	1	0	
1	1	0	1 -	→ ABĈ
1	1	1	0	

$$\left\{ \begin{aligned} X &= \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C \\ &+ \overline{A}B\overline{C} + AB\overline{C} \end{aligned} \right\}$$



				_	
Α	В	С	D		X
0	0	0	0		0
0	0	0	1		1 → ĀBCD
0	0	1	0		0
0	0	1	1		0_
0	1	0	0		0
0	1	0	1		$1 \rightarrow \overline{A}B\overline{C}D$ $X = \overline{A}B\overline{C}D + \overline{A}B\overline{C}D$
0	1	1	0		$ \begin{array}{ccc} 1 \rightarrow \overline{A}B\overline{C}D & X = \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}D \\ 0 & + AB\overline{C}D + ABCD \end{array} $
0	1	1	1		0
1	0	0	0		0
1	0	0	1		0
1	0	1	0		0
_1	0	1	1		0
1	1	0	0		0
1	1	0	1		1 → ABCD
1	1	1	0		0
1	1	1	1		1 → ABCD

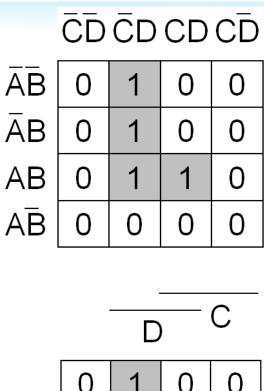
CD CD CD CD									
ĀB	0	1	0	0					
ĀB	0	1	0	0					
AB	0	7	7	0					
$A\overline{B}$	0	0	0	0					

Α	В	С	D	X
0	0	0	0	0
0	0	0	1	1 → ĀBCD
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	$ \begin{array}{ccc} 1 \to \overline{A}B\overline{C}D & X = \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}D \\ 0 & + AB\overline{C}D + ABCD \end{array} $
0	1	1	0	0 + ABCD + ABCD
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1 → ABCD
1	1	1	0	0
_1	1	1	1	1 → ABCD

	ĀB	ĀB	AB	$A\overline{B}$
$\overline{C}\overline{D}$	0	0	0	0
СD	1	1	1	0
CD	0	0	1	0
$C\overline{D}$	0	0	0	0

Α	В	С	D	X						
0	0	0	0	0				_		
0	0	0	1	1 → ĀBCD			AΒ	AΒ	AB	AΒ
0	0	1	0	0						
_0	0	1	1	0		СD	1	1	1	0
0	1	0	0	0	()	CD	•	•	1	U
0	1	0	1	1 → ĀBCD	$\begin{cases} X = \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}D \\ + AB\overline{C}D + ABCD \end{cases}$	CD	0	0	1	0
0	1	1	0	0	+ ABCD + ABCD	CD	U	U	I	U
0	1	1	1	0		\overline{CD}			0	0
1	0	0	0	0		CD	0	0	0	U
1	0	0	1	0		<u> </u>				
1	0	1	0	0		CD	0	0	0	U
1	0	1	1	0				l	l	
1	1	0	0	0						
1	1	0	1	1 → ABCD						
1	1	1	0	0						
_1	1	1	1	1 → ABCD						

В	С	D		X
0	0	0		0
0	0	1		1 → ĀBCD
0	1	0		0
0	1	1		0
1	0	0		0
1	0	1		$ \begin{array}{c c} 1 \to \overline{A}B\overline{C}D & X = \overline{A}B\overline{C}D + \overline{A}B\overline{C}D \\ 0 & + AB\overline{C}D + ABCD \end{array} $
1	1	0		0 + ABCD + ABCD
1	1	1		0
0	0	0		0
0	0	1		0
0	1	0		0
0	1	1		0
1	0	0		0
1	0	1		1 → ABCD
1	1	0		0
1	1	1		1 → ABCD
	0 0 0 1 1 1 0 0 0	0 0 0 0 0 1 0 1 1 1 1 0 0 0 0 1 0 1 0 1	0 0 0 0 0 0 0 1 0 1 1 1 1 0 0 1 1 1 1 0 0 0 1	0 0 0 0 0 0 1 0 1 1 1 1 1 1 1 1 1 1 1 1



Α	В	С	D	X						
0	0	0	0	0						
0	0	0	1	1 → ĀBCD			\overline{CD}	$\overline{C}D$	CD	\overline{CD}
0	0	1	0	0						
_0	0	1	1	0			0	1)	0
0	1	0	0	0	()	AB	$\left \begin{array}{c} 0_{0} \end{array} \right $	1 1 1	03	02
0	1	0	1	1 → ABCD	$ \begin{cases} X = \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}D \\ + AB\overline{C}D + ABCD \end{cases} $					
0	1	1	0	0	+ ABCD + ABCD	AB	04	1 ₅	U_7	0_6
_0	_1	_1	1	0						
1	0	0	0	0		AΒ	0 ₁₂	1 ₁₃	1 ₁₅	0 ₁₄
1	0	0	1	0			12	13	13	14
1	0	1	0	0		\overline{AB}	0 ₈	09	0	0
_1	0	1	1	0		710	8	9	1 1	0 ₁₀
1	1	0	0	0 _						
1	1	0	1	1 → ABCD						
1	1	1	0	0						
1	1	1	1	1 → ABCD	Y-7/1	5 13	15	1		
	$1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \$									

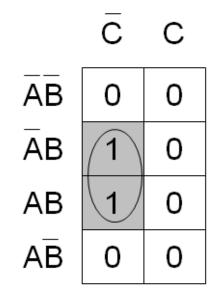
Quy tắc rút gọn bìa Karnaugh

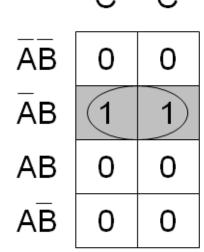
- Khoanh vòng (looping) là quá trình kết hợp các ô kề nhau lại với nhau. Thông thường ta khoanh các ô chứa giá trị 1.
- Ngõ xuất có thể được đơn giản hóa bằng cách khoanh vòng.

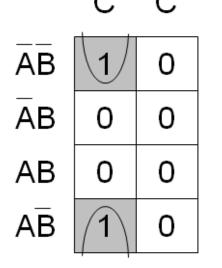
Qui tắc tính giá trị của 1 vòng

- Khi một biến xuất hiện cả dạng đảo và không đảo trong một vòng, biến đó sẽ được đơn giản khỏi biểu thức.
- Các biến chung cho mọi ô trong một vòng phải xuất hiện trong biểu thức cuối cùng.

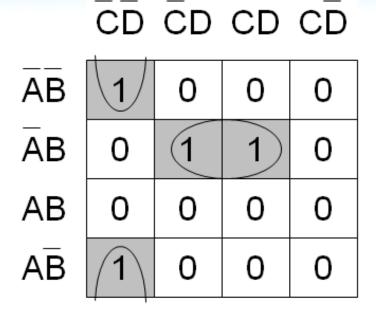
Khoanh vòng 2 ô kề nhau



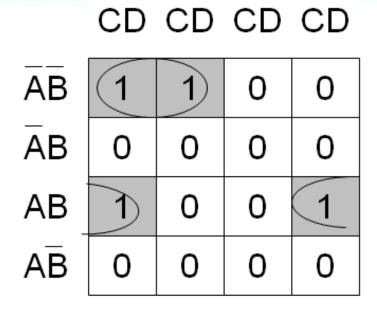




Khoanh vòng 2 ô kề nhau

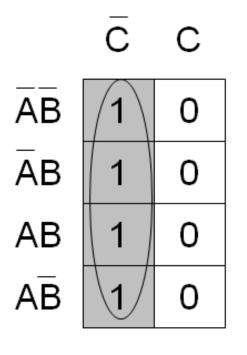


$$X = \overline{BCD} + \overline{ABD}$$

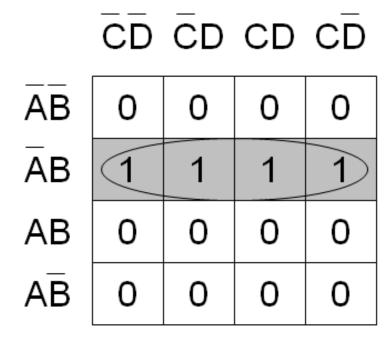


$$X = \overline{ABC} + AB\overline{D}$$

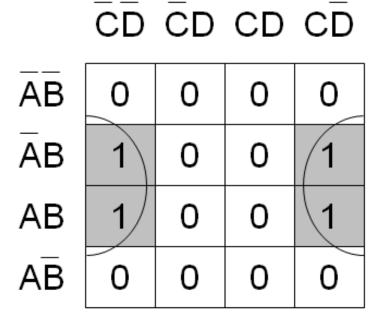
Khoanh vòng 4 ô kề nhau



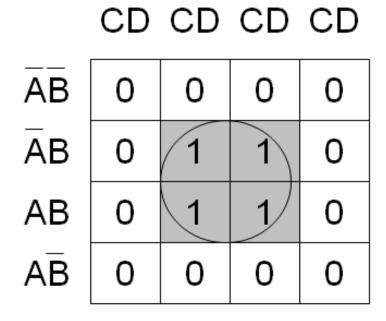
$$X = \overline{C}$$



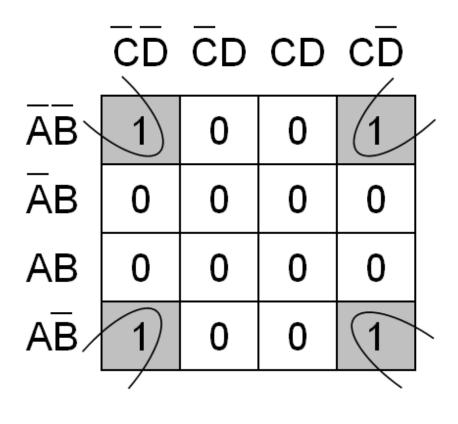
Khoanh vòng 4 ô kề nhau



$$X = \overline{BD}$$

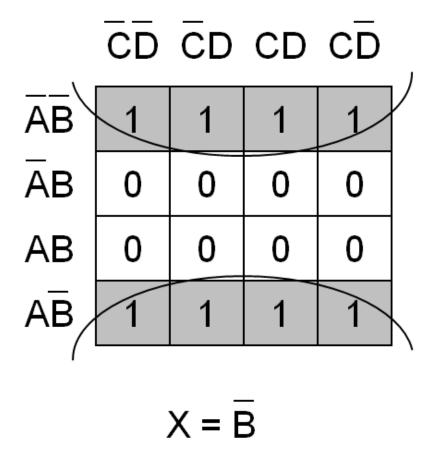


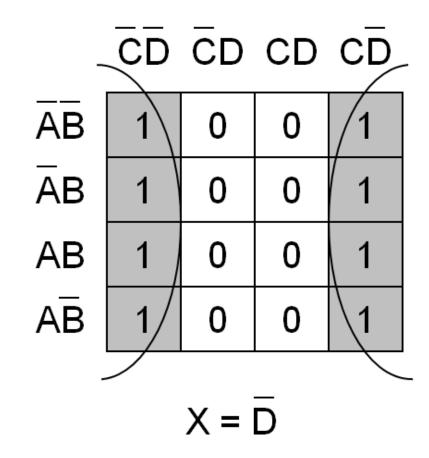
Khoanh vòng 4 ô kề nhau



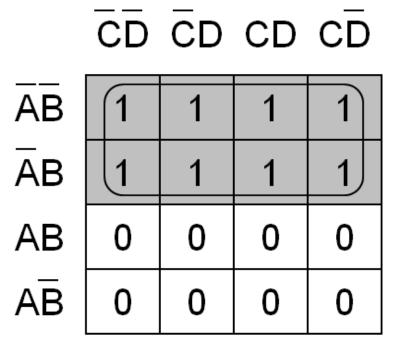
$$X = \overline{BD}$$

Khoanh vòng 8 ô kề nhau





Khoanh vòng 8 ô kề nhau



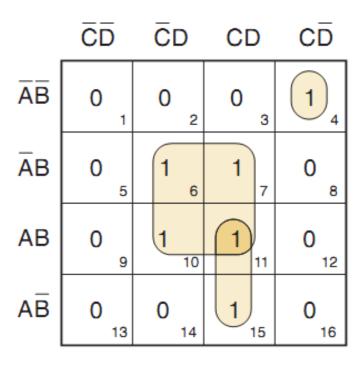
$$X = \overline{A}$$

	CD	CD	CD	CD
ĀB	0	1	1	0
ĀB	0	1	1	0
AB	0	1	1	0
$A\overline{B}$	0	1	1	0

$$X = D$$

Quá trình đơn giản hóa

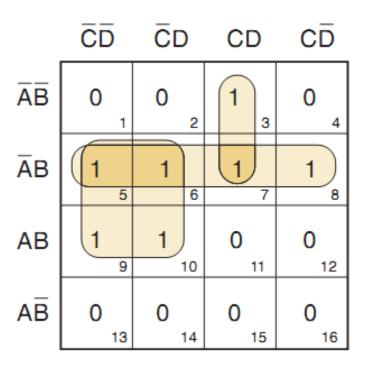
- 1. Xây dựng bảng K-map và đặt 1 hoặc 0 trong các ô tương ứng với bảng sự thật.
- 2. Khoanh vòng các ô giá trị 1 đơn lẻ, không tiếp giáp với các ô giá trị 1 khác (vòng đơn).
- 3. Khoanh vòng các cặp giá trị 1 không tiếp giáp với các ô giá trị 1 nào khác nữa (vòng kép).
- 4. Khoanh vòng các ô 8 giá trị 1 (nếu có) ngay cả nếu nó chứa 1 hoặc nhiều ô đã được khoanh vòng.
- 5. Khoanh vòng các ô 4 giá trị 1 (nếu có) chứa một hoặc nhiều ô chưa được khoanh vòng. Phải đảm bảo số vòng là ít nhất.
- 6. Khoanh vòng các cặp giá trị 1 tương ứng với các ô giá trị 1 chưa được khoanh vòng. Phải đảm bảo số vòng là ít nhất.
- 7. Tạo cổng OR các số hạng được tạo bởi mỗi vòng



$$X = \overline{ABCD} + ACD + BD$$

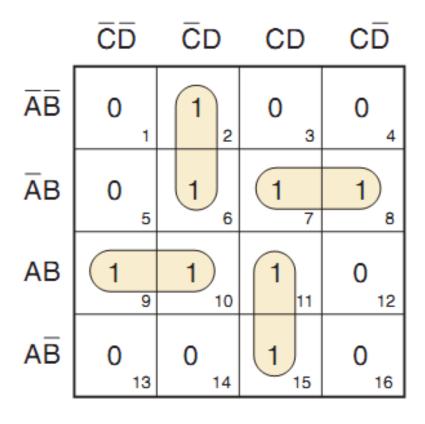
$$loop 4 \qquad loop \qquad loop 6,$$

$$11, 15 \qquad 7, 10, 11$$



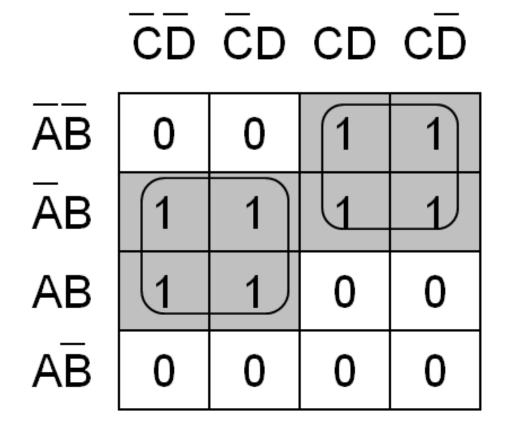
$$X = \overline{AB} + B\overline{C} + \overline{ACD}$$

loop 5, loop 5, loop 6, 7, 8 6, 9, 10 3,7



$$X = AB\overline{C} + \overline{A}\overline{C}D + \overline{A}BC + ACD$$

9, 10 2, 6 7, 8 11, 15



$$X = B\overline{C} + \overline{A}C$$

Don't-care

- Điều kiện "don't-care" là điều kiện với một tập các ngõ nhập nào đó, mức luận lý ngõ xuất không được mô tả.
- Giá trị "Don't-care" nên được gán bằng một hoặc 0 sao cho việc khoanh vòng K-map tạo ra biểu thức đơn giản nhất.
- Ví dụ:

					С	С			С	С	
Α	В	C	Z				I				l
0	0	0	0	$\overline{A}\overline{B}$	0	0		$\overline{A}\overline{B}$	0	0	
0	0	1	0								
0	1	0	0	$\overline{A}B$	0	x		$\bar{A}B$	0	0	
0	1	1	x ∫ "don't								
1	0	0	x∫care"	AB	1	1		AB	1	1	→ z = A
1	0	1	1	70	'	' '		70	'	'	- 2-11
1	1	0	1	_				_			
1	1	1	1	$A\overline{B}$	X	1		$A\overline{B}$	1	1	
							l				

$$z = \overline{A}C(\overline{\overline{A}BD}) + \overline{A}B\overline{C}\overline{D} + A\overline{B}C.$$

$$= \overline{A}CA + \overline{A}C\overline{B} + \overline{A}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}C$$

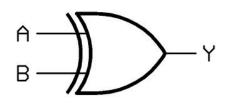
PP bảng Karnaugh - Tóm tắt

- So sánh với phương pháp đại số, phương pháp dùng K-map có tính hệ thống hơn, và luôn tạo ra được biểu thức tối giản nhất.
- Bảng Karnaugh có thể dùng tối đa là với hàm 6 biến. Đối với những mạch có số ngõ nhập lớn (>=6), người ta dùng thêm các kỹ thuật phức tạp để thiết kế.

Exclusive-OR và Exclusive-NOR

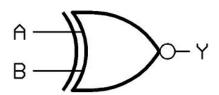
EXclusive-OR (XOR)

$$Y = A \oplus B = A'B + AB'$$



EXclusive-NOR (XNOR)

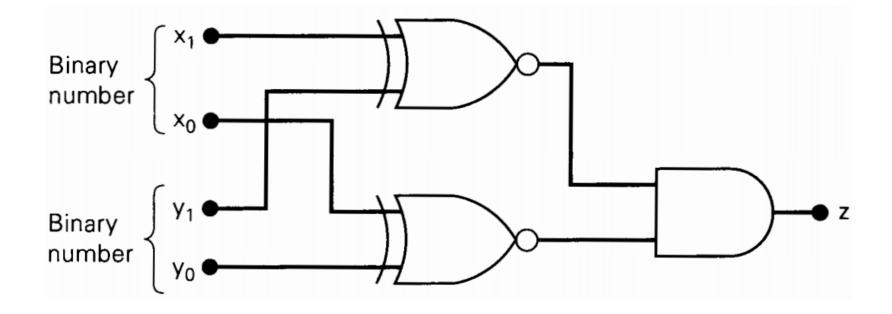
$$Y = (A \oplus B)' = (A'B' + AB)'$$



Bio	ến	Ex. OR	XNOR
Α	В	$A \oplus B$	(A ⊕ B)'
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Thiết kế mạch tổ hợp với 4 input x_1, x_0, y_1, y_0 z = 1 khi $x_1x_0 = y_1y_0$

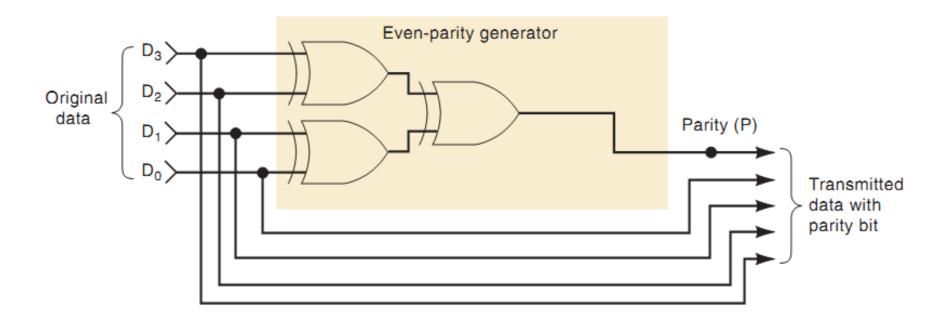
0000, 0101, 1010, 1111



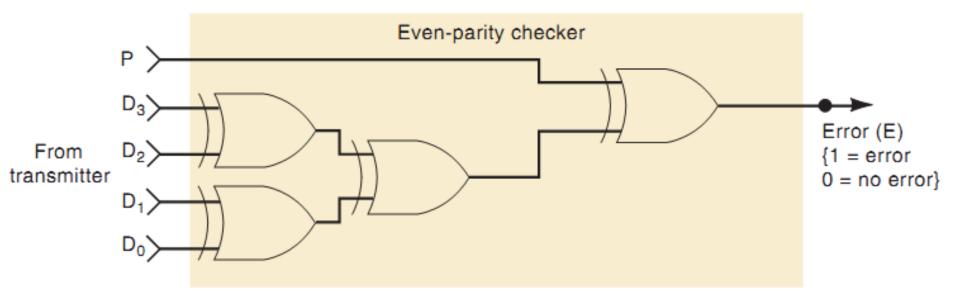
Mạch tạo bit Parity

$$D_3D_2D_1D_0 = 1010 \rightarrow P_E = 0$$

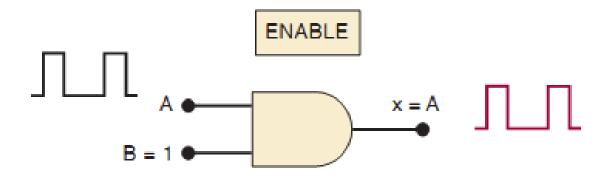
$$D_3D_2D_1D_0 = 1110 \rightarrow P_E = 1$$

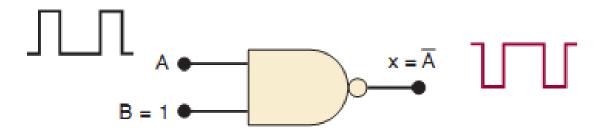


Mạch kiểm tra bit Parity

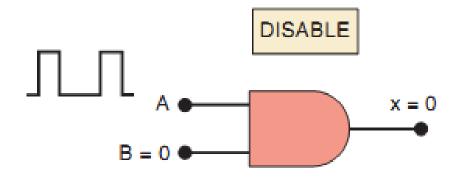


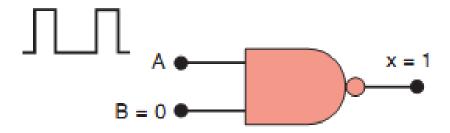
Mach enable



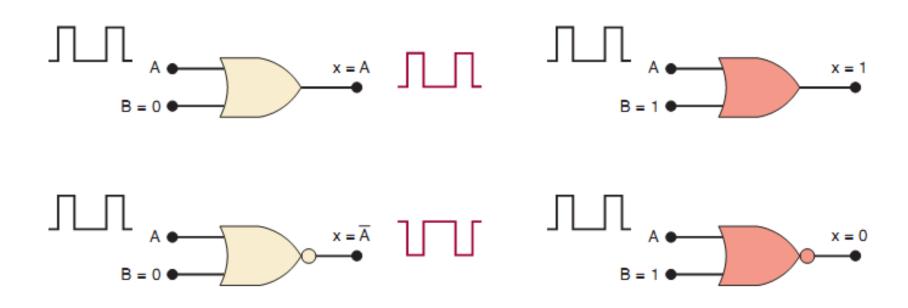


Mach disable

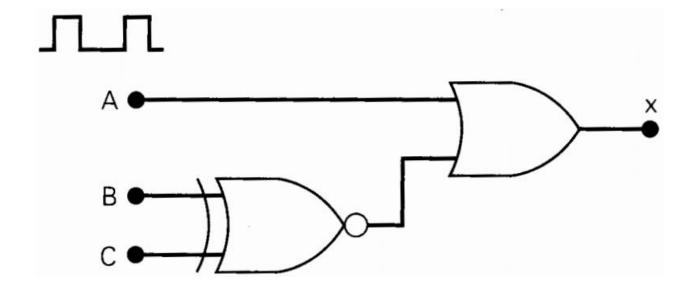




Mach Enable/Disable OR/NOR



Thiết kế mạch tổ hợp cho phép 1 tín hiệu truyền đến ngõ xuất khi một trong 2 tín hiệu điều khiển ở mức 1 (không đồng thời). Các trường hợp khác ngõ xuất ở mức 1 (HIGH).



- Thiết kế mạch half-adder
 - a, b là các input với giá trị 0,1.
 - S là kết quả phép toán: a+b
 - Co là phần nhớ phép toán: a +b

- Thiết kế mạch full-adder
 - a, b, Ci là các input với giá trị 0,1.
 - S là kết quả phép toán: a+b+Ci
 - Co là phần nhớ phép toán: a + b + Ci

Bài tập về nhà và đọc thêm

- Tất cả bài tập trong sách Digital System của Ronal Tocci
 - Chương 4 Combinational Logic Circuits

Đơn giản bìa Karnaugh

		CD	CD	CD	CD
	$ar{A}ar{B}$	1	1	1	1
a.	$ar{A}B$	1	1	0	0
	AB	0	0	0	1
	$Aar{B}$	0	0	1	1

		Ē	<u> </u>
	$ar{A}ar{B}$	1	1
	$ar{A}B$	0	0
C.	AB	1	0
	$Aar{B}$	1	X

		$\bar{C}\bar{D}$	ĒD	CD	$C\overline{D}$
	$ar{A}ar{B}$	1	0	1	1
	$ar{A}B$	1	0	0	1
b.	AB	0	0	0	0
	$Aar{B}$	1	0	1	1

		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\overline{D}$
	$ar{A}ar{B}$	0	1	X	0
٦	$ar{A}B$	1	1	0	X
d.	AB	X	0	1	1
	$Aar{B}$	0	X	1	0

- Sử dụng bìa Karnaugh để rút gọn các hàm sau (làm tất cả các trường hợp có thể)
 - 1. $F(A,B,C) = \sum (1,2,3,4,6,7)$
 - 2. $F(A,B,C,D) = \sum (1,3,4,5,6,7,12,13)$
 - 3. $F(A,B,C,D) = \sum (2,5,7,8,10,12,13,15)$
 - 4. $F(A,B,C,D) = \sum_{i=0}^{\infty} (0,6,8,9,10,11,13,14,15)$
 - 5. $F(A,B,C,D) = \sum_{i=0}^{\infty} (0,4,5,6,7,8,9,10,11,13,14,15)$
 - 6. $F(D,C,B,A) = \sum_{i=0}^{\infty} (0,2,3,5,7,8,10,11,12,13,14,15)$
 - 7. $F(D,C,B,A) = \sum_{i=0}^{\infty} (0,1,4,5,7,8,10,13,14,15)$
 - 8. $F(D,C,B,A) = \sum (1,2,5,10,12) + \sum d(0,3,4,8,13,14,15)$

- Sử dụng bìa Karnaugh để rút gọn các hàm sau (làm tất cả các trường hợp có thể)
 - 1. $F(A,B,C,D) = \sum m(0,1,2,5,7,8,10,14,15) + d(3,13)$
 - 2. $F(A,B,C,D) = \prod M(1,3,4,5,11,12,14,15) \cdot D(0,6,7,8)$
 - 3. $F(A,B,C,D) = \sum m(1,3,6,8,11,14) + d(2,4,5,13,15)$
 - 4. $F(A,B,C,D) = \prod (1,5,6,7,9,11,15) \cdot D(0,2,3,8,14)$
 - 5. $F(D,C,B,A) = \prod M(0,3,6,9,11,13,14). D(5,7,10,12)$
 - 6. $F(D,C,B,A) = \sum_{i=0}^{\infty} (0,1,4,6,10,14) + d(5,7,8,9,11,12,15)$
 - 7. $F(E,D,C,B,A) = \sum m(1,3,10,14,21,26,28,30) + d(5,12,17,29)$
 - 8. $F(A,B,C,D) = \prod M(0,2,3,4,7,8)$

Rút gọn các hàm sau

1.
$$X = \bar{A}\bar{B}\bar{C} + \bar{A}BC + ABC + A\bar{B}\bar{C} + A\bar{B}C$$

2.
$$Y = AB(\overline{CD}) + \overline{A}BD + \overline{B}\overline{C}\overline{D}$$

3.
$$Z = (\overline{C} + \overline{D}) + \overline{A}C\overline{D} + A\overline{B}\overline{C} + \overline{A}\overline{B}CD + AC\overline{D}$$

Cho bảng sự thật

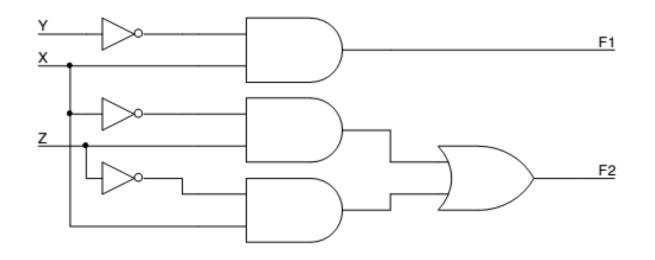
C	В	Α	F1	F2	
0	0	0	0	1	
0	0	1	0	0	
0	1	0	1	0	
0	1	1	0	1	
1	0	0	0	1	
1	0	1	1	1	
1	1	0	0	1	
1	1	1	1	0	

С	В	Α	F1	F2
0	0	0	1	1
0	0	1	0	Χ
0	1	0	Х	0
0	1	1	0	1
1	0	0	0	1
1	0	1	1	Χ
1	1	0	Х	Χ
1	1	1	1	0

Ứng với mỗi bảng sự thật,

- 1. Rút gọn F1 và F2 theo dạng tổng các tích (SOP).
- 2. Rút gọn F1 và F1 theo dạng tích các tổng (POS).

1. Viết dạng chuẩn tắc SOP và POS của F1, F2.



2. Thiết kế mạch tổ hợp có 3 ngõ nhập và 1 ngõ xuất sao cho ngõ xuất ở mức "1" khi và chỉ khi giá trị thập phân của ngõ nhập nhỏ hơn 3.

- 1. Thiết kế mạch tổ hợp có 4 ngõ nhập A, B, C, D và 1 ngõ xuất sao cho ngõ xuất ở mức "1" khi và chỉ khi A=B=1 hoặc C=D=1.
- 2. Thiết kế mạch tổ hợp thoả mãn đồng thời các điều kiện sau:
 - a) Nếu tín hiệu ngõ nhập B và C khác nhau, ngõ xuất X bằng \bar{A}
 - b) Các trường hợp còn lại ngõ xuất X ở mức "1"

- 1. Người ta thiết kế một phòng gồm 2 cửa A và B. Tại mỗi cửa đều có một công tắc 2 trạng thái (ON/OFF). Thiết kế mạch tổ hợp để điều khiển 1 bóng đèn nằm giữa phòng bằng 2 công tắc A, B sao cho người ta có thể bật tắt đèn ở bất kỳ cửa nào của phòng. Biết rằng bóng đèn trong phòng tích cực mức "0".
- 2. Thiết kế mạch tổ hợp cho bài toán 3 công tắc 2 trạng thái (ON/OFF) A, B, C điều khiển cùng 1 bóng đèn.

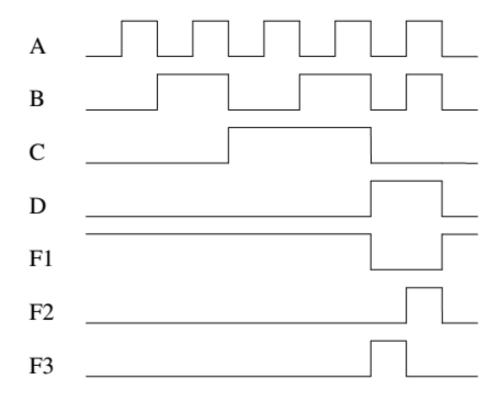
- Thiết kế mạch tổ hợp thoả mãn đồng thời các điều kiện sau:
 - Ngõ xuất X bằng A nếu có một số lẻ tín hiệu trong các tín hiệu B, C, D ở mức "1".
 - Các trường hợp còn lại ngõ xuất ở mức "0".

Bài tập mở rộng

- Một đoạn dữ liệu gồm 1 số BCD và 1 bit parity (chẵn) được truyền từ A→B. Các bit lần lượt là A₃,A₂,A₁,A₀, và P. Hãy thiết kế mạch kiểm tra bên B để xác định các lỗi sau.
 - Dữ liệu không phải số BCD.
 - Có lỗi trên đường truyền dựa vào Parity bit.

Biết rằng ngõ ra mạch kiểm tra lỗi tích cực mức 0.

Bài tập mở rộng



- Viết biểu thức đại số các hàm F1, F2 và F3
- Viết biểu thức tối giản dạng chính tắc SOP và POS cho hàm F1, F2 và F3

Bài tập mở rộng

- Thiết kế mạch tổ hợp thực hiện phép tính bù 2 của một số nhị phân 3 bit: ABC (A là MSB) và cho kết quả là số nhị phân 3 bit: XYZ (X là MSB).
- Một mạch tổ hợp có 3 ngõ vào A, B, và C; và 2 ngõ ra X và Y. Ngõ ra X bằng 0 nếu 2 bit kế nhau trong ABC không giống nhau. Y bằng 1 nếu tổng số bit 1 trong ABC là 2 và bằng "don't care" nếu tổng số bit 0 trong ABC là 2. Hãy tìm X theo dạng POS và Y theo dạng SOP. Vẽ sơ đồ logic mạch thiết kế.