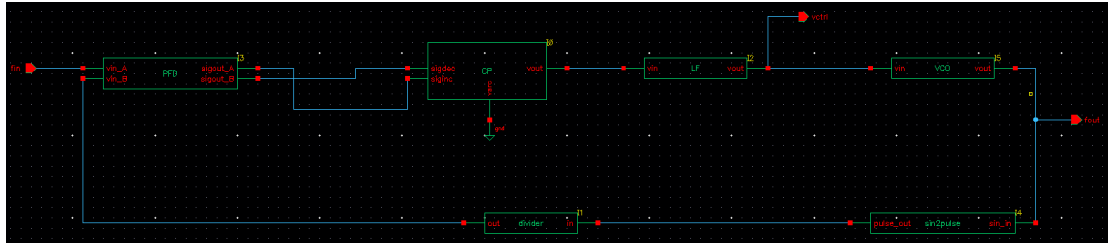


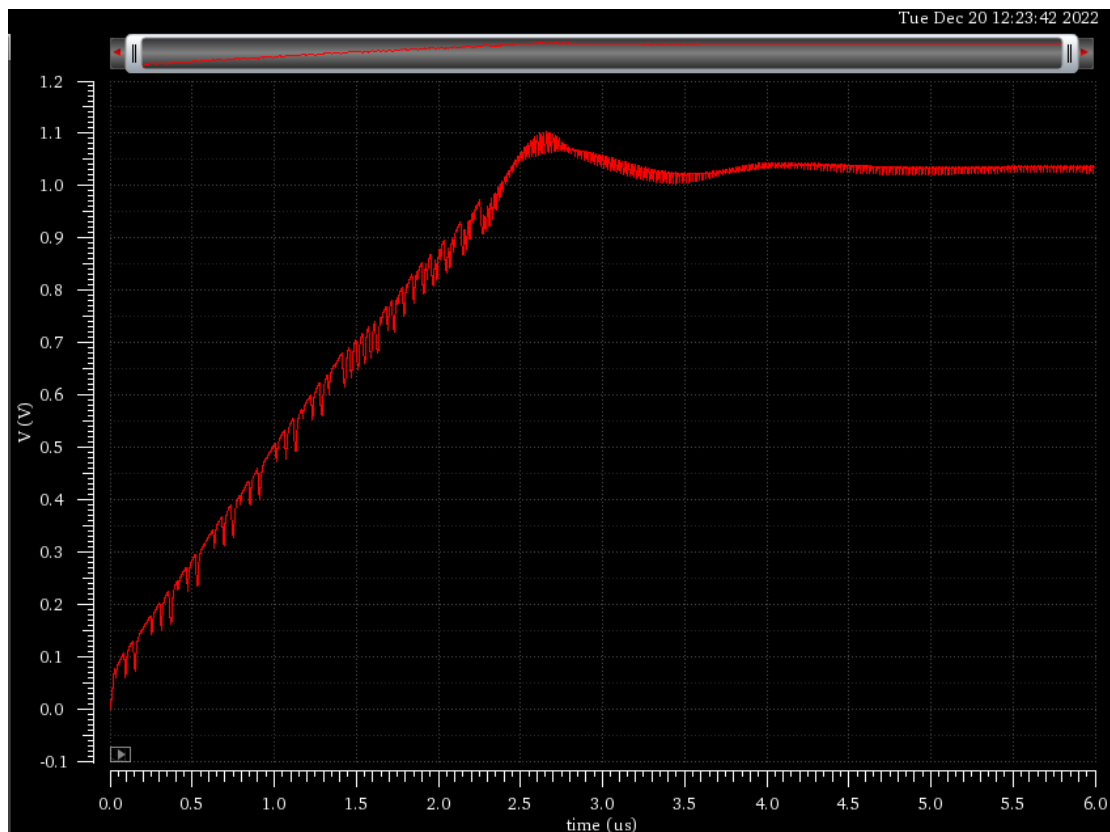
## CAD HW4 MiniReport

### Lab1: Analog simulation

#### 1. Schematic cell view



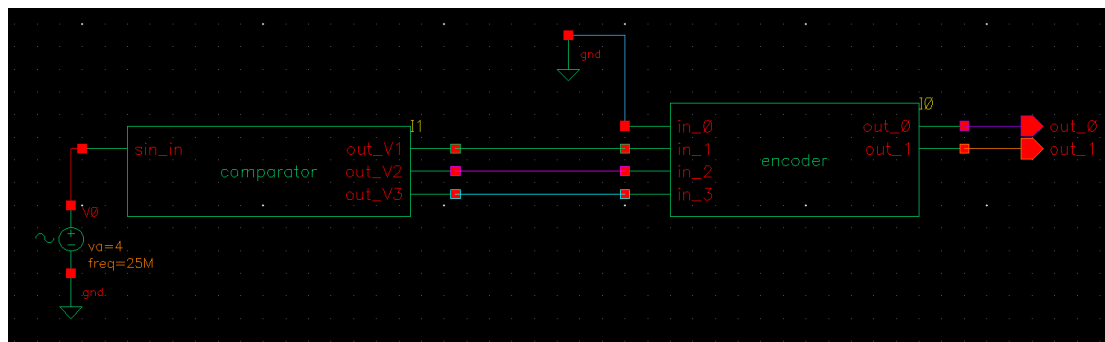
#### 2. Waveform



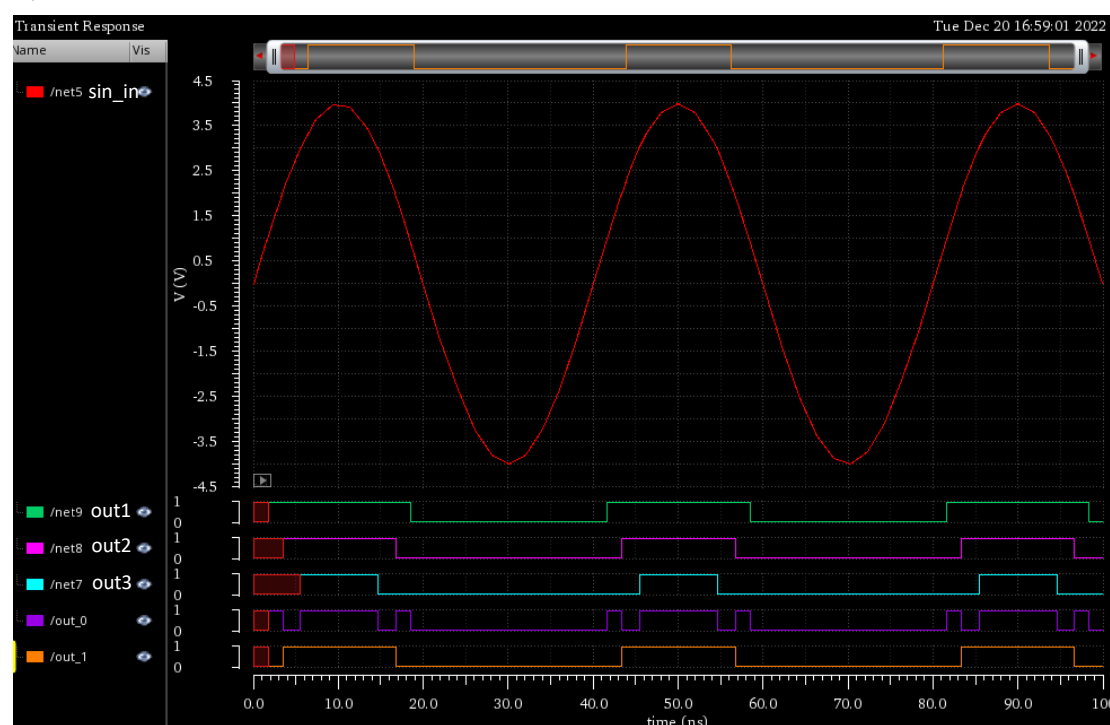


## Lab3: ADC

### 1. Schematic cell view



### 2. Waveform



### Learned from this homework

在這次的 lab 中，我學到了 verilog A 的撰寫方法，以及如何建構 symbol 來組合出想要的電路，並且能夠配合使用 tool 來完成本次作業。

從設計出 ADC 到把電路在 Virtuoso 上實現出來的過程，讓我能更詳細地了解到混合訊號數位類比轉換的操作。

### Questions and solutions

1. 弄清楚 symbol 對應的 library 是不可忽略的細節。在 Lab1 中碰到了選錯 GND library 而導致 Virtuoso 報錯的問題，卻因為找不到原因而卡了很久。
2. 建構 schematic cell view 時，若刪除某個 symbol 後直接新增 symbol 替換，會無法正常儲存。但重新打開 Virtuoso 後，再新增 symbol 就能成功儲存。
3. 在操作 simulation waveform 的時候，待測量的數值是電壓值的話，要點選接線而不是接點。若選擇接點，測到的會是電流值，而不是電壓值。