

作業二 葉憶嬋 311591015

本次作業為讀 verilog combinational 電路，

透過 lib 檔求 output capacitance、 timing、 path。

我分別敘述各檔功能：

1.需要探討每個 node 之間的連接情形，故宣告結構裡面放會用到的資訊

wire、delay、transition time 等等，

2.新增一個 struct 叫 table，存放讀 lib 檔讀出來的資料(pin capacitance、

建立的 look up table)。

Calculation:功用為查詢讀檔進來之 look up table，運用內插法求相對應

delay 或 transition time。

函式的處理 input 字串、分割字串

由於作業還沒完成，故報告沒有辦法寫得很詳盡。