

מבוא לתקני VLSI

עובדת הגשה 1

מגישיים:

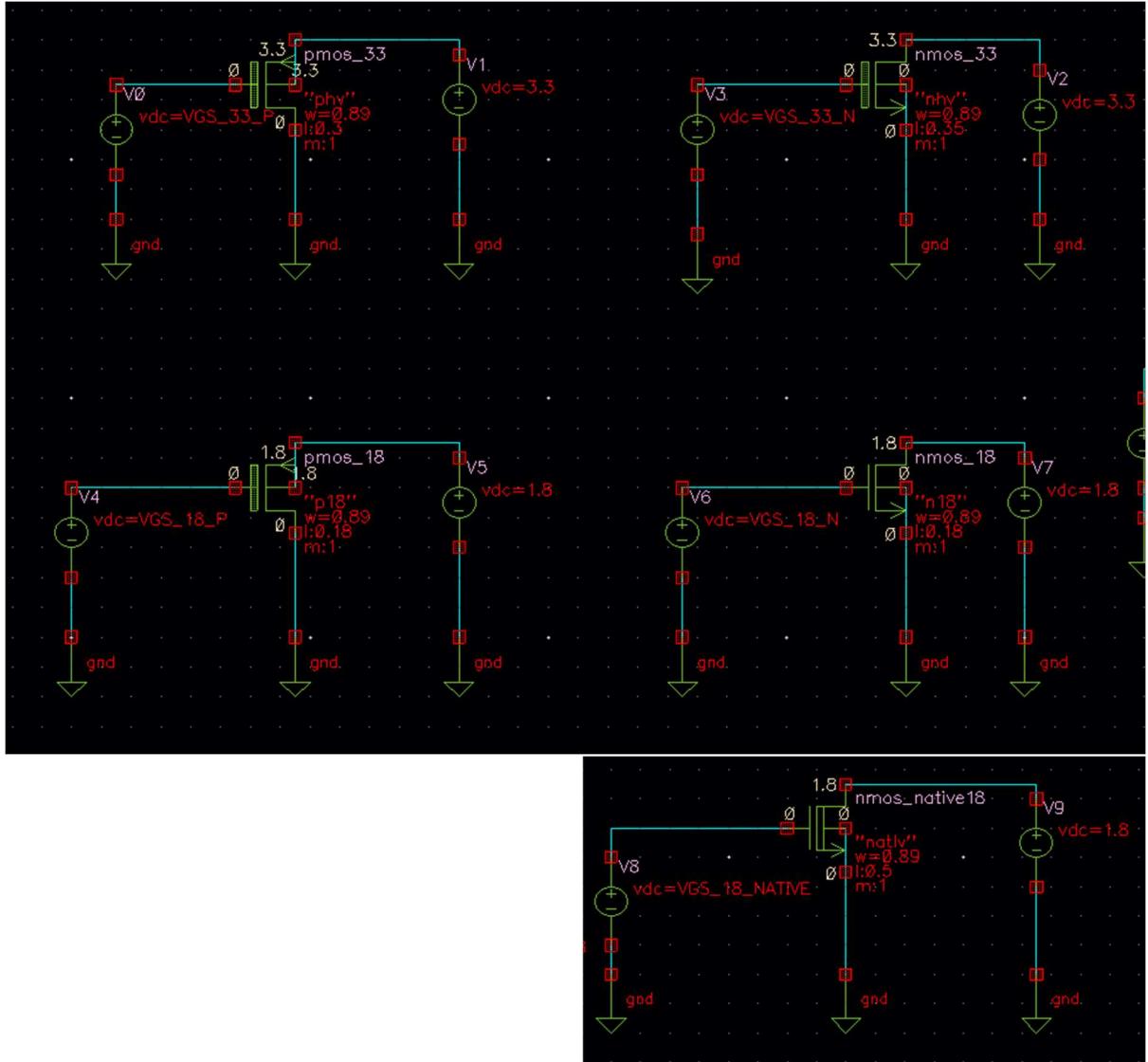


ולדימיר קוסטצקי

קבוצה מספר 47

חלק א' – הכנת התקנים

התבקশנו ליצור סכימות עבור טרנזיסטורים מסווגים שונים ולחבר להם מתחים מתאימים. לטרנזיסטורים הצבנו אורך מינימלי ורוחב שחווב לפי המשוואה שניתנה לקבוצה 47 $W_n=890\text{nm}$.



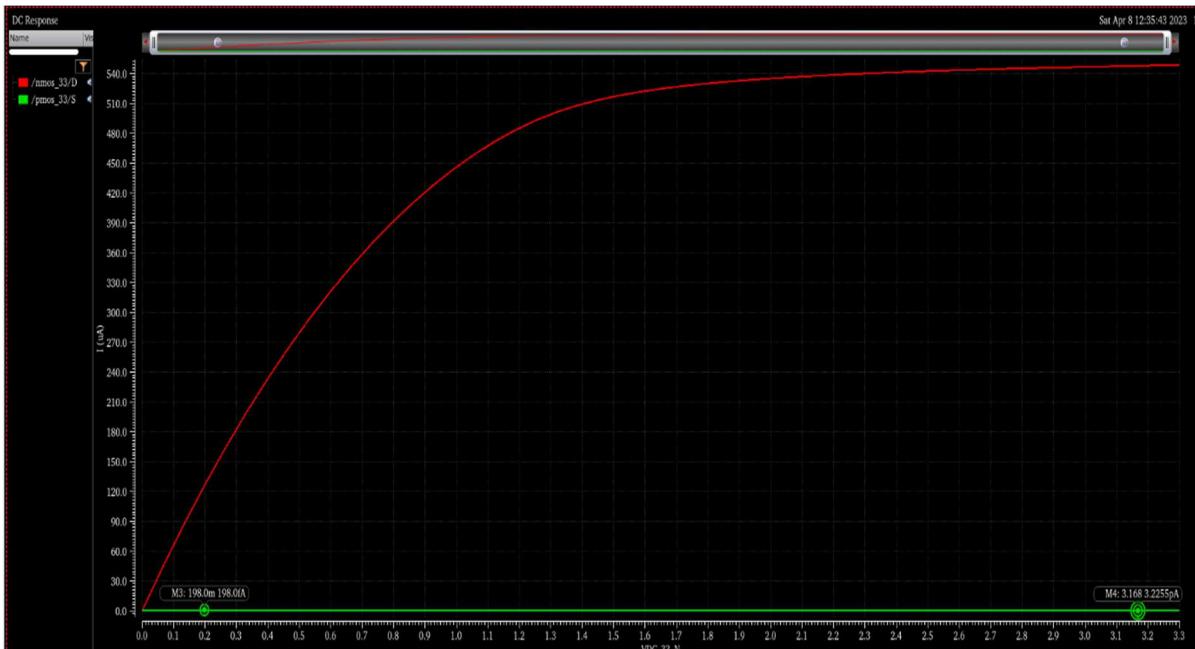
cut התבקשנו לבצע DC sweep על VDS בעוד VGS קבוע על ערך VDD .

אנו נצפה שבSIMOLICA זו טרנזיסטורי-h-MosP יהיה בעלי זרמים הקרובים ל-0 לכל אורך הסימולציה, וشبטרנסיזיטורי-h-Nmos הזרם יעלה בהדרגה עד שיגע לזרם הרווחה ושם ישאר פחות או יותר קבוע.

בתצלום הראשון רואים את הסימולציה על הטרנזיסטורים בהם המתח המקסימלי הוא 7.8V.



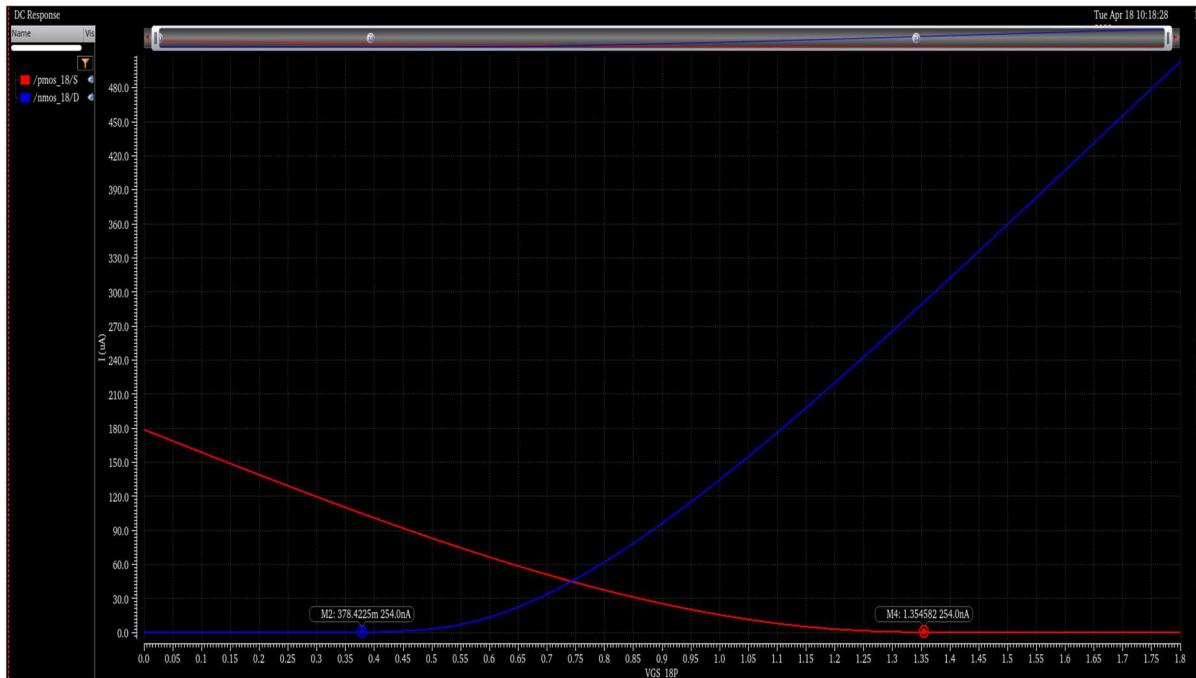
בתצלום השני רואים את הסימולציה על הטרנזיסטורים בהם המתח המקסימלי הוא 7.3V.



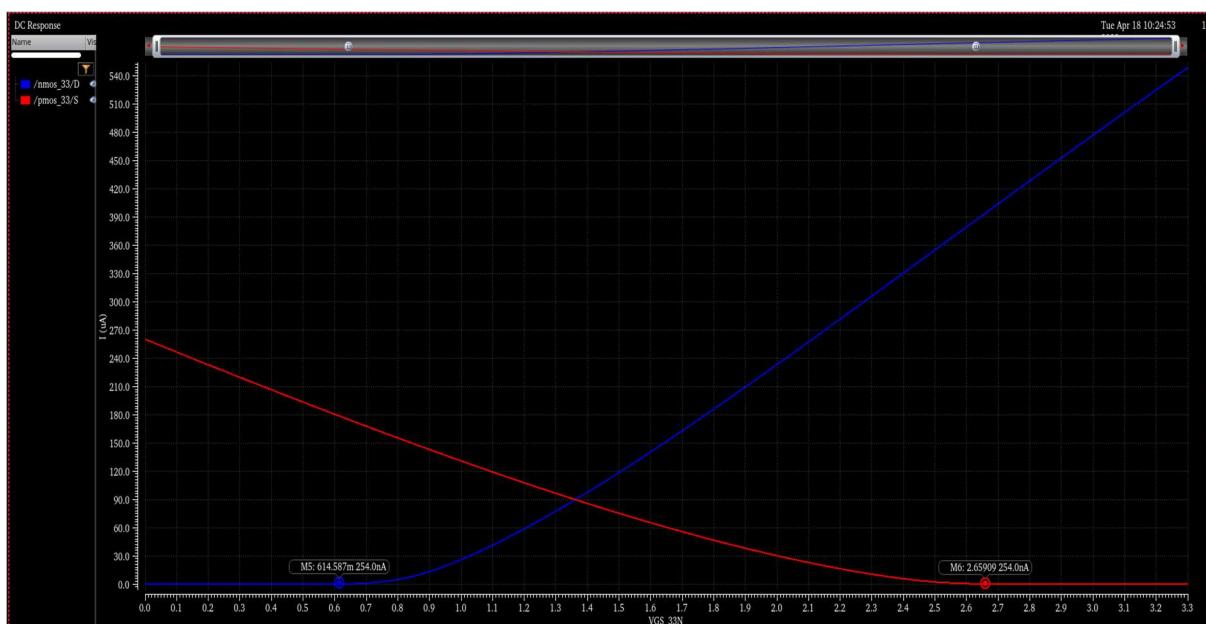
בשני הצלומים הצבנו נקודות ציון על הגрафים של-h-Pmos כדי להראות שהוא אינו 0 מוחלט אלא שישנם זרמי זליגה, אך כמו שצפינו, הטרנזיסטורי-h-Pmos נשארו סגורים לכל אורך הסימולציה וטרנזיסטורי-h-Smos נפתחו והגיעו לרווחה.

לאחר מין התבקשו גם לבצע DC sweep על VGS בעוד DS VDD נישאר קבוע על ערך VDD. בסימולציה זו נצפה שככל ש-VGS יגדל כך יגדל הזרם בטרנזיסטורי ה-MosN וההפר ב-MosP.

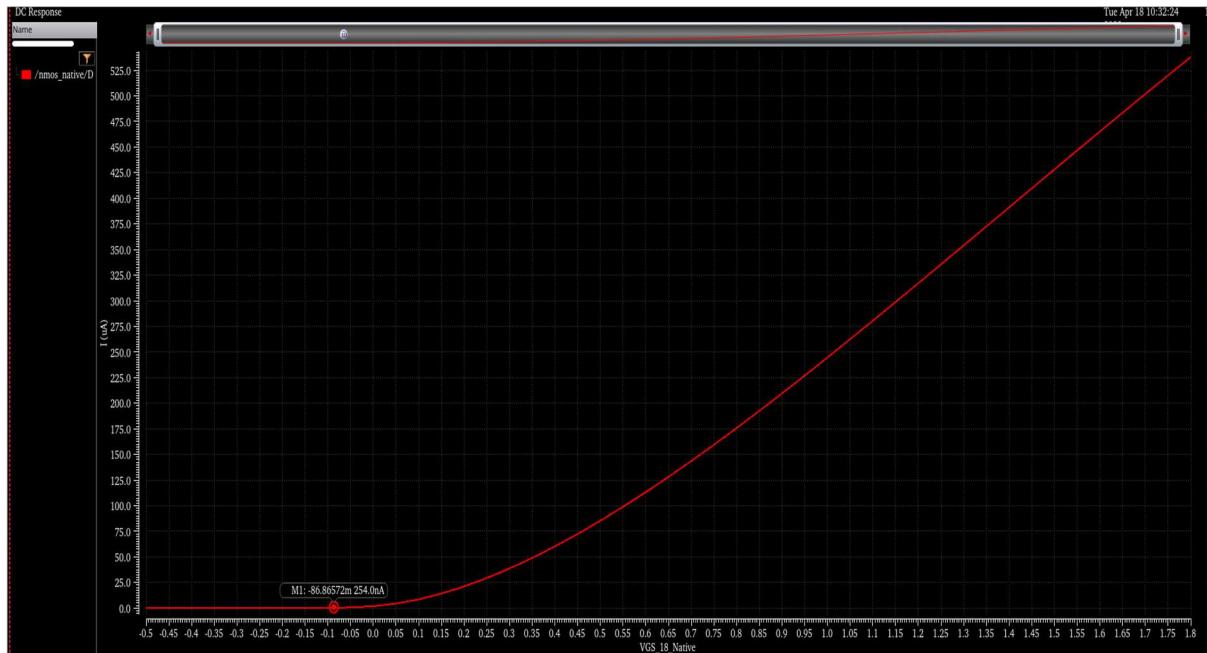
בתצלום הראשון רואים את הסימולציה על הטרנזיסטורים בהם המתח המקסימלי הוא V_{DS}.



בתצלום השני רואים את הסימולציה על הטרנזיסטורים בהם המתח המקסימלי הוא V_{DS}.



בתצלום השלישי רואים את הסימולציה על טרנזיסטור ה – Native.



כפי שציפינו ניתן לראות כי טרנזיסטורי ה-Nmos נפתחים ככל ש-SV עליה ולו עוממת טרנזיסטורי ה-Pmos נסגרים.

עת נחשב את מתחי הסף. אנו נצפה שהמתחים של הרכיבים בעלי המקסימלי הגובה יותר 3.3V, יהיו בעלי מתחי סף גבהים יותר מאשר מתח מקסימלי נמוך יותר 1.8V. בנוסח, ידוע לנו כי ה-Native אמרור להיות במתוח סף נמוך מ-0 כי הוא באופן נורמלי פתוח.

חישבנו את מתחי הסף בכך שהגדכנו את מתח המתח שבו הזרם עולה לראשונה מעלה $\frac{W}{L} \cdot 4n00$, וסימנו את המתח על הגרפים.

$$Nmos\ 1.8V \gg V_T = 378.4mV$$

$$Pmos\ 1.8V \gg V_T = 1.8 - 1.35 = 450mV$$

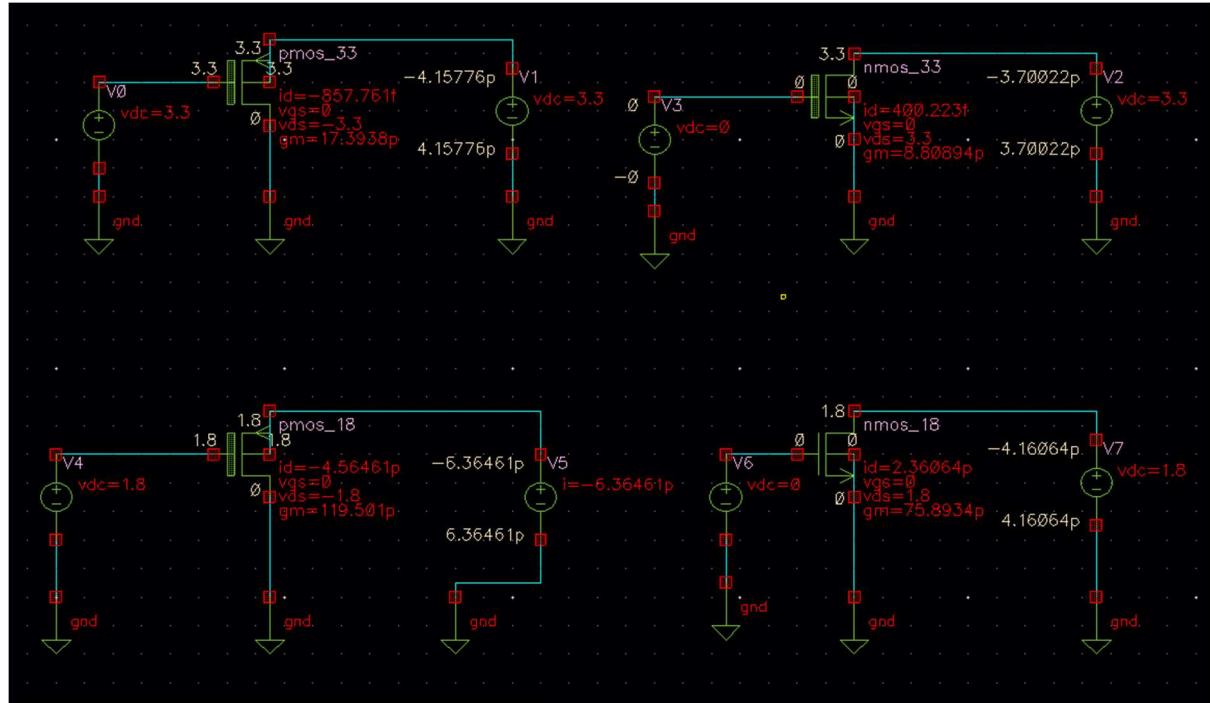
$$Nmos\ 3.3V \gg V_T = 614.5mV$$

$$Pmos\ 3.3V \gg V_T = 3.3 - 2.65 = 650mV$$

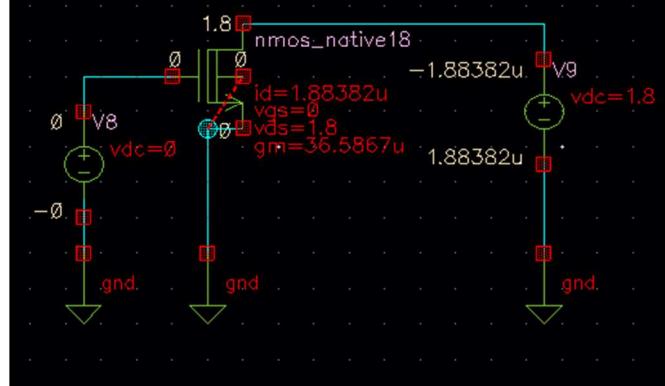
$$Nmos\ native \gg V_T \approx -86.8mV$$

ניתן לראות כי התוצאות יוצאות באמת כמו התוצאות שכתבנו לעיל.

בשלב הבא נמדד את זרמי הצלילה. נעשה זאת על ידי סימולציה sweep על VDS כאשר VGS קבוע על ערך שמאיר את הטרנזיסטור סגור.



בתמונה אלה ניתן לראות כי למorate שהטרנזיסטורים סגורים ישנו זרם קטן אממן, אך קיים. לעומת זאת, בטרנזיסטור ה Native ניתן לראות שסדר גודל זרם הצלילה הוא ב – (Pico Amper) A.k.a. בטרנזיסטור ה Native – הזרם הוא יחסית גבוה ועומד על מיקרו אמפרים, כנראה בגל של מהת הסף שלו שואף ל-0 ולכן הוא לא באמת סגור במתוך זה.



$$Nmos \ 1.8V \gg 6.36pA$$

$$Pmos \ 1.8V \gg 4.16pA$$

$$Nmos \ 3.3V \gg 3.7pA$$

$$Pmos \ 3.3V \gg 4.15pA$$

$$Nmos \ native \gg 1.8\mu A$$

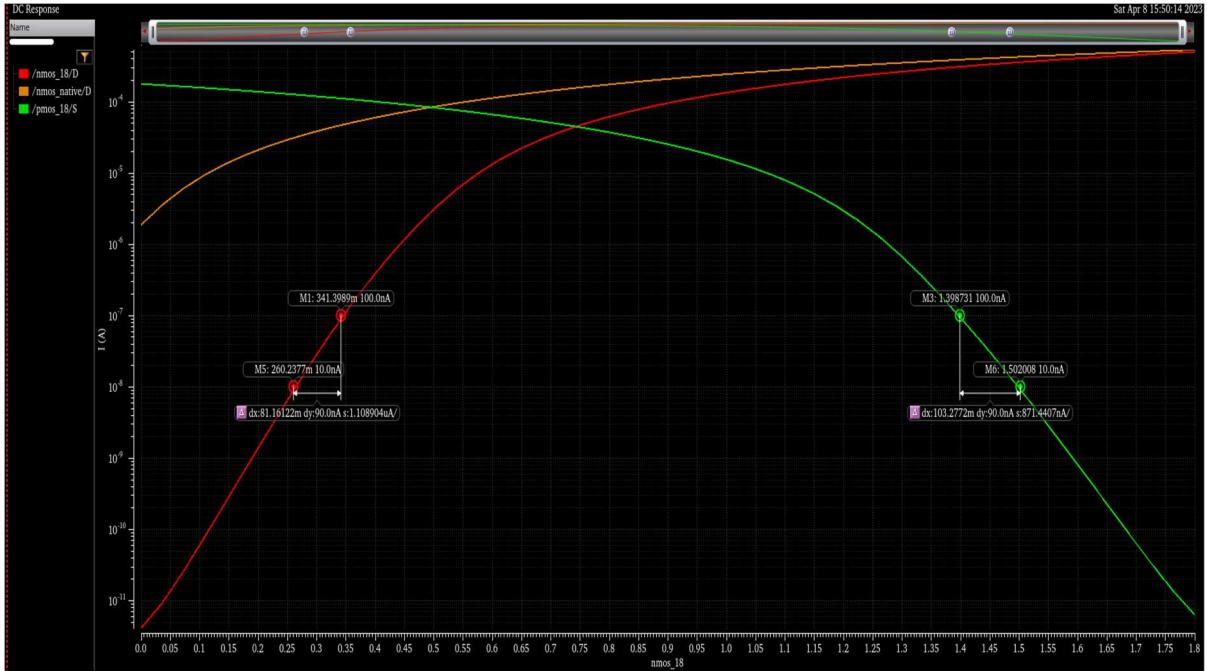
נמצא את היחסים של I_{on}/I_{off} :

NMOS 18	PMOS 18	NMOS 33	PMOS 33	NMOS native	I_{on}/I_{off}
59.5G	108G	166G	156G	48.2k	I_{on}/I_{off}

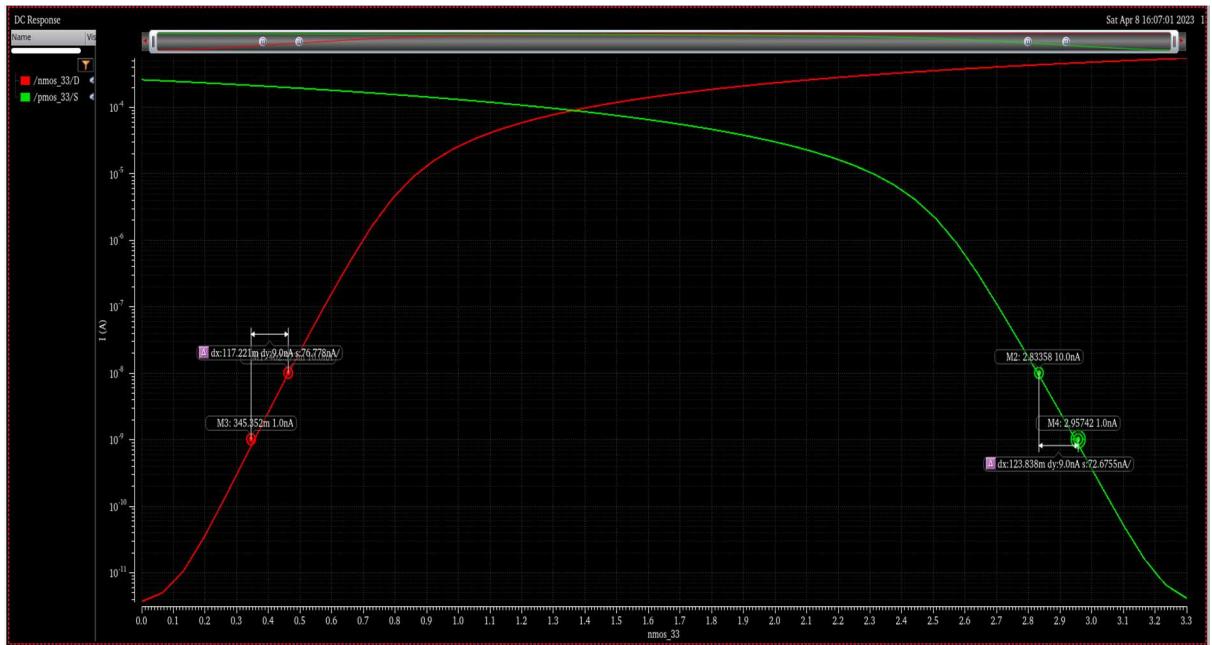
נחשב את ה subthreshold slope של כל אחד מהטרנזיסטורים.

ניתן לחשב זאת על ידי בדיקה בתחום שמתוח למתוח הסוף של כל טרנזיסטור, מה השינוי שיש לבצע בתחום הכניסה כדי לגרום לעליית הזרם בדקה אחת (כלומר פ' 10).

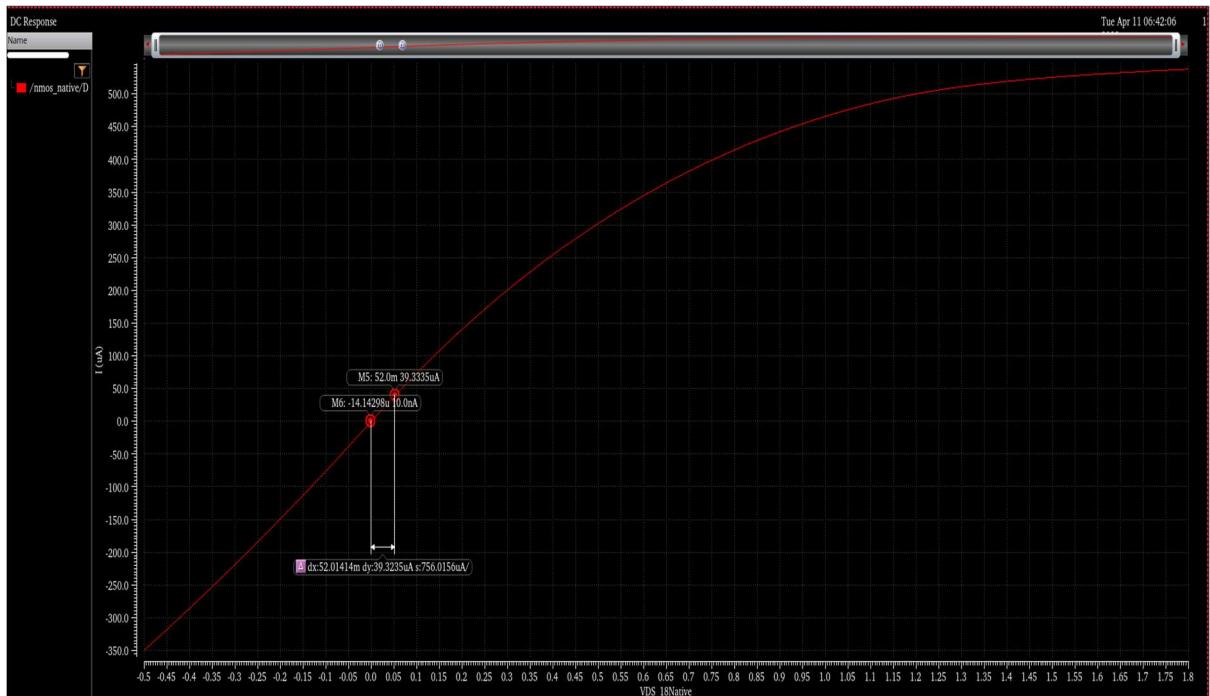
בתצלום הראשון רואים את הסימולציה על הטרנזיסטורים בהם המתח המקסימלי הוא 7.18V.



בתצלום השני רואים את הסימולציה על הטרנזיסטורים בהם המתח המקסימלי הוא 7.33V.



בתצלום השלישי רואים את הסימולציה על טרנזיסטור ה – Native.



השתמשנו בפונקציית `ap` על הגרף והתוצאות שיצאו לנו הן:

$$Nmos\ 1.8V \gg subthreshold = 81.16mV$$

$$Pmos\ 1.8V \gg subthreshold = 103.27mV$$

$$Nmos\ 3.3V \gg subthreshold = 117.22mV$$

$$Pmos\ 3.3V \gg subthreshold = 123.83mV$$

$$Nmos\ native \gg subthreshold = 52mV$$

כעת התבוננו לבצע סימולציה sweep על VDS כאשר $V_0 = 0$.

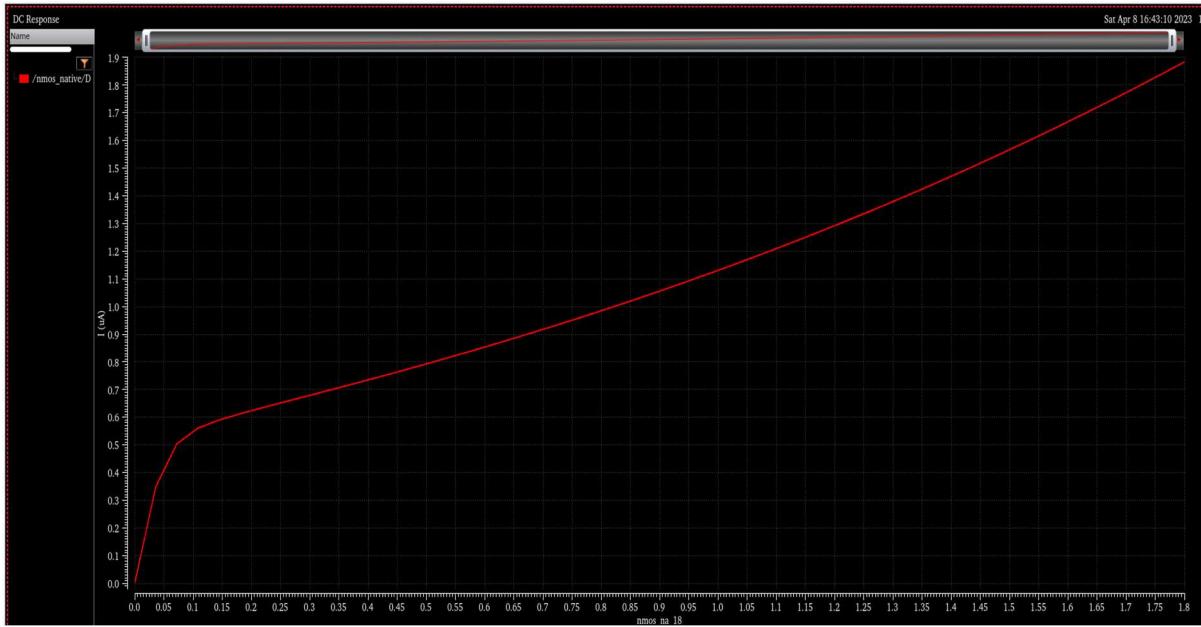
בתצלום הראשון רואים את הסימולציה על הטרנזיסטורים בהם המתח המקסימלי הוא $V_0 = 3V$.



בתצלום השני רואים את הסימולציה על הטרנזיסטורים בהם המתח המקסימלי הוא $V_0 = 1.8V$.



בתצלום השלישי רואים את הסימולציה על טרנזיסטור ה – Native.



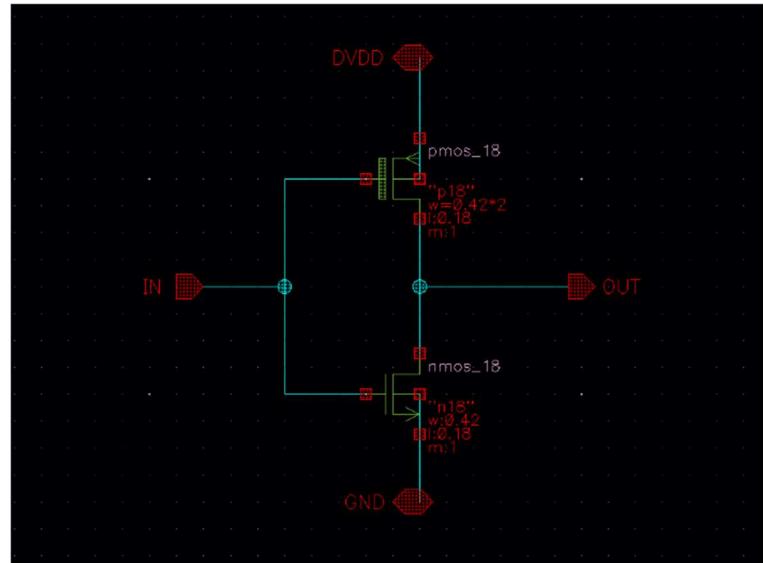
נתחיל בaczin שכל הטרנזיסטורים במצב סגור ולכן כל הזרמים הם זרמי זליגה.

אנו רואים בבירור שבתחלת עליית המתח הזרם ב - Nmos עולה בצורה ממשוערת ולאחר מכן עולה באופן לינארי. לעומת זאת ב - Pmos הזרם מתחילה בעלייה לינארית ולאחר מכן סופי השיסומולציה מתחילה לעלות באופן מעירכי. תופעת התקצרות התעללה היא זאת שקוראת בקצוות שם עוביים בעלייה לינארית לעלייה מעירפית, וזאת מכיוון שהמתוך גדול מספיק כדי ליצור מצב בו איזורי המחסור של ה – drain וה – source כמעט מתאחדים. תופעה זו יוצרת ירידה ממשוערת בהפרש הפוטנציאלים הדרוש כדי להעביר אלקטرونים מצד אחד לשניינו ובכך מנמיכה את מתח הסוף, ולכן העלייה הפתאומית בזרם.

חלק ב' – בניית המהפר

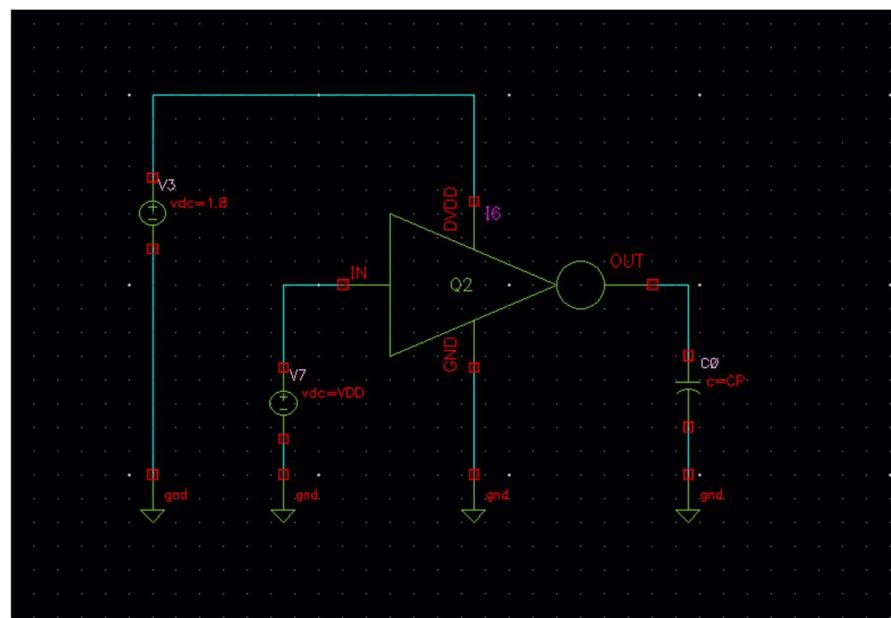
בחלק זה התבוננו לבנות מהפר.

1.1 בתחלת הבנייה בנו מהפר עם $2 = \beta$, כפי שלמדנוआידיאלי בקורסים קודמים. השתמשנו בטרנזיסטורים בעלי מקסימלי 1.8 ותחלת נתנו להם רוחב ואורך מינימליים.

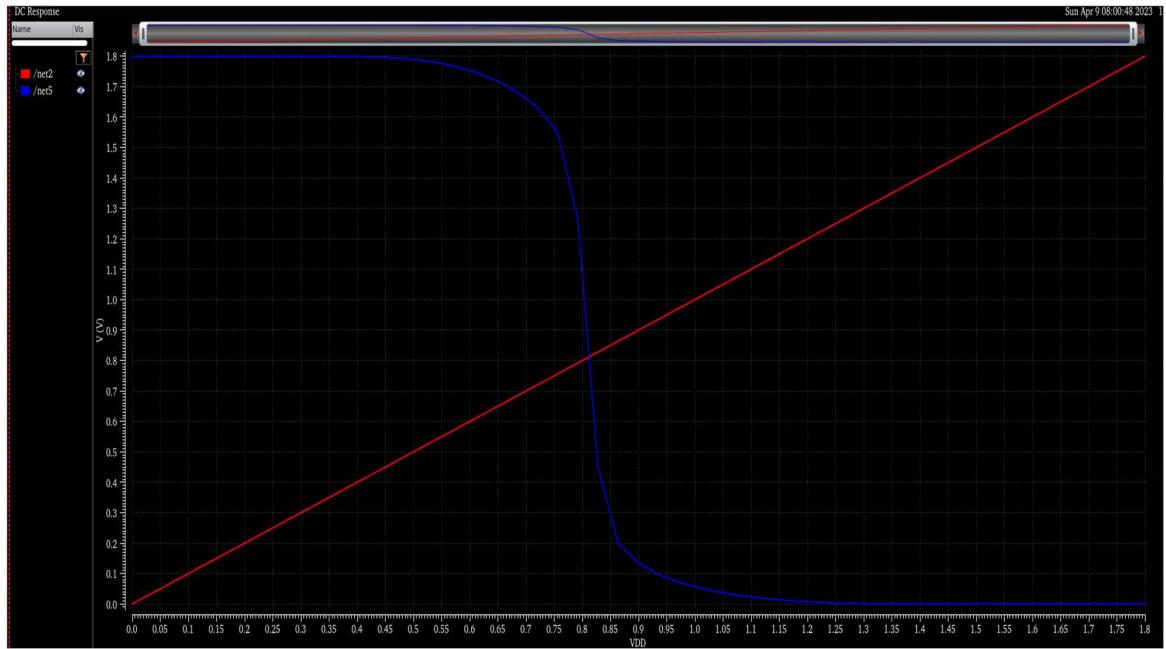


התבוננו למצוא את ה – β האופטימלי האמיטי. ידוע שב - β האופטימלי מתקיים גраф VTC כך שכאשר בכניסה יש $\frac{VDD}{2}$ מתקיים בדיק $\frac{VDD}{2}$ גם ביציאה. לשם כך בנו סימבול לmahper וטסנו בז' וחרצנו בתחלת על המהפר בעל ה – $2 = \beta$.

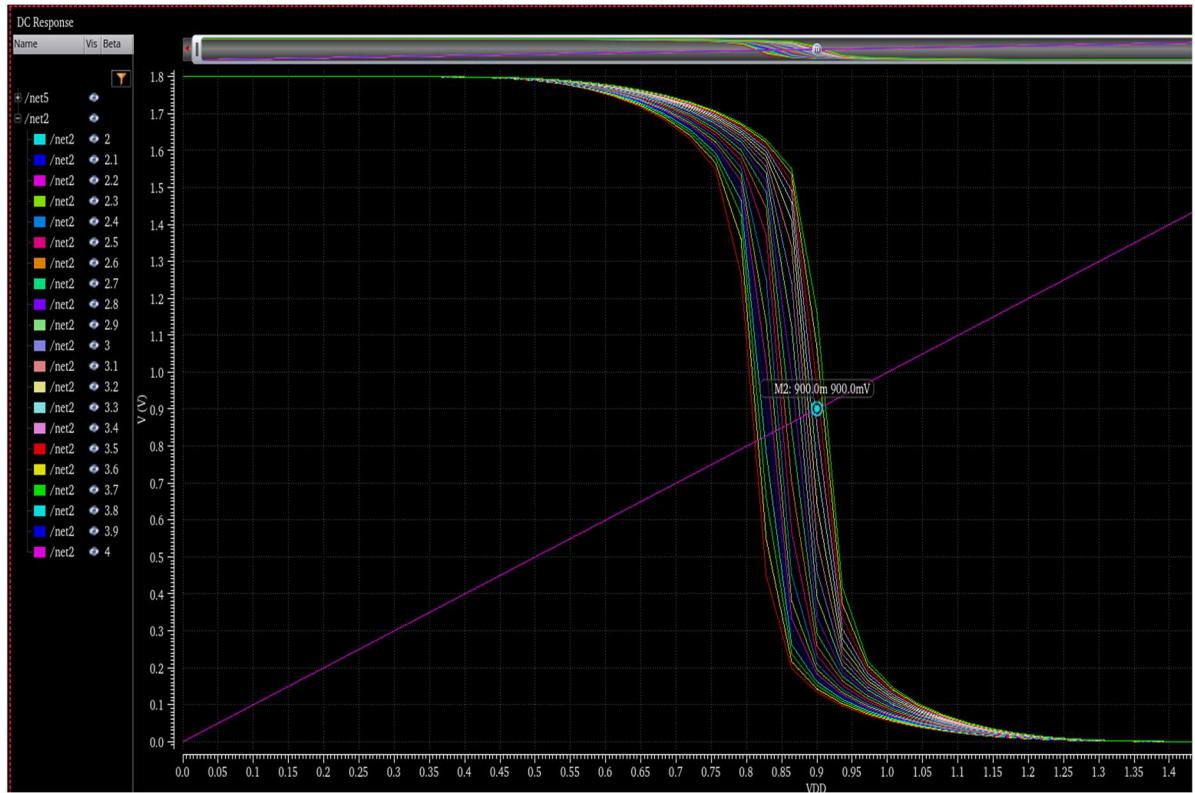
התמונה הראשונה היא תצלום של הטסן בז' שבו השתמשנו.



תצלום זה הוא סימולציה עם $\beta = 2$

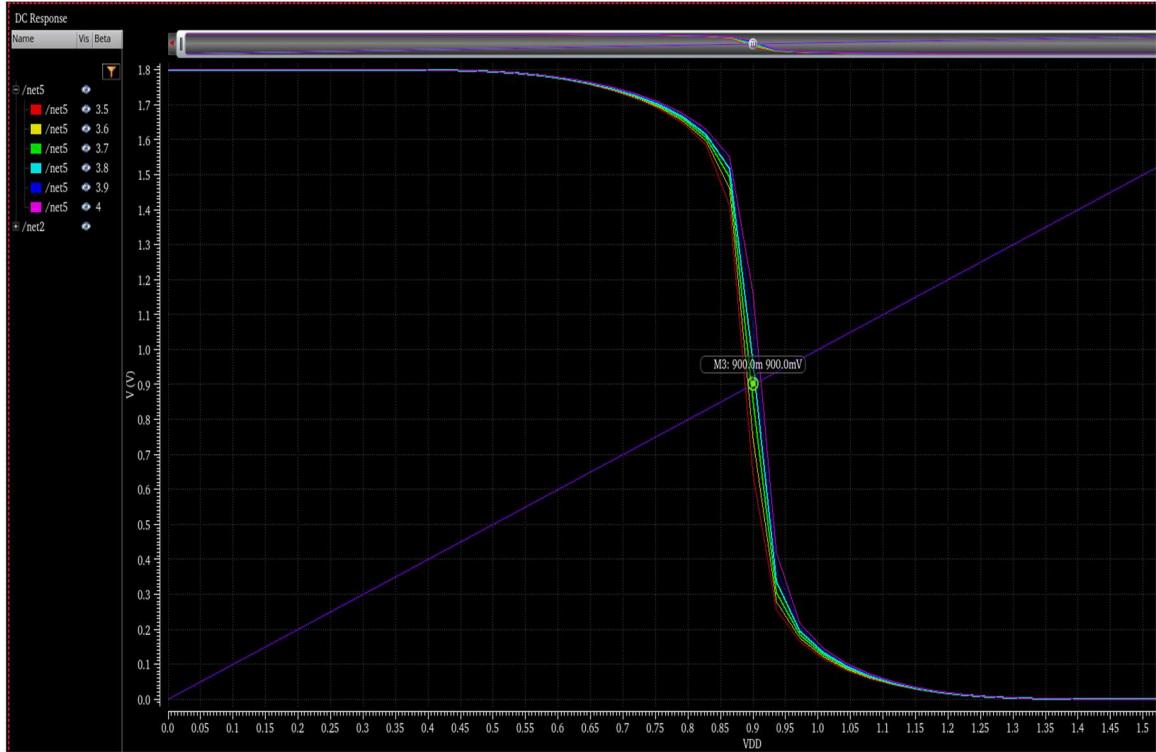


ניתן לראות שכאשר $2 = \beta$ מקבלים שכאשר הכניסה שווה ל- $V_{DD}/2$ המוצא שווה בערך ל- $V_{DD}/0.15$. לכן הרצנו סימולציות על β כך שיגדל בכל סימולציה ב-0.1 עד שנמצא את התחום שבו הוא מתקיים המוצא הרצוי.

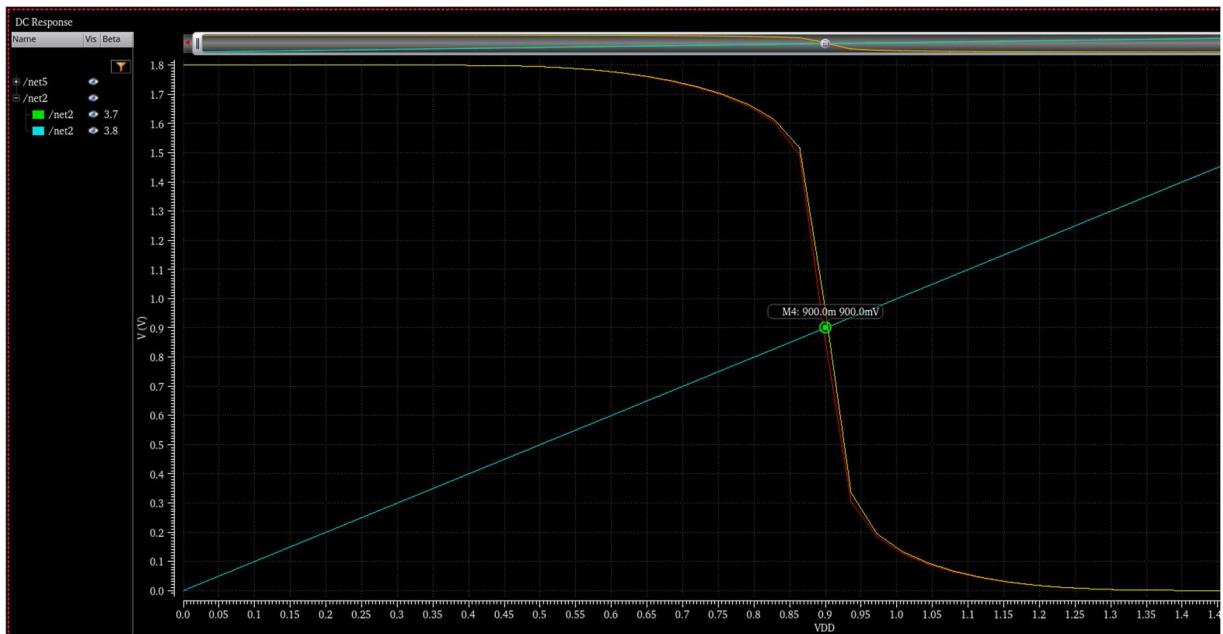


קיבלונו את התחום של ה- β האופטימלית. נוסיף תמונות עם פחות איטרציות כדי שייהי ברור יותר.

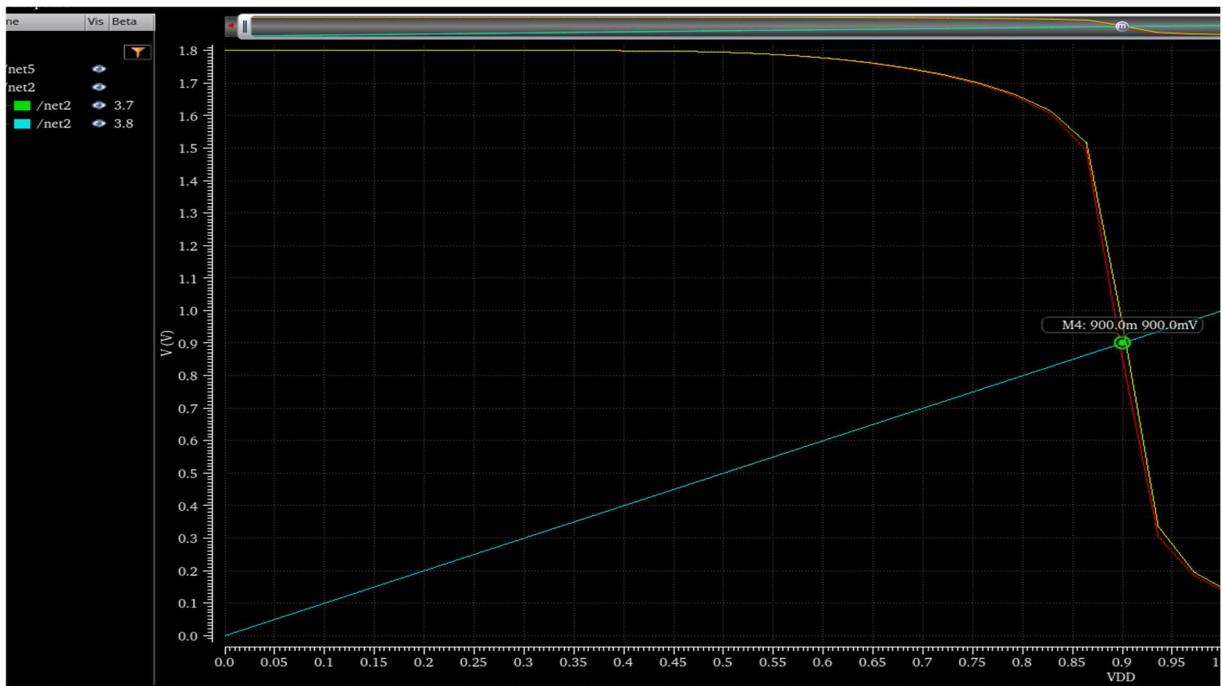
$$3.5 < \beta < 4$$



$$3.7 < \beta < 3.8$$

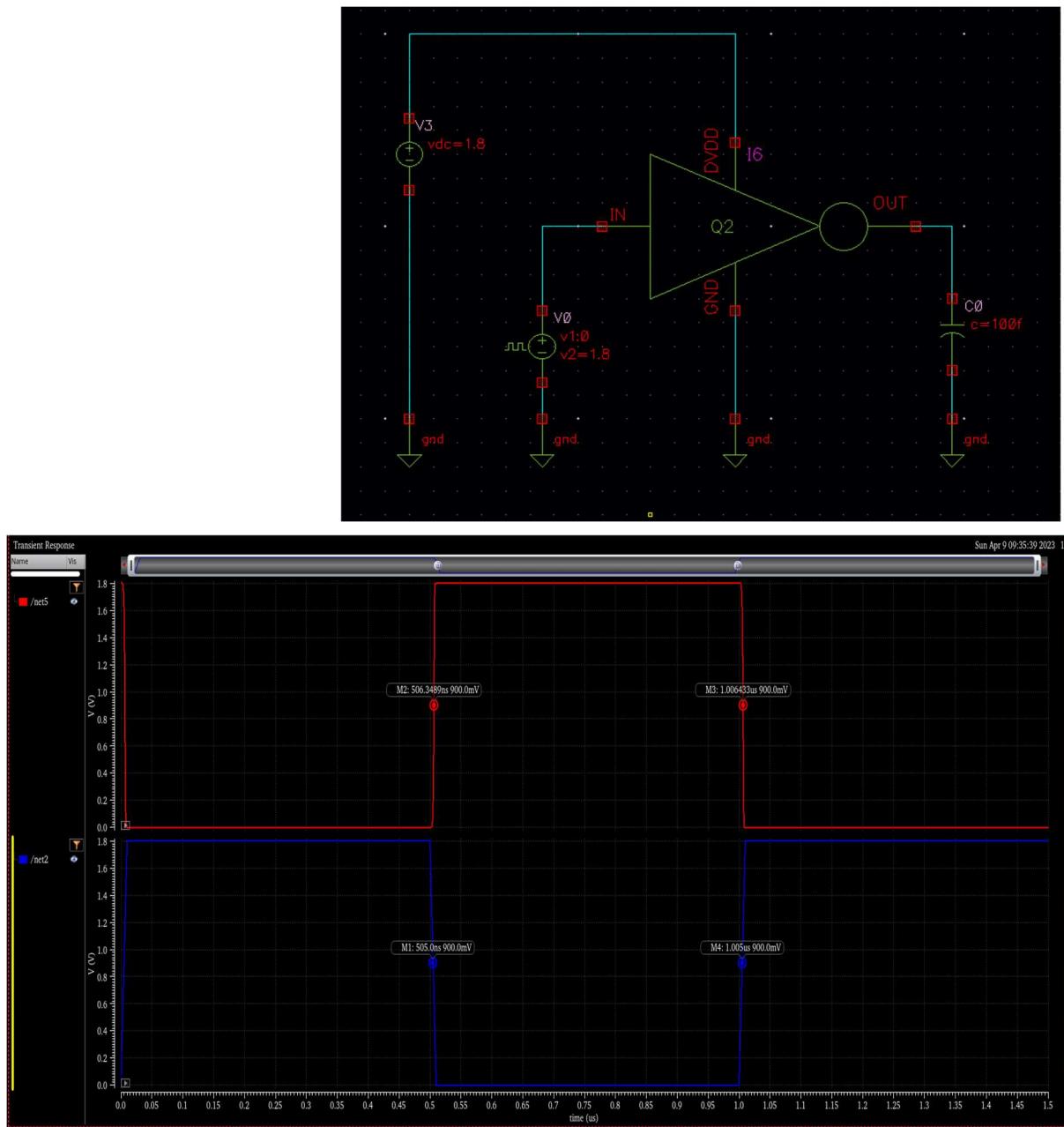


תמונה התקريب של β



בתמונה התקريب רואים בבירור ש - β האופטימלית נימצא בערך באמצע בין 3.7 ל-3.8. לכן לקחנו $\beta = 3.75$ כאופטימלית.

1.2 ביצעת סימולציה בזמן שומרה את הכניסה כנגד המוצא. כדי לעשות זאת שמו בטפס בńץ' אות ריבועי בתדר 1MHz וקיבול של 1fF כנדרש.



כפי שציפינו קיבלנו שהמוצא שווה לערך הפוך מהכניסה, אך כמובן ישנה השהייה מסוימת ביןיהם בגלל תופעות המעבר ובין היתר הזמן שלוקח לקבל במצב להיתען.

1.3 נחשב בעזרת הסימולציה והמחשבון של התוכנה את ה- $T_{p_{LH}}$ וה- $T_{p_{HL}}$ של המהפר שיצרנו. נחשב זאת לפי הנוסחאות הידועות.

$T_{p_{HL}}$ ו- $T_{p_{LH}}$ בהגדרתם הם הזמן מהרגע שהכניסה מגיעה ל-50% מהערך הסופי ועד שהמוצא מתייצב על 50% מהערך הסופי.

מחושב על ידי השניים הקודמים בנוסחה הבאה:

$$T_{pd} = \frac{T_{p_{LH}} + T_{p_{HL}}}{2}$$

נריץ בסימולציה ונעזר במחשבון.

Test	Name	Type	Details	EvalType	Plot	Save	Spec
Inverter:Q2_...	tpLH	expr	(out_rise - in_fall)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Inverter:Q2_...	in_fall	expr	cross(VT1"/net2") 0.9 1 ...	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Inverter:Q2_...	out_rise	expr	cross(VT1"/net5") 0.9 1 ...	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Inverter:Q2_...	tpHL	expr	(out_fall - in_rise)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Inverter:Q2_...	in_rise	expr	cross(VT1"/net2") 0.9 2 ...	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Inverter:Q2_...	tpd	expr	((tpHL + tpLH) / 2)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Inverter:Q2_...	out_fall	expr	cross(VT1"/net5") 0.9 2 ...	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Test	Output	Nominal	Spec	Weight
Inverter:Q2_inv_TB:1	tpLH	1.331n		
Inverter:Q2_inv_TB:1	in_fall	505n		
Inverter:Q2_inv_TB:1	out_rise	506.3n		
Inverter:Q2_inv_TB:1	tpHL	1.435n		
Inverter:Q2_inv_TB:1	in_rise	1.005u		
Inverter:Q2_inv_TB:1	tpd	1.383n		
Inverter:Q2_inv_TB:1	out_fall	1.006u		

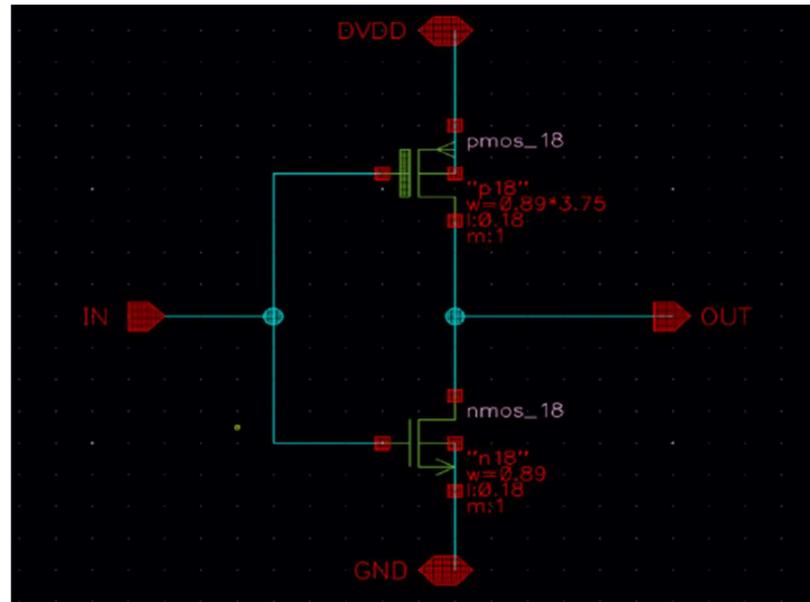
קיבliśmy כי זמן ההשאה של הרכיב שיצרנו הוא 1.383ns .

1.4 כעת נבדוק מה צריך להיות גודל הקבל כדי שה- T_{pd} יגדל בצורה משמעותית (10%).
 כדי לבדוק זאת הרצנו סימולציה על הקבל, בדומה לזאת שהרצנו על β , כך שהקבל גדול בכל סימולציה ב- $10ff$, ובעזרת מחשבון בדקנו מתי מקבלים עלייה של כ-10% ב- T_{pd} .

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Parameters: CAP=100f						
1	Inverter:Q2_Inv_TB:1	tplH	1.331n			
1	Inverter:Q2_Inv_TB:1	in_fall	505n			
1	Inverter:Q2_Inv_TB:1	out_rise	506.3n			
1	Inverter:Q2_Inv_TB:1	tpHL	1.435n			
1	Inverter:Q2_Inv_TB:1	in_rise	1.005u			
1	Inverter:Q2_Inv_TB:1	tpd	1.383n			
1	Inverter:Q2_Inv_TB:1	out_fall	1.006u			
Parameters: CAP=110f						
2	Inverter:Q2_Inv_TB:1	tplH	1.407n			
2	Inverter:Q2_Inv_TB:1	in_fall	505n			
2	Inverter:Q2_Inv_TB:1	out_rise	506.4n			
2	Inverter:Q2_Inv_TB:1	tpHL	1.517n			
2	Inverter:Q2_Inv_TB:1	in_rise	1.005u			
2	Inverter:Q2_Inv_TB:1	tpd	1.462n			
2	Inverter:Q2_Inv_TB:1	out_fall	1.007u			
Parameters: CAP=120f						
3	Inverter:Q2_Inv_TB:1	tplH	1.479n			
3	Inverter:Q2_Inv_TB:1	in_fall	505n			
3	Inverter:Q2_Inv_TB:1	out_rise	506.5n			
3	Inverter:Q2_Inv_TB:1	tpHL	1.598n			
3	Inverter:Q2_Inv_TB:1	in_rise	1.005u			
3	Inverter:Q2_Inv_TB:1	tpd	1.539n			
3	Inverter:Q2_Inv_TB:1	out_fall	1.007u			
Parameters: CAP=130f						
4	Inverter:Q2_Inv_TB:1	tplH	1.55n			
4	Inverter:Q2_Inv_TB:1	in_fall	505n			
4	Inverter:Q2_Inv_TB:1	out_rise	506.5n			
4	Inverter:Q2_Inv_TB:1	tpHL	1.678n			
4	Inverter:Q2_Inv_TB:1	in_rise	1.005u			
4	Inverter:Q2_Inv_TB:1	tpd	1.614n			
4	Inverter:Q2_Inv_TB:1	out_fall	1.007u			
Parameters: CAP=140f						
5	Inverter:Q2_Inv_TB:1	tplH	1.619n			
5	Inverter:Q2_Inv_TB:1	in_fall	505n			
5	Inverter:Q2_Inv_TB:1	out_rise	506.6n			
5	Inverter:Q2_Inv_TB:1	tpHL	1.732n			
5	Inverter:Q2_Inv_TB:1	in_rise	1.005u			
5	Inverter:Q2_Inv_TB:1	tpd	1.676n			
5	Inverter:Q2_Inv_TB:1	out_fall	1.007u			
<input type="radio"/> Interactive.12 <input type="radio"/> Interactive.13 <input checked="" type="radio"/> Interactive.14						

כפי שניתן לראות, קיבלנו שכבר אחרי עלייה של $20ff$ מתקבלת עלייה של מעל 10% ב- T_{pd} .

1.5 כעת החלפנו את רוחב הטרנזיסטורים לרוחב שנייקב לפי קבוצתנו ($w=0.89$ =W), ושמרנו על β כדי שמצאנו.



כעת נרים סימולציה על מנת לראות את השינוי בהשניה: נשים לב שהגודל הקובל עליו הרצינו את הסימולציה הוא $f=120f$ ולכן נשווה בין ההשניות של קבלים אלו. כעת מה אנחנו רואים כאן – עברו תעלת באורך 0.890 וקובל של $120f$ קיבלנו tpd של 1540ps ועבור תעלת באורך 0.890 וקובל של $f=120$ קיבלנו tpd של 957ps . ככלומר קיבלנו שיפור במעט 48% זהה נובע מהתוצאות הבאות.

Test	Output	Nominal	Spec
Inverter:Q2_inv_TB:1	tpLH	754p	
Inverter:Q2_inv_TB:1	in_fall	505n	
Inverter:Q2_inv_TB:1	out_rise	505.8n	
Inverter:Q2_inv_TB:1	tpHL	1.161n	
Inverter:Q2_inv_TB:1	in_rise	1.005u	
Inverter:Q2_inv_TB:1	tpd	957.6p	
Inverter:Q2_inv_TB:1	out_fall	1.006u	

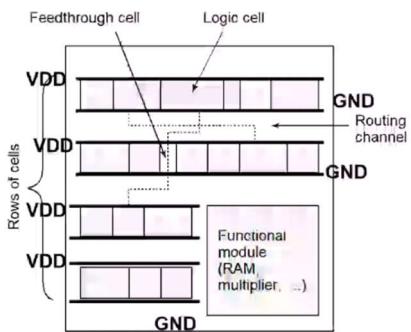
בטרנזיסטור MOSFET רוחב התעללה הוא אחד מהפרמטרים המרכזיים המשפיעים על ההתנגדות. רוחב גדול יותר של התעללה פירושו התנגדות נמוכה יותר בתעללה מכיוון שניתן הפרשנו נגדים המחברים במקביל. لكن על ידי הגדלת רוחב התעללה של הטרנזיסטורים בمعالג מ- 0.890 ל- 0.420 מ- μm , אנחנו בעצם מפחיתים את ההתנגדות בטרנזיסטורים. למעשה רוחב הפנים של התעללה גדל ובכך יותר מטعنן יכול לעبور שם בפחות זמן וכן הזרם גדול והקובל בקצתה יטען מהר יותר, ככלומר פעולה הטרנזיסטטור תהיה מהירה יותר.

הגדלת רוחב התעללה יכולה גם להגדיל את הקובל של הטרנזיסטור, מה שיוכל לשפר את יכולתו לאחסן ולשחרר מטען ולשפר עוד יותר את מהירות המיתוג שלו.

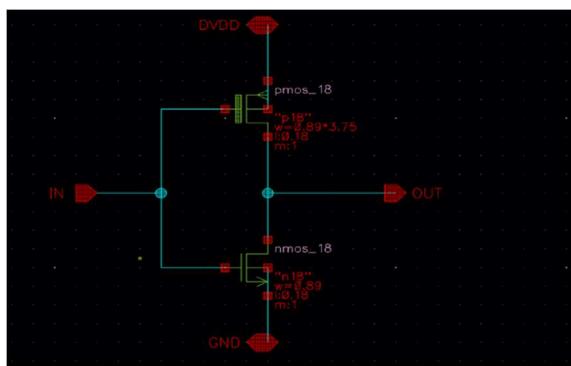
* חשוב לציין וזאת גם נראה בהמשך השאלה כי הגדלת התעללה מגדילה את הקובלים הפרזיטיים בטרנזיסטור.

תכנן LAYOUT של התא ובדיקתו: בשלב זה התבקשנו לבנות layout לתא של המהף.

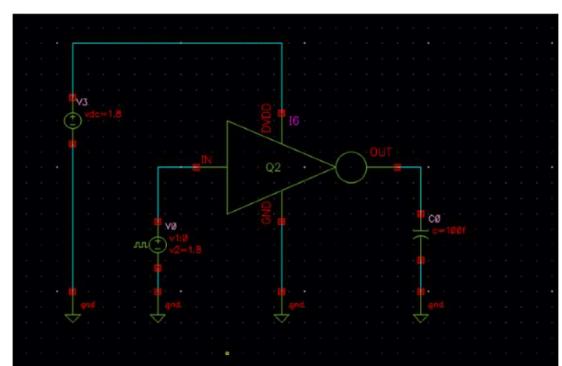
2.1 האיר הנตอน הוא בעצם מה שנקרא Standard Cells עליו למדנו בהרצאה הראשונה בשקופית 24 המרצה תומם מסביר שחייב לתקן ולבנות תאים קבועים מראש שמאפשרים חיבור של מספר יחידות בסיס כדי ליצור מבנים מוסובכים יותר. כמו כן התא שנחנו מתכוונים מועד להשתלב עם תאים אחרים וכן לעליינו לשמר על אותו הגודל. זה הכרחי כיון שגם המפעל שמייצר את הרכיבים עומד בוגבלות ייצור ועלינו לקחת זאת בחשבון. על מנת להוזיל עליות כסוגיות עלינו לתקן LAYOUT מינימלי ולשתח פיזיות WELL. ברטונוי הדרכה ובמהלך ביצוע המטלה התבקשנו להשתמש בקווים אספקה עבים ולהתאים גובהם לתאים – זאת נעשה כיון שאנו מחברים את הרכיבים לאספקה מקבילתית והיא מובליה הרבה זרם כיון שהוא מספקת אותו ליותר מרכיב אחד. אנחנו יודעים ששעריים דיגיטליים מחברים גם ל VDD וגם לאדמה בצורה הזאת אנחנו מחברים שירות שלמותם למתיחסים וממשתמשים בחיוויטים אופקיים כך שהרווחים ביןיהם הם הגובה של התא – והעובדת שהגובה הזה קבוע מראש מאוד מקל בחיוויט מה גם שם מרצה להוציא תאים נוכלים לעשות זאת בקלות כיון שהתאים יכולים להכנס בין ה VSS ו ה GND בדיק באותו הגובה. נצוף את התמונה משקופית 24 להמחשה:



2.2 בסעיף זה ייצרנו את הסימבול המבוקש, אך ברצוניו להתייחס לכך שהתבלבלנו ומקבום להשתמש בנתוניים של סעיף 1.1 בינו את המשך השאלה בהתאם לננתוניים שהיו לנו בסעיף 1.5 שזה מתיחס בעיקר לכך שהרוחב התעלה שלנו הוא $w=0.89$. כתע נצוף את הסימבול ואת הטרנזיסטורים מהם בנינו את הסימבול:

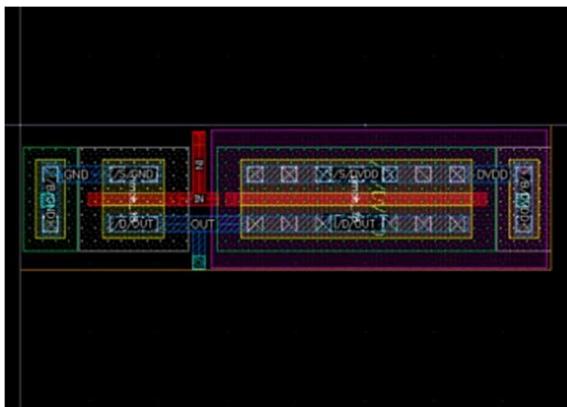


איור 2 הטרנזיסטורים מהם בנינו את הסימbol

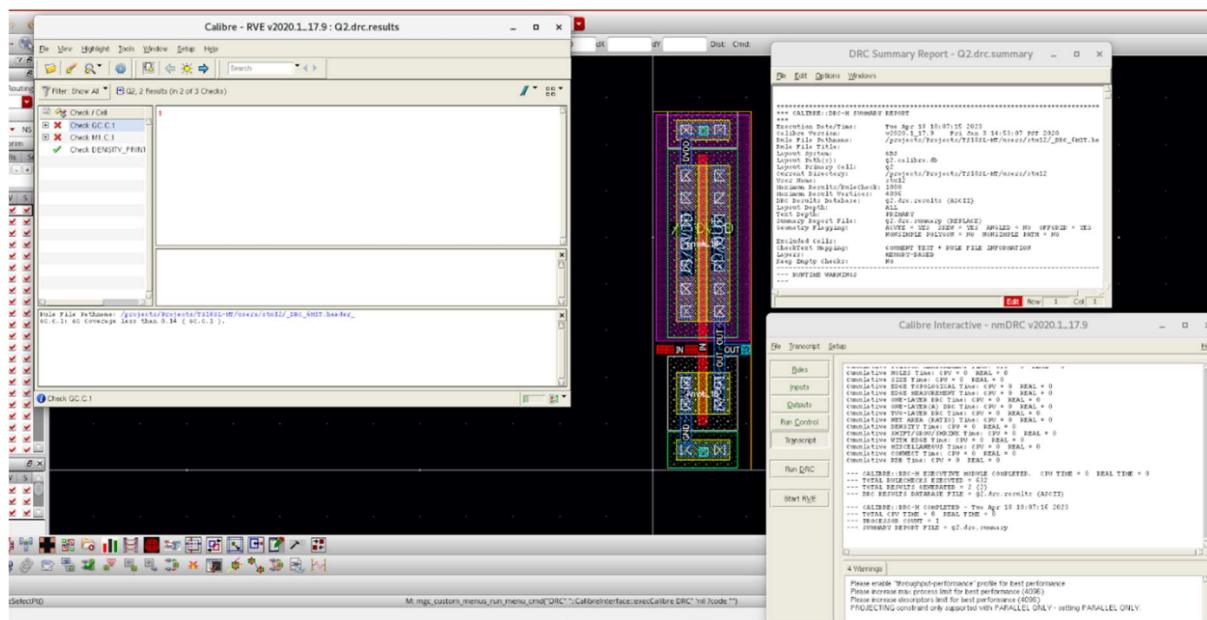


איור 1 הסימbol

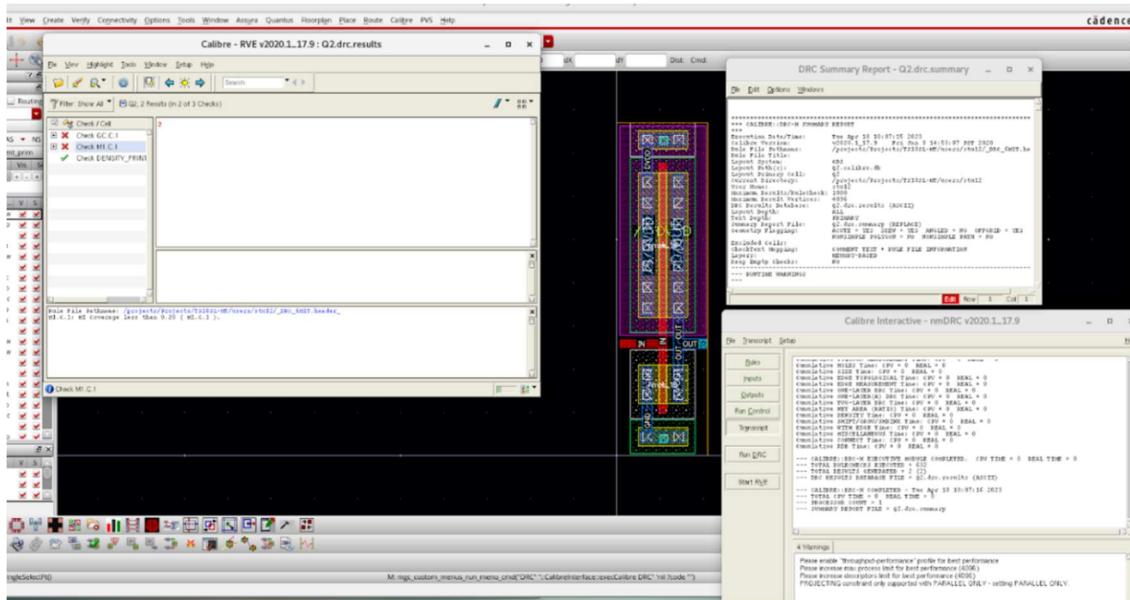
2.3 – התא שקיבלנו עבור התעלות שלנו. כעת שכךנו לעשות תמונה גם עם הסרגלים על מנת להראות שאנו עומדים תחת המגבלה של הגובה בכל מקרה זה כן המצב, בדקנו את זה. (הנחנו שניכשל בטסיטים אם לא נעמוד בדרישה זו).



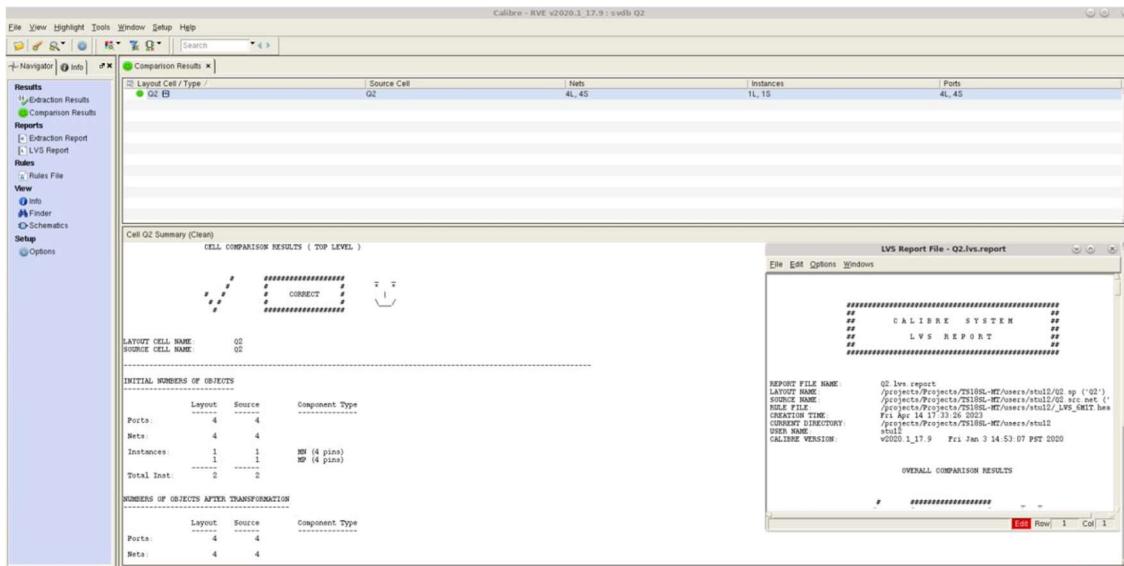
2.4-2.6 בחלק זה הרצינו את הטסטים ייצור קובץ Config שבו נשתמש כאשר נדרש להשוות בין הסימולציות ולהתחשב בפערזיטיות, יש לציין שעבור הטסט של ה DRC קיבלנו 2 שגיאות – שתיהן שגיאות הקשורות לכמויות הסיליקון לפי המדריך ישנו קוד פשוט שמור לתקן שגיאות Coverage מסוג זה וכן יש להタルם מהן כעת.



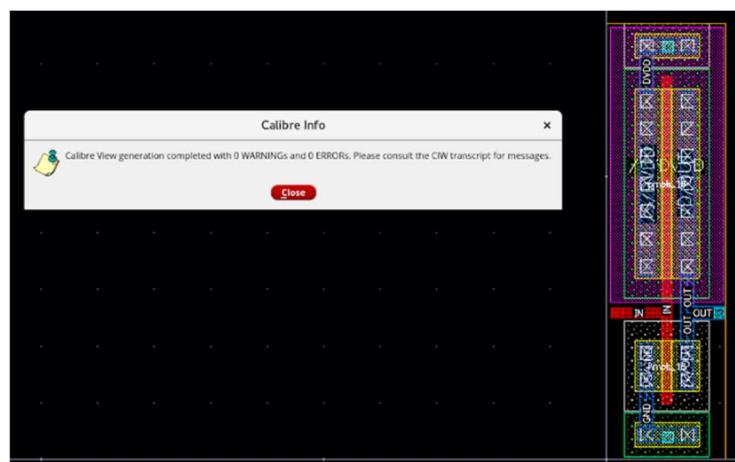
אייר 3 שגיאה ראשונה - COVERAGE



איור 4 שגיאה שנייה - COVERAGE



איור 5 ה证实י המבוקש עבור ה LVS



איור 6 בדיקת PEX

2.7 כעת התבוננו להריץ את הסימולציה עם הפרזיטיקות ולהשוות בין הערכים לפנוי ואחרי בדיקת ה-PEX:
תחליה נצರף את הסימולציה מסעיף 1.5 עבור הקבל של 120f.

Test	Output	Nominal	Spec	W
Inverter:Q2_inv_TB:1	tpLH	754p		
Inverter:Q2_inv_TB:1	in_fall	505n		
Inverter:Q2_inv_TB:1	out_rise	505.8n		
Inverter:Q2_inv_TB:1	tpHL	1.161n		
Inverter:Q2_inv_TB:1	in_rise	1.005u		
Inverter:Q2_inv_TB:1	tpd	957.6p		
Inverter:Q2_inv_TB:1	out_fall	1.006u		

וכעת הסימולציה עם הפרזיטיקות וקיבול של 120f.

Test	Output	Nominal	Spec	W
Inverter:Q2_inv_TB:1	tpLH	762.5p		
Inverter:Q2_inv_TB:1	in_fall	505n		
Inverter:Q2_inv_TB:1	out_rise	505.8n		
Inverter:Q2_inv_TB:1	tpHL	1.165n		
Inverter:Q2_inv_TB:1	in_rise	1.005u		
Inverter:Q2_inv_TB:1	tpd	963.8p		
Inverter:Q2_inv_TB:1	out_fall	1.006u		

כעת נשווה את הערכים בטבלה:

tpLH	tpHL	tpd	
754p	1.161p	957.6p	לפני PEX
762.5p	1.165	963.8p	אחרי PEX

ניתן לראות כי אכן יש שינויים מזעריים בפרמטרים המוצגים, הסיבה לכך שזה קורה היא כאשר טרנזיסטור עבר מצב off ל on ומתחילה לזרום זרם בתעלה חלק מהזרים טוען את הקיבולים הפרזיטיים שנוצרים ובכך אנחנו מקבלים דילאי קטן מאוד.

2.8 הבדיקה לשנות את קבל המוצא עד שנבחן שה-pd גדל בצורה משמעותית:

Point	Test	Output	Nominal
Parameters: C/P=100f			
1	Inverter:Q2_inv_TB:1 tpLH	665.4p	
1	Inverter:Q2_inv_TB:1 in_fall	505n	
1	Inverter:Q2_inv_TB:1 out_rise	505.7n	
1	Inverter:Q2_inv_TB:1 tpHL	1.068n	
1	Inverter:Q2_inv_TB:1 in_rise	1.005u	
1	Inverter:Q2_inv_TB:1 tpd	866.5p	
1	Inverter:Q2_inv_TB:1 out_fall	1.006u	
Parameters: C/P=110f			
2	Inverter:Q2_inv_TB:1 tpLH	711.6p	
2	Inverter:Q2_inv_TB:1 in_fall	505n	
2	Inverter:Q2_inv_TB:1 out_rise	505.7n	
2	Inverter:Q2_inv_TB:1 tpHL	1.112n	
2	Inverter:Q2_inv_TB:1 in_rise	1.005u	
2	Inverter:Q2_inv_TB:1 tpd	911.8p	
2	Inverter:Q2_inv_TB:1 out_fall	1.006u	
Parameters: C/P=120f			
3	Inverter:Q2_inv_TB:1 tpLH	762.5p	
3	Inverter:Q2_inv_TB:1 in_fall	505n	
3	Inverter:Q2_inv_TB:1 out_rise	505.8n	
3	Inverter:Q2_inv_TB:1 tpHL	1.165n	
3	Inverter:Q2_inv_TB:1 in_rise	1.005u	
3	Inverter:Q2_inv_TB:1 tpd	963.8p	
3	Inverter:Q2_inv_TB:1 out_fall	1.006u	
Parameters: C/P=130f			
4	Inverter:Q2_inv_TB:1 tpLH	806.4p	
4	Inverter:Q2_inv_TB:1 in_fall	505n	
4	Inverter:Q2_inv_TB:1 out_rise	505.8n	
4	Inverter:Q2_inv_TB:1 tpHL	1.208n	
4	Inverter:Q2_inv_TB:1 in_rise	1.005u	
4	Inverter:Q2_inv_TB:1 tpd	1.007n	
4	Inverter:Q2_inv_TB:1 out_fall	1.006u	
Parameters: C/P=140f			
5	Inverter:Q2_inv_TB:1 tpLH	848.5p	
5	Inverter:Q2_inv_TB:1 in_fall	505n	
5	Inverter:Q2_inv_TB:1 out_rise	505.8n	
5	Inverter:Q2_inv_TB:1 tpHL	1.257n	
5	Inverter:Q2_inv_TB:1 in_rise	1.005u	
5	Inverter:Q2_inv_TB:1 tpd	1.053n	
5	Inverter:Q2_inv_TB:1 out_fall	1.006u	

אם כן בדומה לסייע מה שאלה הראשונה ניתן לראות שינויים בקצב כבר מהאטרציה הראשונה, עכשו כשאנו כותבים את העבודה הבנו שהרזולוציה של וקטור הקבלים שלקחנו היא גדולה מדי, וכן קשה מאוד להביא את השינויים המזעריים לידי ביטוי וכן על מנת לא לשבור את הפונטת של השאלה ננסה להביא את ההסברים שתואימים למה שעשינו (המוסר השכל להבא לעבוד מול קובץ ההגשה ישרות על מנת לקבל התוצאות המדוייקות ביותר).

הסיבה שאנו רואים את השינוי היא שבעור קובל גדול יותר זמן הפעינה והפריקה גדול ולכן הגיוני מאד בבדיקה על מה שלמדנו בקורסים הקודמים.

כאשר יש לנו את הקיבולים הפרזיטיים שנוצרים בין ה-Source, Gate, Drain לבין ה-Gate על ה-Source הם משפיעים על הקיבול הכללי, ככלומר הצפי שלנו בסעיף זה אמרו להציב על כר שנצטרך להגדיל את הקובל אפילו פחות מה שאלה הראשונה כדי לקבל את השינוי המשמעותי ב-pd.

סה"כ מה שאנו מבינים עד כה הוא שההשפעה של קיבולים פרזיטיים על הקיבול הכללי של המיגל יכולה להיות משמעותית, במיוחד במקרים מסוימים בנסיבות גבוהה. הסיבה לכך היא שהקיבולים הפרזיטיים יכולים להווסף כמות משמעותית של קיבול נוספת, אשר יכול להאט את הפעולה של המיגל.

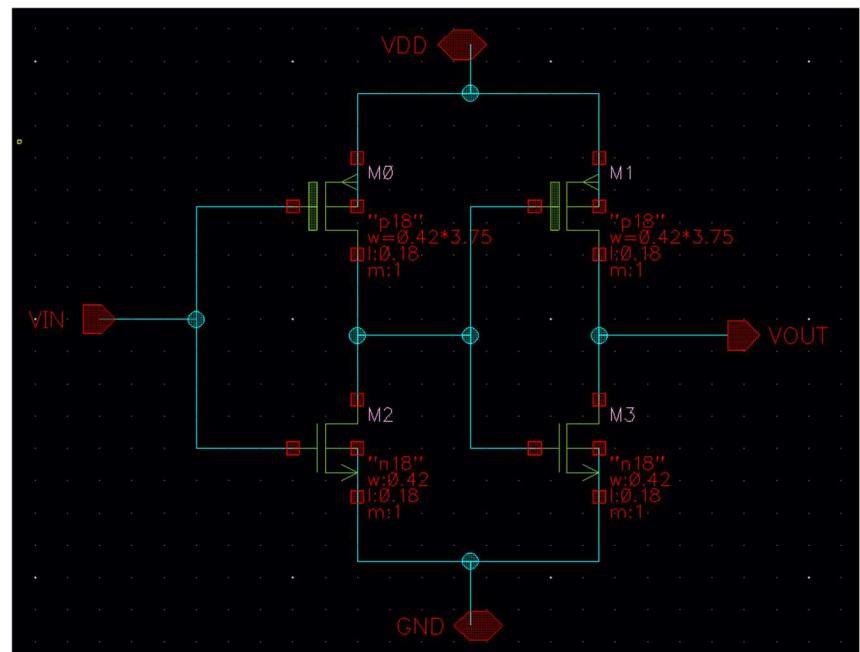
2.9 נקבע שזמן ההשניה גדול כאשר מתחשבים בPEX וזה כיוון שקיבול המוצא גדול יותר בגלל הפרזיטיות. והסיבה לכך בדומה למה שכבר ציינו ב2.8 היא שהPEX לוקח בחשבון את הקיבול בין ה-SOURCE ל-DRAIN של הטרנזיסטורים ככלمر חיבור מקבילי של קבלים מגדייל סה"כ את קיבול המוצא הכללי.

חלק ג' – בניית buffer

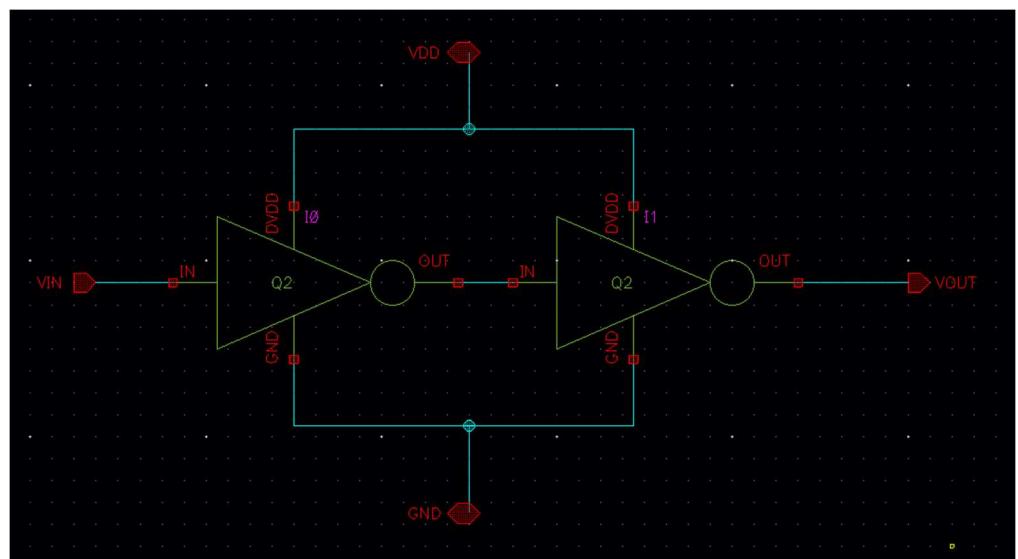
חלק זה מתחולק לשני חלקים. הראשון buffer הבניי מטרנזיסטורים בלבד, והשני buffer שבניי מההפקר שבנינו בחלק ב'.

בנינו את שני ה-bufferים:

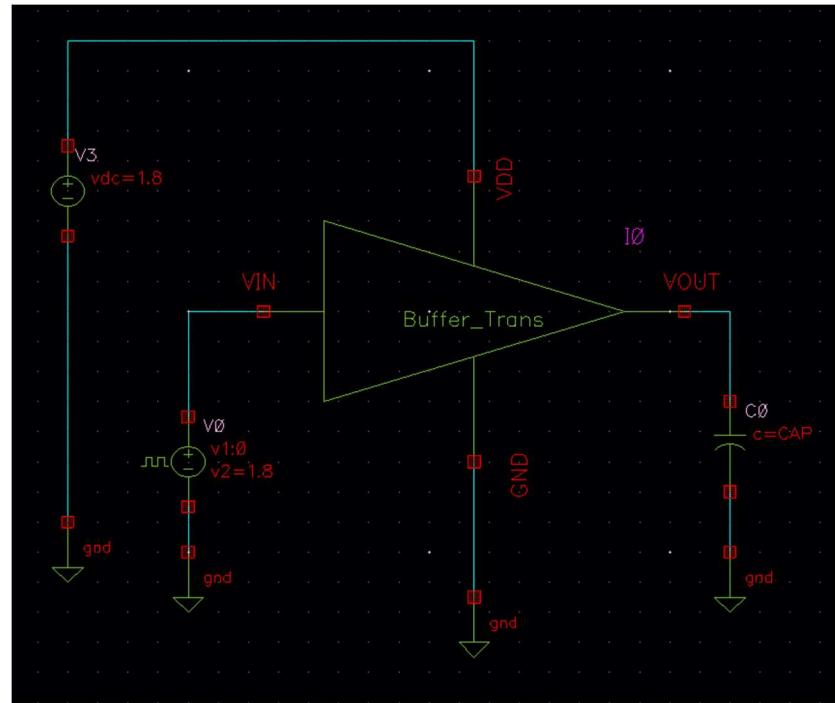
1.1 הסכימה של ה-buffer שבניי מטרנזיסטורים בלבד.



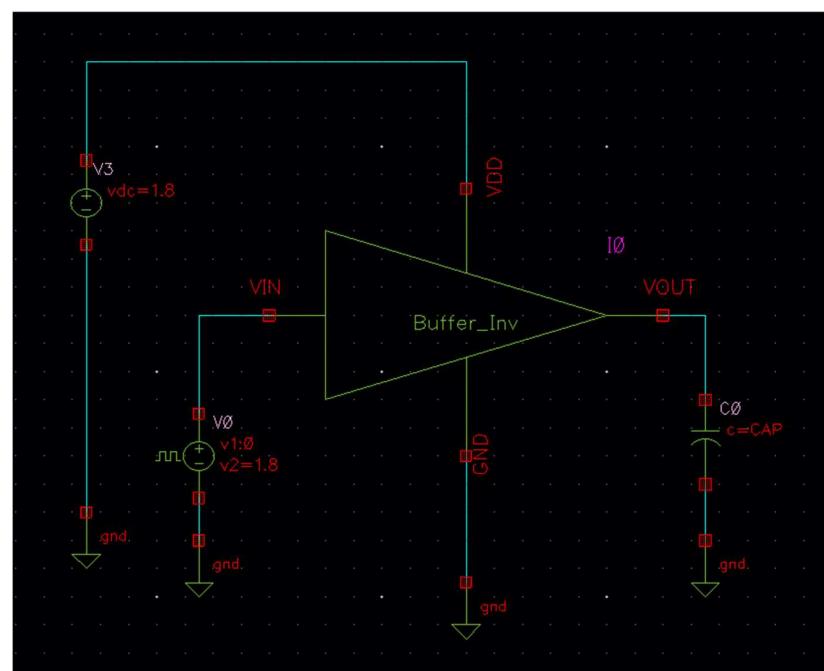
הסכימה של ה-buffer שבניי משני מהפכים.



1.2 בשלב השני בנוויהם סימבולים.
טוטן בונץ' של ה-buffer שבנווים מטרנזיסטורים.



טוטן בונץ' של ה-buffer שבנווים מהמהפר.



ההבדל בין הסימבולים הוא בשם הסימבול.

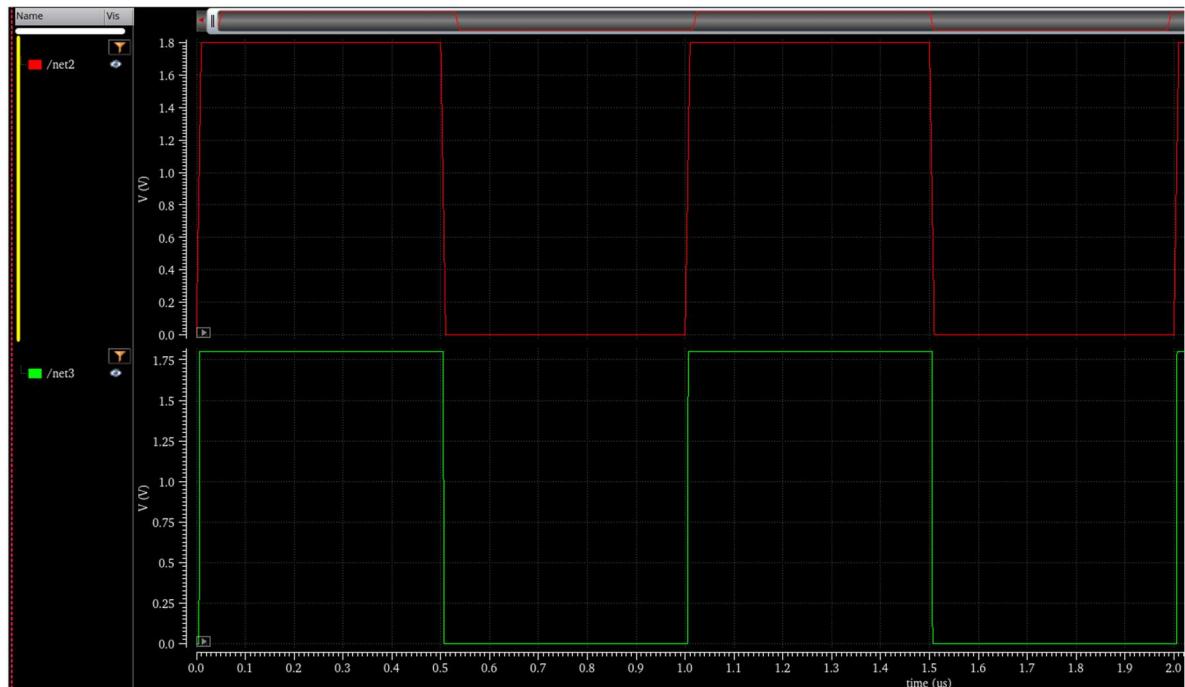
1.3-1.5 כעת, בדומה לחלק ב', עשינו סימולציה בזמן על כל אחד מה-bufferים בתדר 100Hz וקבל של 100ff , ולאחר מכן מדדנו את ה- T_{pd} של כל אחד מהם.

כמו במשימה הקודמת נחשב בעזרת הסימולציה והמחשבון של התוכנה את ה- $T_{p_{HL}}$, ה- $T_{p_{LH}}$ וה- T_{pd} של המהפר שיצרנו. נחשב זאת לפי הנוסחאות הידועות כתובנו בחלק ב'.

התמונה הבאה מיצגת תיעוד של החישוב שביצענו במחשבון של התוכנה.

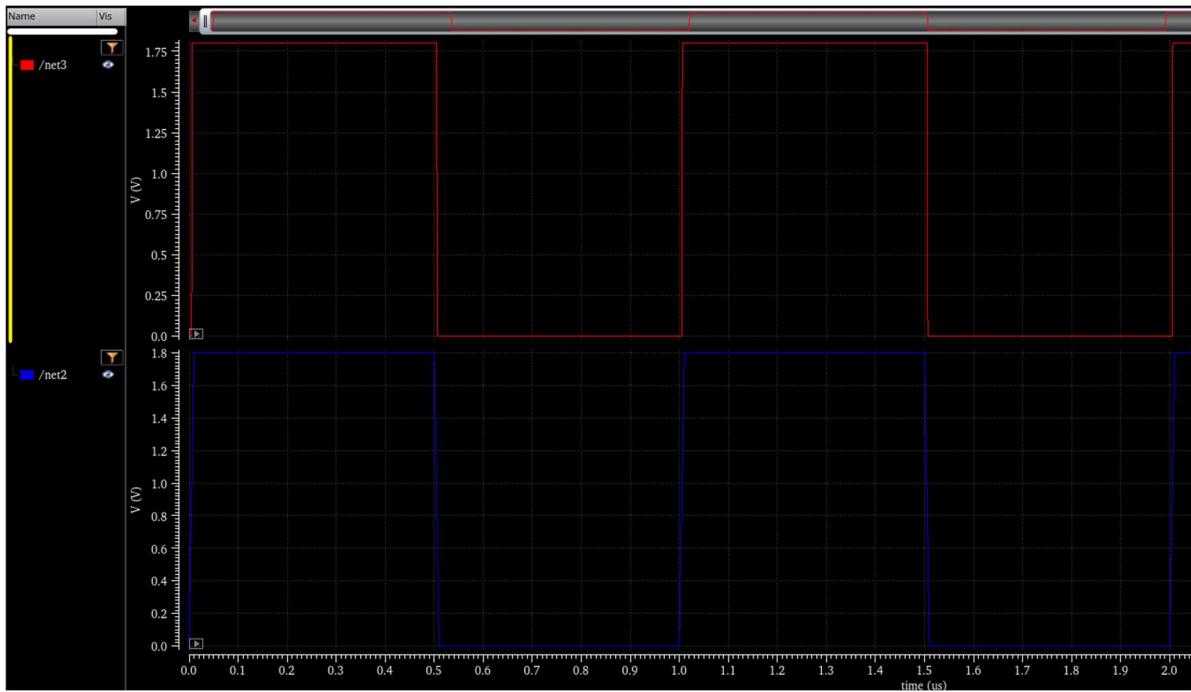
Test	Name	Type	Details	EvalType	Plot	Save
Inverter:Buffer_Trans_TB:1		signal	/net2	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Inverter:Buffer_Trans_TB:1		signal	/net3	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Inverter:Buffer_Trans_TB:1	Tpl1	expr	(out_fall - in_fall)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Inverter:Buffer_Trans_TB:1	in_fall	expr	cross(VT("/net2") 0.9 1 "falling" nil nil nil)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Inverter:Buffer_Trans_TB:1	out_fall	expr	cross(VT("/net3") 0.9 1 "falling" nil nil nil)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Inverter:Buffer_Trans_TB:1	Tpl2	expr	(out_rise - in_rise)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Inverter:Buffer_Trans_TB:1	in_rise	expr	cross(VT("/net2") 0.9 2 "rising" nil nil nil)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Inverter:Buffer_Trans_TB:1	out_rise	expr	cross(VT("/net3") 0.9 2 "rising" nil nil nil)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Inverter:Buffer_Trans_TB:1	tpd	expr	((Tp11 + Tp12) / 2)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>

התמונות הבאות מציגות את הסימולציה והчисלוב של ה- T_{pd} שבנו מטרנזיסטוריים.



Test	Output	Nominal	Spec
Inverter:Buffer_Trans_TB:1	/net2		
Inverter:Buffer_Trans_TB:1	/net3		
Inverter:Buffer_Trans_TB:1	Tpl1	764.8p	
Inverter:Buffer_Trans_TB:1	in_fall	505n	
Inverter:Buffer_Trans_TB:1	out_fall	505.8n	
Inverter:Buffer_Trans_TB:1	Tpl2	678p	
Inverter:Buffer_Trans_TB:1	in_rise	1.005u	
Inverter:Buffer_Trans_TB:1	out_rise	1.006u	
Inverter:Buffer_Trans_TB:1	tpd	721.4p	

התמונות הבאות מציגות את הסימולציה והחישוב של ה- T_{pd} של ה-buffer שבנו ממההפר.



הערה: מתוך הבלבול בנתוני השאלה, בתחילת השטמשנו ברוחב תעלת המתאים לקבוצה שלנו במקום t_{pd} . זהינו שיש שניי משמעותיים ב- T_{pd} , שאיןו תואם את התאוריה, אך זה היה אחריו שכבר עשינו את ה-`setoutput` במלואו והרכינו את מלאו הבדיקות. لكن ישנו שני ערכים שונים של **ההשניה שצירפנו**.

אחרי שינוי גודל

לפני שינוי גודל

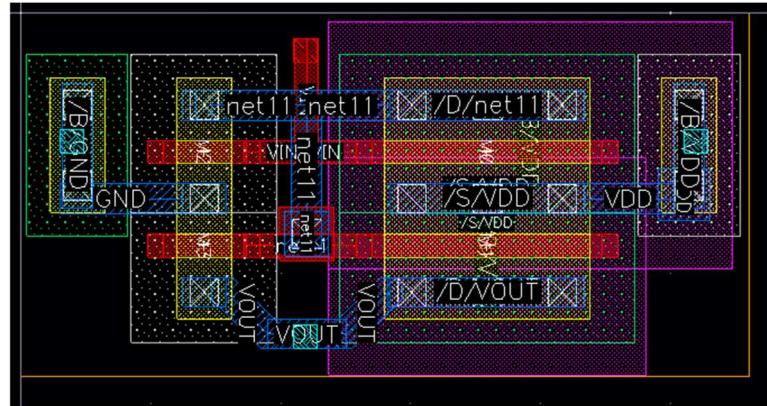
Test	Output	Nominal	Spec
Inverter:Buffer_Inv_TB:1	/net2		
Inverter:Buffer_Inv_TB:1	/net3		
Inverter:Buffer_Inv_TB:1	Tpl1	764.8p	
Inverter:Buffer_Inv_TB:1	in_fall	505n	
Inverter:Buffer_Inv_TB:1	out_fall	505.8n	
Inverter:Buffer_Inv_TB:1	Tpl2	678.1p	
Inverter:Buffer_Inv_TB:1	in_rise	1.005u	
Inverter:Buffer_Inv_TB:1	out_rise	1.006u	
Inverter:Buffer_Inv_TB:1	Tpd	721.5p	

Test	Output	Nominal	Spec
Inverter:Buffer_Inv_TB:1	/net2		
Inverter:Buffer_Inv_TB:1	/net3		
Inverter:Buffer_Inv_TB:1	Tpl1	368.7p	
Inverter:Buffer_Inv_TB:1	in_fall	505n	
Inverter:Buffer_Inv_TB:1	out_fall	505.4n	
Inverter:Buffer_Inv_TB:1	Tpl2	637.9p	
Inverter:Buffer_Inv_TB:1	in_rise	1.005u	
Inverter:Buffer_Inv_TB:1	out_rise	1.006u	
Inverter:Buffer_Inv_TB:1	Tpd	503.3p	

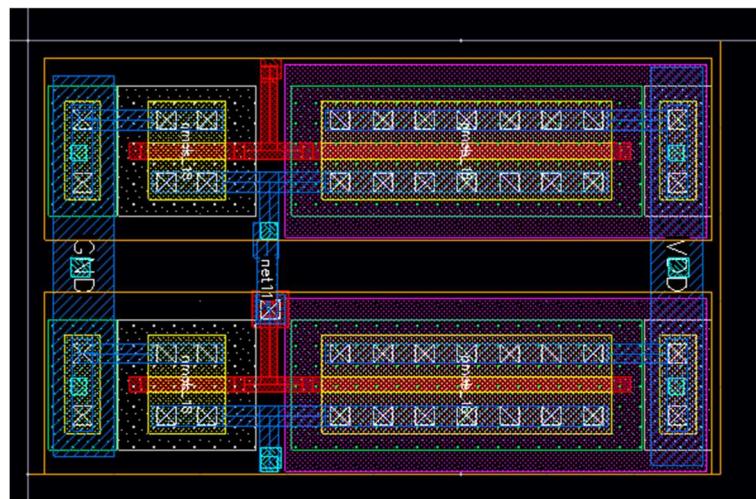
כפי שציפינו קיבלנו שהמוצא שווה לכינסה אך כמובן ישנה השניה מסוימת ביןיהם בגלל תופעות המעבר ובין היתר הזמן שלוקח לקבל במצבו להיטען. בנוסף כפי שניתן לראות זמן T_{pd} של ה-buffer שמורכב מטרנזיסטורים קטן כמעט מזה של ה-buffer שמורכב ממההפרים, וזהת מכיוון שעשינו מעין טרייד אוף בין נוחות ליעילות שנסbir בהמשך.

2.1-2.6 כתע נידרשו לבע layout לכל אחד.

layout של ה-buffer שבוני מטרניזטוריים. יש לציין שביצעו שיתוף דיפוזיות שעוזר לנו לצמצם משמעותית את גודל התא, התנגדותו וכן את T_{pd} .



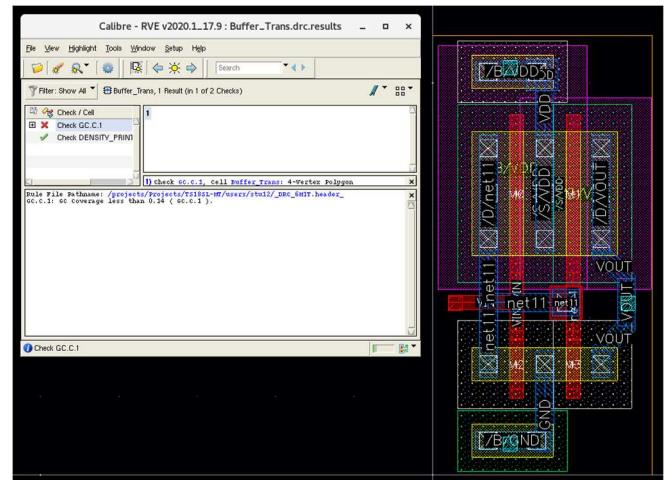
layout של ה-buffer שבוני מההפר.



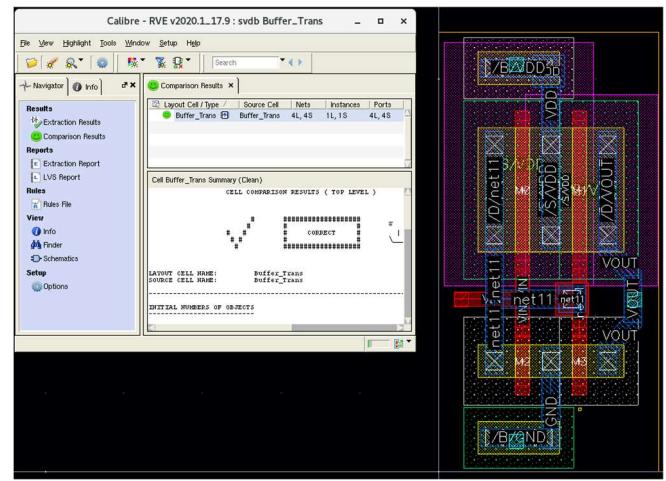
נודה לכל אחד בדיקות DRC, LVS, ו-PEX.

נתחיל עבור ה-buffer שבוני מטרניזטוריים.

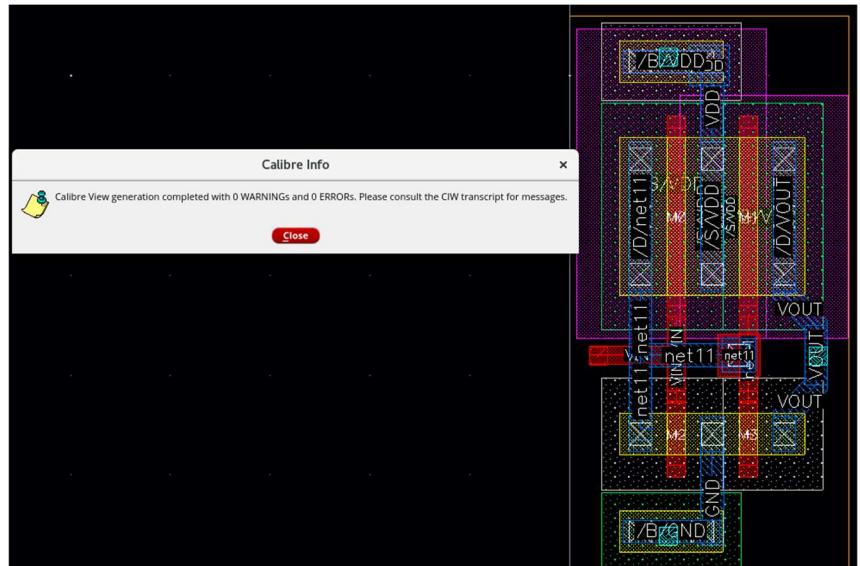
:DRC



:LVS

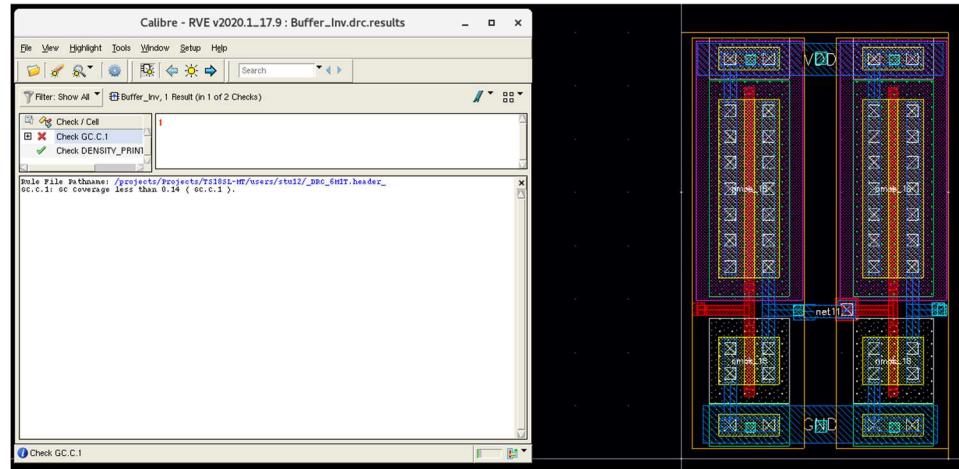


:PEX

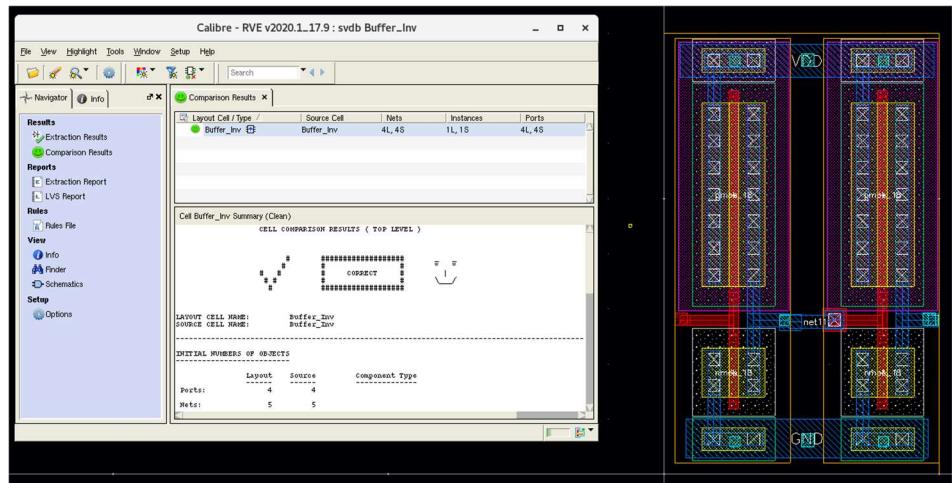


וכעת עברו ה-buffer שבני מחרהפּ.

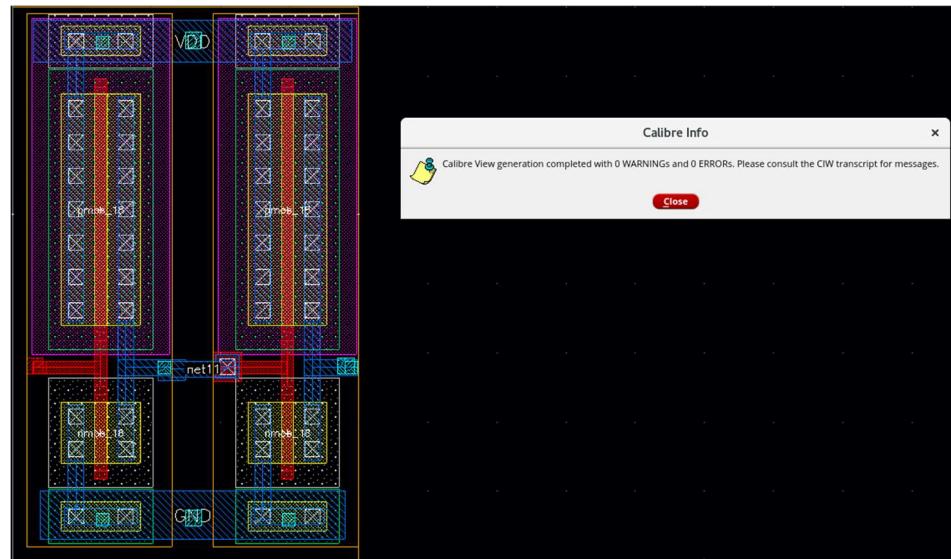
:RDC



:LVS



:PEX



בשלב זה נרץ את הסימולציות שהרכנו בסעיף הקודם לאחר שהוספנו פרזיטיות שנותעת במסוג החיבורים ב-*layout*. הגרפים של הסימולציות בזמן היו זהות ولكن לא נציג אותן, אך תוצאות הערכים של ה- T_{pd} השתנו במקצת.

אחרי פרזיטיות עם קובל $100fF$ של buffer הטרנזיסטורים.

Test	Output	Nominal	Spec	V
Inverter:Buffer_Trans_TB:1	/net2			
Inverter:Buffer_Trans_TB:1	/net3			
Inverter:Buffer_Trans_TB:1	Tpl1	790.9p		
Inverter:Buffer_Trans_TB:1	in_fall	505n		
Inverter:Buffer_Trans_TB:1	out_fall	505.8n		
Inverter:Buffer_Trans_TB:1	Tpl2	703.4p		
Inverter:Buffer_Trans_TB:1	in_rise	1.005u		
Inverter:Buffer_Trans_TB:1	out_rise	1.006u		
Inverter:Buffer_Trans_TB:1	tpd	747.2p		

אחרי פרזיטיות עם קובל $100fF$ של buffer המהפרים.

Test	Output	Nominal	Spec	W
Inverter:Buffer_Inv_TB:1	/net2			
Inverter:Buffer_Inv_TB:1	/net3			
Inverter:Buffer_Inv_TB:1	Tpl1	390.4p		
Inverter:Buffer_Inv_TB:1	in_fall	505n		
Inverter:Buffer_Inv_TB:1	out_fall	505.4n		
Inverter:Buffer_Inv_TB:1	Tpl2	659p		
Inverter:Buffer_Inv_TB:1	in_rise	1.005u		
Inverter:Buffer_Inv_TB:1	out_rise	1.006u		
Inverter:Buffer_Inv_TB:1	tpd	524.7p		

ניתן לראות עלייה של כ-20 פיקו שניות לאחר הוספת הפרזיטיות בשני הרכיבים.

הבדל שנוצר הוא בגלל שהבנו לא נכון את המשימה בחלק ב', ובנינו את המהפר מטרנזיסטורים עם רוחב תעלת המותאם לקבוצה שלנו במקום $420nm$, لكن יישנו הבדל בין רוחב התעלת buffer-*buffer* שבנו מטרנזיסטורים לזה שבנו מההפרים, שגורם להורדה משמעותית ב- T_{pd} של ה-*buffer*- T_{pd} המורכב מההפרים.

T_{pd} transistors before pex $\gg 721.4ps$

T_{pd} transistors after pex $\gg 747.2ps$

T_{pd} inverters before pex $\gg 503.3ps$

T_{pd} inverters after pex $\gg 524.7ps$

המסקנות שלנו לגבי הטריד אוף הן ד' ברורות.

בנית ה-*tautology* בעזרת טרניזיטורים הייתה מסובכת מאוד ודרשה הרבה התיחסות למיקום ולהעברה נכונה של קווי המתכת של הכנסה, היציאה והחיבורים, לעומת הבניה בעזרת המהפקים שהייתה פשוטה למדי, מכיוון שהרבה מהרכיבים כבר מורכבים מראש. לעומת זאת הפסדנו הרבה שטח שבנוינו עם המהפקים מכיוון שבבנייה עם הטרניזיטורים יכולנו לבצע אידיאלייזציה טוביה יותר למיקומי הטרניזיטורים כי הם לא היו קבועים במקומם מראש. לעומת הרכיב שמורכב ממהפקים יהיה גדול יותר אך פחות מגושים וקל יותר לבנייה. בנוסף ניתן לבדוק אם T_{pd} יהיה נמוך יותר במבנה עם טרניזיטורים שבו מכיוון יכולנו לבצע אידיאלייזציה טוביה יותר מבחינת מיקומי הרכיבים (ראינו זאת בסימולציה של הסכמתה בהן רכמנו גדים וכונים לפני המשימה) ולכן הרכיב יהיה מעט מהיר יותר אם יבנה על ידי טרניזיטורים נפרדים ולא רכיבים מורכבים יותר.