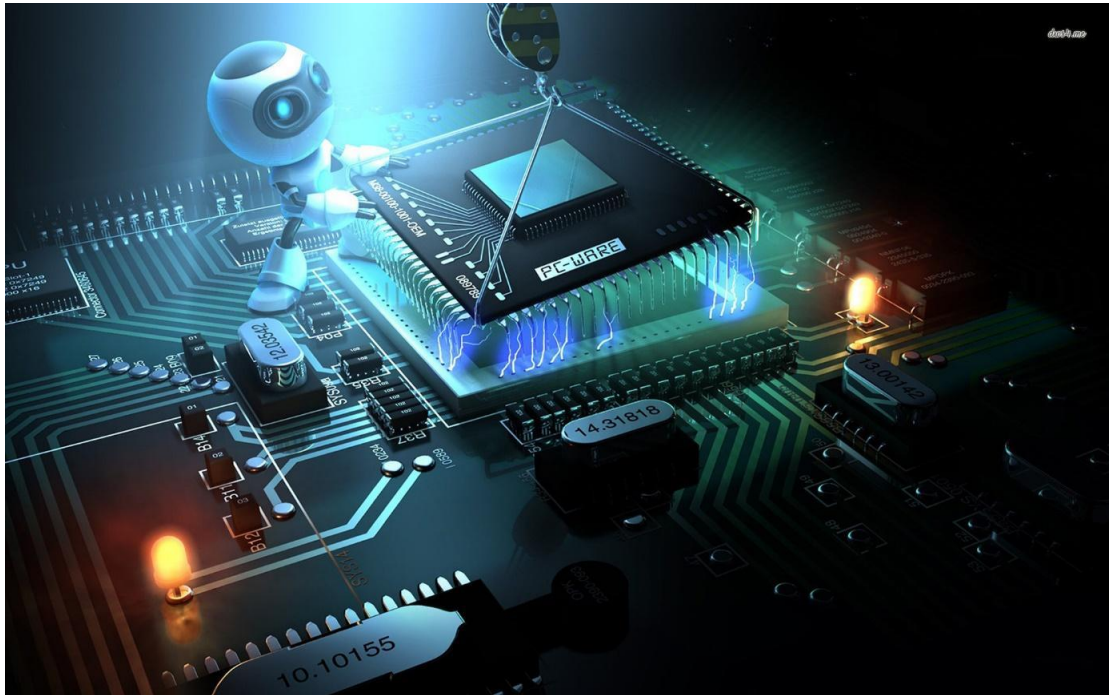


## Homework No. 3



*Created By  
Eliran Abdu*

## מבוא ל-VLSI ומעגלים משולבים (361-1-3701)

### עבודה מספר 3

### תא זיכרון מבוסס 6T SRAM ומערך תאי זיכרון.

#### פרמטרים לביצוע תרגילים:

על מנת שניתן יהיה לוודא שכל זוג ביצע את התרגילים בעצמו ובזמן, יעשה שימוש במספר הקבוצה שלכם לקבוע פרמטר. מעתה, נקרא למספר הקבוצה G. נא לציין את מספר הקבוצה בגדול בראש העבודה.

**קבוצות עם מספר זוגי ידגמו אותות בעליית שעות ואלו עם מספר אי-זוגי ידגמו בירידת שעות.**

#### מספר הערות להגשת העבודות בקורס:

- יש לצרף שרטוטים וסכמות של המעגלים + Testbench.
  - יש לצרף סימולציות וגרפים כולל הסבר קצר והגיוי עבור כל גרף. על הגרפים להיות קריאים וברורים.
- איור כהה/לא ברור/מועתק וכו' ייחשב כ-0 עבור השאלה!**
- יש לשנות את עובי וצבע העקומות בגרפים כדי שיבלטו בתמונות.
- במידה ונעשו סימולציות באמצעות שימוש במחשבון (expression) יש לעשות צילום מסך של ה-ADEXL עם התוצאות ולא רק לכתוב את התוצאה בוורד, כלומר יש להראות את הפונקציה (ראו סעיף 4.5.1 בקובץ הדרכה מס' 1).
  - במידה וצריך לעשות LAYOUT, יש לצרף תמונה של כל תא, להראות שעברתם DRC, LVS, PEX, לכל תא.
  - יש להציג תוצאות של סימולציות לאחר פרזיטיקה והשוואה לפני ואחרי (ריכוז התוצאות בטבלה מסודרת).
  - יש לכתוב באופן מפורש חישובים ונוסחאות במידה ויש חישובים מתמטיים.
  - יש להסביר כל תוצאה שקיבלתם בצורה מדויקת ככל הניתן ע"י פיתוחים מתמטיים שנלמדו בקורס זה או בקורסים קודמים.
- יש לתעד כל שלב שאתם עושים במהלך העבודה, וזאת על מנת להציג את העבודה בצורה האיכותית ביותר עם רמת הבנה נדרשת.
- הדוח לא צריך להיות סתם אוסף של תמונות, אלא עליו להיות נקי, מאורגן ומסודר היטב לפי שלבים בעבודה ומלווה בהסברים מתאימים על מנת להראות שיישמתם ולמדתם מהעבודה.
- כמו כן, הדף הראשון בדוח יהיה נקי ויכלול רק את שם ומספר המטלה, שמות בני הזוג + מס ת"ז, מספר קבוצה ותאריך ההגשה.

**בהצלחה!**

March 2023

## מימוש תא זיכרון מבוסס 6T SRAM

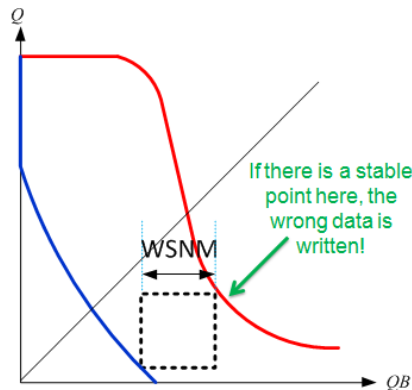
### 1. מדידות SNR של תא זיכרון 6T SRAM במצבים שונים:

גדלי הטרנזיסטורים של תא ה-SRAM (איור 2) יהיו תלויים בספרות תעודת הזהות של כל סטודנט. יהיו  $x, y$  הספרה האחרונה בת"ז של כל סטודנט. לפיכך, נקבע את גדלי הטרנזיסטורים להיות:

$$\underline{NMOS}: \left\{ M_1 = M_2 = \frac{(540 + 5x)nm}{(180 + 5y)nm} \right\}, \left\{ M_3 = M_4 = \frac{(360 + 5x)nm}{(180 + 5y)nm} \right\}$$

$$\underline{PMOS}: \left\{ M_5 = M_6 = \frac{(360 + 5x)nm}{(270 + 5y)nm} \right\}$$

- מדוע לדעתכם נבחרו גדלי טרנזיסטורים כאלו? יש להסביר בצורה איכותית בלבד.
- בנו את תא ה-SRAM לפי הפרמטרים המתבקשים. כמו כן, בנו 2 תאים (cellviews) עבור טרנספורמציות סיבוב.
- בנו תא TB ומקמו (instantiate) מקורות מתח, 2 תאי SRAM, 2 טרנספורמציות סיבוב, ומקור SWEEP על המשתנה  $u$ . מדדו את SNM HOLD.
- קבעו את האותות WL, BL, BLB להיות כאלו המתאימים למצב READ. הסבירו למה הם אכן מתאימים למצב זה.
- כתבו ביטויים ב-ADEXL עבור:  $SNM_{left}$ ,  $SNM_{right}$ ,  $SNM$  (עבור כל אחת מן ה"כנפיים"). כדאי להשתמש בפונקציות: cross (ניתן לשאול מתי חיסור בין הגרפים שווה ל-0), clip (בעזרתה ניתן לחתוך רק חלק רצוי מהגרף), abs (ערך מוחלט), ymax, ymin (ערכים מקסימליים ומינימליים של גרף, בהתאמה), min (מינימום מתוך כמה ערכים) ועוד.
- הראו את ה-Butterfly Curves שהתקבלו. כמו כן מדדו את SNMread, ובדקו האם התוצאה הגיונית. מהו ה-SNM המתקבל?
- בהינתן  $L$  קבוע, אם היינו רוצים להגדיל את SNM במצב קריאה,  $W$  של איזה טרנזיסטור היינו צריכים להגדיל לעומת מי? Access, PU, PD?
- בהתאם לתשובתכם, הגדירו פרמטרים מתאימים עבור הרוחב של הטרנזיסטורים. קבעו spec לקבלת SNMread גדול ב-150mV לעומת המצב הקיים והריצו אופטימיזציה לקבלת גדלי הטרנזיסטורים המתאימים.
- חזרו על סעיפים ד'-ח' עבור SNMwrite, לפי ההגדרה הבאה, אשר ניתנה בהרצאה (יש עוד הגדרות):



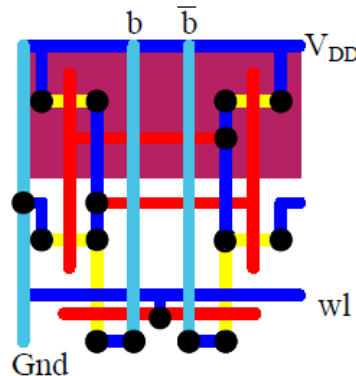
- לשם כך תצטרכו להסתכל רק על הגרפים עבור  $u > 0$ , ולכן כדאי להשתמש בפונקציה clip.
- הריצו Monte-Carlo עם 200 דגימות. הציגו היסטוגרמה + פונקציית צפיפות הסתברות של SNMread ו-SNMwrite וודאו שאתם מקבלים תוצאות הגיוניות.

## 2. מדידת הספקים של התא:

- מדדו את זרמי הזליגה מתא הזיכרון שלכם. מהם מקורות הזליגה העיקריים? במידה והייתם מממשים cache בגודל 1MB, מה היה ההספק הסטטי של הזיכרון שלכם (בהנחה שכל ההספק מגיע מהתאים עצמם)?  
הערה: יש לקבוע ערכים התחלתיים בתא באמצעות Node-Set על מנת לקבל ערכים נכונים.
- מדדו את זמן הכתיבה לתא עבור כתיבת "0" וכתיבת "1" (יש למדוד את הזמן שלוקח לערך בתא להשתנות מ- $0.1V_{DD}$  ל- $0.9V_{DD}$  ולהיפך).
- מדדו את ההספק הדינמי הנדרש לצורך ביצוע פעולת כתיבה לתא.

## 3. בניית Layout לתא בודד:

- בנו Layout לתא בעזרת איור 4 ובדקו שעובר DRC (שימו לב, אין לחרוג מ- $60\mu\text{m} \times 60\mu\text{m}$  עבור התא הבסיסי).
- הערה: יש לתכנן את התא מראש כך שדיפוזיות ומתכות יתחברו היטב כשתשלבו את התא בתוך מערך.

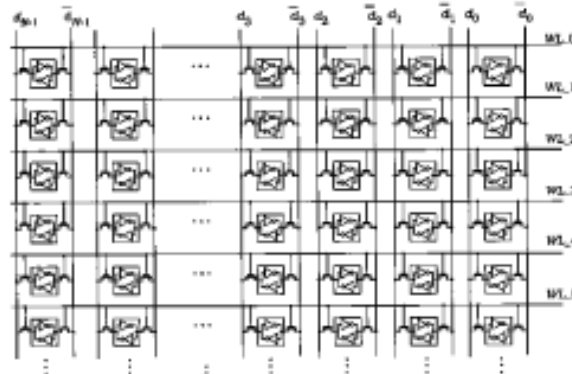


איור 4 – דיאגרמת מקלות של תא זיכרון מבוסס 6T SRAM.

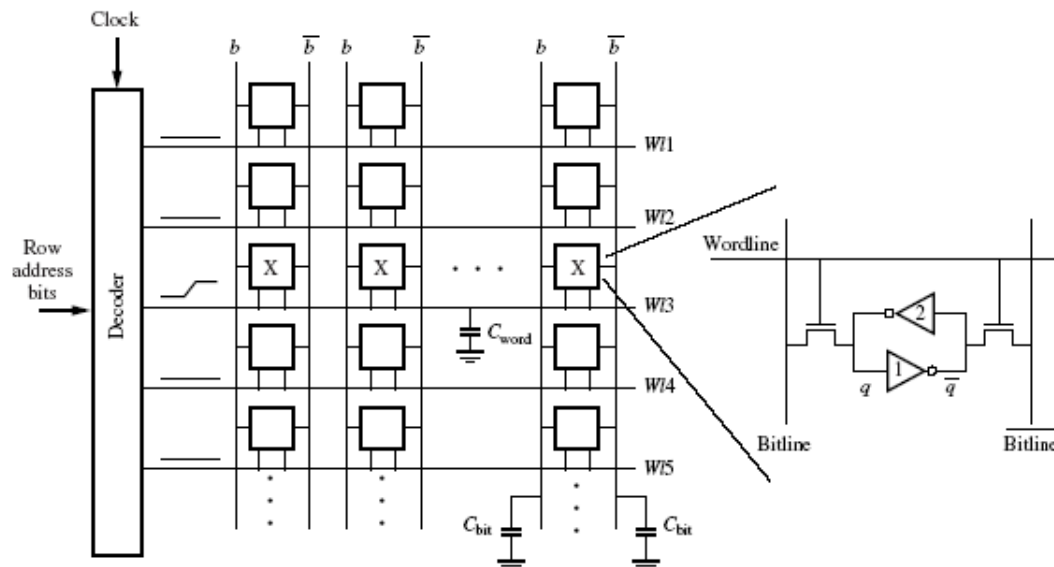
- בדקו שהתא עובר LVS (ניתן לבצע חיבורים זמניים ולבצע התאמות לתא בהמשך).
- קבעו גבולות P&R לתא הבסיסי. מה גודל התא שהתקבל?
- הערה: גבול התא מסמל את מקום השכפול במערך, לכן יש לקחת בחשבון חיבורים חופפים.
- בצעו PEX והציגו את ערכי הנגדים והקבלים הפרזיטיים.
- העריכו את קיבול ה-BL ו-WL עבור מערך בגודל  $8 \times 8$ .
- בצעו סימולציית SNM ל-3 המצבים (Hold, Write, Read) עבור ה-Calibre view ובצעו השוואה מול התוצאות שקיבלתם בחלק הראשון.

#### 4. בניית במעך $8 \times 8$ מבוסס $6T$ SRAM:

א. כעת עליכם לבנות את המעך בצורה היררכית (איור 5) לקבלת מערך זיכרון של  $8 \times 8$ . קבעו מה הם הטרמינלים הנדרשים (כניסות ויציאות) למודול זה.  
הערה: ניתן להשתמש בשיטת Bus Notation בכדי להימנע משרטוט של 8 קווים נפרדים לכל קבוצת קווים.



איור 5 – מבנה היררכי של מערך הזיכרון.



איור 6 – קונפיגורציה של קו ה-WL וקווי ה-BL.

- ב. צרו סימולציה ובדקו שאתם יכולים לבצע כתיבה לתא שבשורה 4, עמודה 6.
  - ג. בנו Layout למעך באופן המינימלי ביותר. נא להקפיד על שיתוף קווי אספקה, Wells ודיפוזיות במידה וניתן. יש לעבור LVS, DRC.
- הערה: את התאים יש לשקף סביב ציר x על מנת לשתף קווי אספקה, Bulk, Well.