

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目： FPGA 原理及 Vivado 综合

学生姓名： 李远航

学生学号： PB20000137

完成日期： 2021. 11. 25

计算机实验教学中心制

2020 年 09 月

【实验题目】

FPGA 原理及 Vivado 综合

【实验目的】

- 了解 FPGA 工作原理
- 了解 Verilog 文件和约束文件在 FPGA 开发中的应用
- 学会使用 Vivado 进行 FPGA 开发的完整流程
- 学会使用 FPGAOL 实验平台

【实验环境】

- PC 一台
- Windows 10 操作系统
- fpgaol.ustc.edu.cn 线上实验平台
- Logisim 模拟工具
- Vivado 2020.2

【实验练习】

1. 电路及配置数据如图所示 (A 端口未使用)

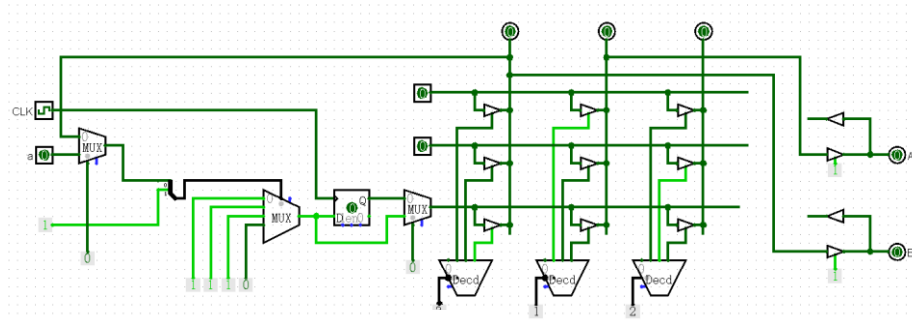


图 1.1

2. XDC 文件如图所示（將題目中的 led 或 sw 端順序顛倒）

```
## Clock signal
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 } [get_ports { clk }]; #IO_L12P_T1
#create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports {CLK100MHZ}];

## FPGA0L BUTTON & SOFT_CLOCK
set_property -dict { PACKAGE_PIN B18      IOSTANDARD LVCMOS33 } [get_ports { rst }];

## FPGA0L LED (signle-digit-SEGPLAY)
set_property -dict { PACKAGE_PIN C17      IOSTANDARD LVCMOS33 } [get_ports { led[7] }];
set_property -dict { PACKAGE_PIN D18      IOSTANDARD LVCMOS33 } [get_ports { led[6] }];
set_property -dict { PACKAGE_PIN E18      IOSTANDARD LVCMOS33 } [get_ports { led[5] }];
set_property -dict { PACKAGE_PIN G17      IOSTANDARD LVCMOS33 } [get_ports { led[4] }];
set_property -dict { PACKAGE_PIN D17      IOSTANDARD LVCMOS33 } [get_ports { led[3] }];
set_property -dict { PACKAGE_PIN E17      IOSTANDARD LVCMOS33 } [get_ports { led[2] }];
set_property -dict { PACKAGE_PIN F18      IOSTANDARD LVCMOS33 } [get_ports { led[1] }];
set_property -dict { PACKAGE_PIN G18      IOSTANDARD LVCMOS33 } [get_ports { led[0] }];

## FPGA0L SWITCH
set_property -dict { PACKAGE_PIN D14      IOSTANDARD LVCMOS33 } [get_ports { sw[0] }];
set_property -dict { PACKAGE_PIN F16      IOSTANDARD LVCMOS33 } [get_ports { sw[1] }];
set_property -dict { PACKAGE_PIN G16      IOSTANDARD LVCMOS33 } [get_ports { sw[2] }];
set_property -dict { PACKAGE_PIN H14      IOSTANDARD LVCMOS33 } [get_ports { sw[3] }];
set_property -dict { PACKAGE_PIN E16      IOSTANDARD LVCMOS33 } [get_ports { sw[4] }];
set_property -dict { PACKAGE_PIN F13      IOSTANDARD LVCMOS33 } [get_ports { sw[5] }];
set_property -dict { PACKAGE_PIN G13      IOSTANDARD LVCMOS33 } [get_ports { sw[6] }];
set_property -dict { PACKAGE_PIN H16      IOSTANDARD LVCMOS33 } [get_ports { sw[7] }];
```

烧写后的截图

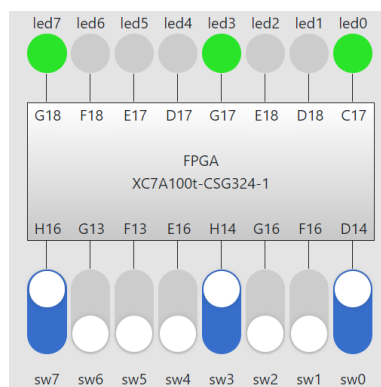


图 2.1

3. 由于并未使用所有输出的数据，在生成 bit 流之前需要增加如图所示的 tcl 文件，以免生成出现错误

```
set_property SEVERITY {Warning} [get_drc_checks NSTD-1]

set_property SEVERITY {Warning} [get_drc_checks RTSTAT-1]

set_property SEVERITY {Warning} [get_drc_checks UCIO-1]
```

a) 30 位计数器 Verilog 代码及 .xdc 约束文件

```
module count(
    input clk,rst,
    output reg [29:0] out);
always@(posedge clk or posedge rst)
begin
    if(rst==1||out==30'b11_1111_1111_1111_1111_1111_1111)
        out<=30'b0;
    else
        out<=out+30'b1;
    end
endmodule

## Clock signal
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 } [get_ports { clk }]; #IO_L12I
#create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports {CLK100MHZ}];
## FPGA0L BUTTON & SOFT_CLOCK
set_property -dict { PACKAGE_PIN B18      IOSTANDARD LVCMOS33 } [get_ports { rst }];
## FPGA0L LED (single-digit-SEGPLAY)
set_property -dict { PACKAGE_PIN C17      IOSTANDARD LVCMOS33 } [get_ports { out[22] }];
set_property -dict { PACKAGE_PIN D18      IOSTANDARD LVCMOS33 } [get_ports { out[23] }];
set_property -dict { PACKAGE_PIN E18      IOSTANDARD LVCMOS33 } [get_ports { out[24] }];
set_property -dict { PACKAGE_PIN G17      IOSTANDARD LVCMOS33 } [get_ports { out[25] }];
set_property -dict { PACKAGE_PIN D17      IOSTANDARD LVCMOS33 } [get_ports { out[26] }];
set_property -dict { PACKAGE_PIN E17      IOSTANDARD LVCMOS33 } [get_ports { out[27] }];
set_property -dict { PACKAGE_PIN F18      IOSTANDARD LVCMOS33 } [get_ports { out[28] }];
set_property -dict { PACKAGE_PIN G18      IOSTANDARD LVCMOS33 } [get_ports { out[29] }];
```

b) 32 位计数器 Verilog 代码及 .xdc 约束文件

```
module count(
    input clk,rst,
    output reg [31:0] out);
always@(posedge clk or posedge rst)
begin
    if(rst==1||out==32'b1111_1111_1111_1111_1111_1111_1111_1111)
        out<=32'b0;
    else
        out<=out+32'b1;
    end
endmodule

## Clock signal
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 } [get_ports { clk }];
set_property -dict { PACKAGE_PIN B18      IOSTANDARD LVCMOS33 } [get_ports { rst }];

set_property -dict { PACKAGE_PIN C17      IOSTANDARD LVCMOS33 } [get_ports { out[24] }];
set_property -dict { PACKAGE_PIN D18      IOSTANDARD LVCMOS33 } [get_ports { out[25] }];
set_property -dict { PACKAGE_PIN E18      IOSTANDARD LVCMOS33 } [get_ports { out[26] }];
set_property -dict { PACKAGE_PIN G17      IOSTANDARD LVCMOS33 } [get_ports { out[27] }];
set_property -dict { PACKAGE_PIN D17      IOSTANDARD LVCMOS33 } [get_ports { out[28] }];
set_property -dict { PACKAGE_PIN E17      IOSTANDARD LVCMOS33 } [get_ports { out[29] }];
set_property -dict { PACKAGE_PIN F18      IOSTANDARD LVCMOS33 } [get_ports { out[30] }];
set_property -dict { PACKAGE_PIN G18      IOSTANDARD LVCMOS33 } [get_ports { out[31] }];
```

运行截图：

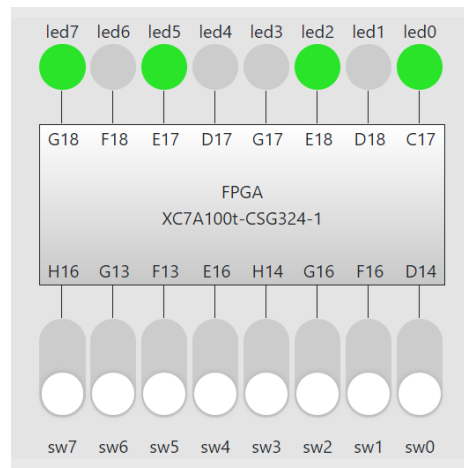


图 3. 1

结果对比：两种计数器烧写之后 led 的变化基本相同，32 位计数器烧写的二 FPGA led 灯变化的速度更慢

时钟信号：每个时钟信号上升沿，计数器加 1

【总结与思考】

- 本次实验难度适中，任务量正常，难度适中
- 学会调整 .xdc 约束文件
- 学会了使用 vivado 生成 bit 流文件，对 FPGA 进行烧写
- 学习了完整的 FPGA 开发过程
- 希望实验过程可以增加更多对 FPGA 开发步骤的演示