

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目： Verilog 硬件描述语言

学生姓名： 李远航

学生学号： PB20000137

完成日期： 2021. 11. 13

计算机实验教学中心制

2020 年 09 月

【实验题目】

Verilog 硬件描述语言

【实验目的】

- 掌握 Verilog HDL 常用语法
- 能够熟练阅读并理解 Verilog 代码
- 能够设计较复杂的数字功能电路
- 能够将 Verilog 代码与实际硬件相对应
- 能够理解 Verilog 不同运算符的计算方法

【实验环境】

- PC 一台
- Windows 10 操作系统

【实验练习】

1. if else 只能用在 always 内部

```
module test(input a,
            output reg b);
    always@(*)
    begin
        if (a) b = 1'b0;
        else b = 1'b1;
    end
endmodule
```

- 2.

```
module test(input [4:0] a,
            output reg [4:0] b);
    always@(*)
        b = a;
endmodule
```

- 3.

```
c = 8'b0011_0000
d = 8'b1111_0011
e = 8'b1100_0011
f = 8'b1100_1100
g = 8'b0011_0000
h = 8'b0000_0110
i = 8'b0
j = 8'b1111_0000
k = 8'b0100_0011
```

4. assign 不可以给 reg 赋值，模块实例化格式错误

```
module sub_test(input a, b,
               output c);
    assign c = (a<b)? a : b;
endmodule

module test(
    input a,b,c,
    output o);
    reg temp;
    sub_test sub_test1(.a(a),.b(b),.c(temp));
    sub_test sub_test2(temp,c,o);
endmodule
```

5. 端口定义不准确，模块实例化不能存在于 always 语句中

```
module sub_test(input a, b,  
                output o);  
    assign o = a + b;  
endmodule  
  
module test( input a,b,  
            output c);  
    sub_test sub_test(a,b,c);  
endmodule
```

【总结与思考】

- 本次实验难度适中，任务量较小
- 基本掌握了 Verilog 的语法
- 能够自主理解编写 Verilog 代码
- 学会设计较为复杂的数字逻辑电路
- 能够将 Verilog 代码与实际硬件相对应