

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目： 使用 Vivado 进行仿真

学生姓名： 李远航

学生学号： PB20000137

完成日期： 2021. 11. 18

计算机实验教学中心制

2020 年 09 月

【实验题目】

使用 Vivado 进行仿真

【实验目的】

- 熟悉 Vivado 软件的下载，安装及使用
- 学习使用 Verilog 编写仿真文件
- 学习使用 Verilog 进行仿真，查看并分析波形文件
- 能够设计仿真简单逻辑电路

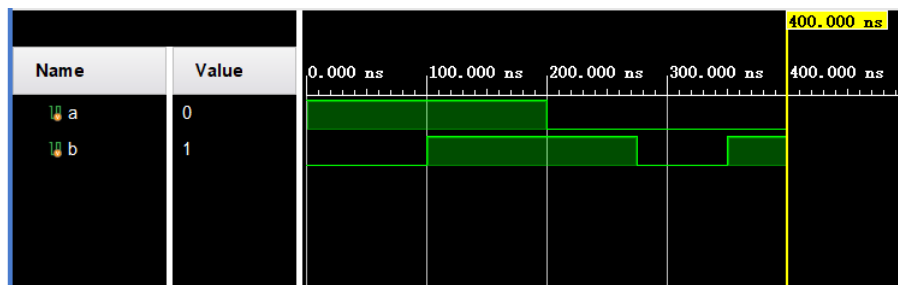
【实验环境】

- PC 一台
- Windows 10 操作系统
- Vivado 2020.2

【实验练习】

1. 仿真文件代码及波形如下

```
`timescale 1ns / 1ps
module test_bench();
    reg a,b;
    initial
    begin
        a      = 1;
        b      = 0;
        #100 b = 1;
        #100 a = 0;
        #75 b  = 0;
        #75 b  = 1;
        #50 $finish;
    end
endmodule
```



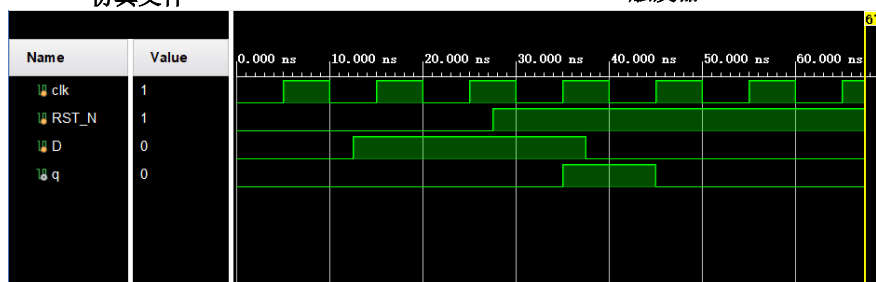
2. 3. 对题目中的代码稍作修改 避免开始一段未定义情况

```
`timescale 1ns / 1ps
module test_bench();
    reg clk,RST_N,D;
    wire q;
    d_ff_r d_ff_r(.clk(clk),.rst_n(RST_N),.q(q),.d(D));
    initial begin
        clk      = 0;
        forever #5 clk = ~clk;
    end
    initial begin
        RST_N = 0;
        D     = 0;
        #12.5 D = 1;
        #15 RST_N = 1;
        #10 D     = 0;
        #30 $finish;
    end
endmodule

module d_ff_r (input clk, rst_n, d,
               output reg q);
    always @(*)
    begin
        if(rst_n==0)
            q<=1'b0;
        end
    always @(posedge clk)
    begin
        if (rst_n == 0)
            q <= 1'b0;
        else
            q <= d;
        end
    end
endmodule
```

仿真文件

触发器



波形

4. Verilog 代码、仿真文件、波形如图所示

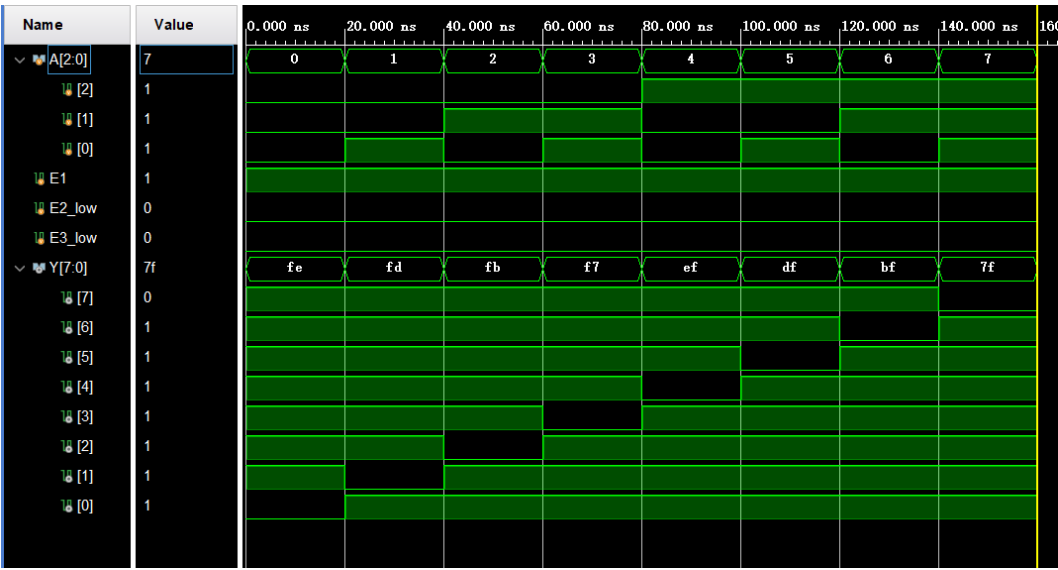
```
module dec_38(input [2:0] A,
              input E1,
              input E2_low,
              input E3_low,
              output reg [7:0] Y);

always @ (A or E1 or E2_low or E3_low)
begin
    if (E1 && ~E2_low && ~E3_low)
        case(A)
            3'b000 : Y = 8'b11111110;
            3'b001 : Y = 8'b11111101;
            3'b010 : Y = 8'b11111011;
            3'b011 : Y = 8'b11110111;
            3'b100 : Y = 8'b11101111;
            3'b101 : Y = 8'b11011111;
            3'b110 : Y = 8'b10111111;
            3'b111 : Y = 8'b01111111;
            default : Y = 8'b11111111;
        endcase
    else
        Y = 8'b11111111;
    end
end
endmodule

`timescale 1ns / 1ps
module test_bench ()
    reg [2:0] A;
    reg E1,E2_low,E3_low;
    wire [7:0] Y;
    dec_38 dec_38(.A(A),.E1(E1),.E2_low(E2_low),.E3_low(E3_low),.Y(Y));
    initial
    begin
        E1 = 1;E2_low = 0;E3_low = 0;
        A = 3'b000;
        #20 A = 3'b001;
        #20 A = 3'b010;
        #20 A = 3'b011;
        #20 A = 3'b100;
        #20 A = 3'b101;
        #20 A = 3'b110;
        #20 A = 3'b111;
        #20 $finish;
    end
end
endmodule
```

3-8 译码器

仿真文件



波形

【总结与思考】

- 本次实验难度适中
- 学习了使用 Vivado 对 Verilog 代码进行仿真
- 学会了验证设计的 Verilog 代码的正确性
- 实验可以再增加一些使用 Vivado 进行仿真的例子