**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：Verilog硬件描述语言

学生姓名：\_ \_李远航\_\_ \_\_\_

学生学号： \_PB20000137\_ \_

完成日期： 2021.11.13\_ \_

计算机实验教学中心制

2020年09月

【实验题目】

**Verilog硬件描述语言**

【实验目的】

* 掌握Verilog HDL 常用语法
* 能够熟练阅读并理解Verilog代码
* 能够设计较复杂的数字功能电路
* 能够将Verilog代码与实际硬件相对应
* 能够理解Verilog不同运算符的计算方法

【实验环境】

* PC一台
* Windows 10 操作系统

【实验练习】

1. if else只能用在always内部

module test(input a,

            output reg b);

    always@(\*)

    begin

        if (a)  b = 1'b0;

        else b = 1'b1;

    end

endmodule

module test(input [4:0] a,

            output reg [4:0] b);

always@(\*)

    b = a;

endmodule



c = 8'b0011\_0000

d = 8'b1111\_0011

e = 8'b1100\_0011

f = 8'b1100\_1100

g = 8'b0011\_0000

h = 8'b0000\_0110

i = 8'b0

j = 8'b1111\_0000

k = 8'b0100\_0011

1. assign不可以给reg赋值，模块实例化格式错误

module sub\_test(input a, b,

                output c);

    assign c = (a<b)? a : b;

endmodule

module test(

    input a,b,c,

    output o);

    reg temp;

    sub\_test sub\_test1(.a(a),.b(b),.c(temp));

    sub\_test sub\_test2(temp,c,o);

endmodule

1. 端口定义不准确，模块实例化不能存在于always语句中

module sub\_test(input a, b,

                output o);

    assign o = a + b;

endmodule

module test( input a,b,

    output c);

    sub\_test sub\_test(a,b,c);

endmodule

【总结与思考】

* 本次实验难度适中，任务量较小
* 基本掌握了Verilog的语法
* 能够自主理解编写Verilog代码
* 学会设计较为复杂的数字逻辑电路
* 能够将Verilog代码与实际硬件相对应