**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：FPGA原理及Vivado综合

学生姓名：\_ \_李远航\_\_ \_\_\_

学生学号： \_PB20000137\_ \_

完成日期： 2021.11.25\_ \_

计算机实验教学中心制

2020年09月

【实验题目】

**FPGA原理及Vivado综合**

【实验目的】

* 了解FPGA工作原理
* 了解Verilog文件和约束文件在FPGA开发中的应用
* 学会使用Vivado进行FPGA开发的完整流程
* 学会使用FPGAOL实验平台

【实验环境】

* PC一台
* Windows 10 操作系统
* fpgaol.ustc.edu.cn线上实验平台
* Logisim模拟工具
* Vivado 2020.2

【实验练习】

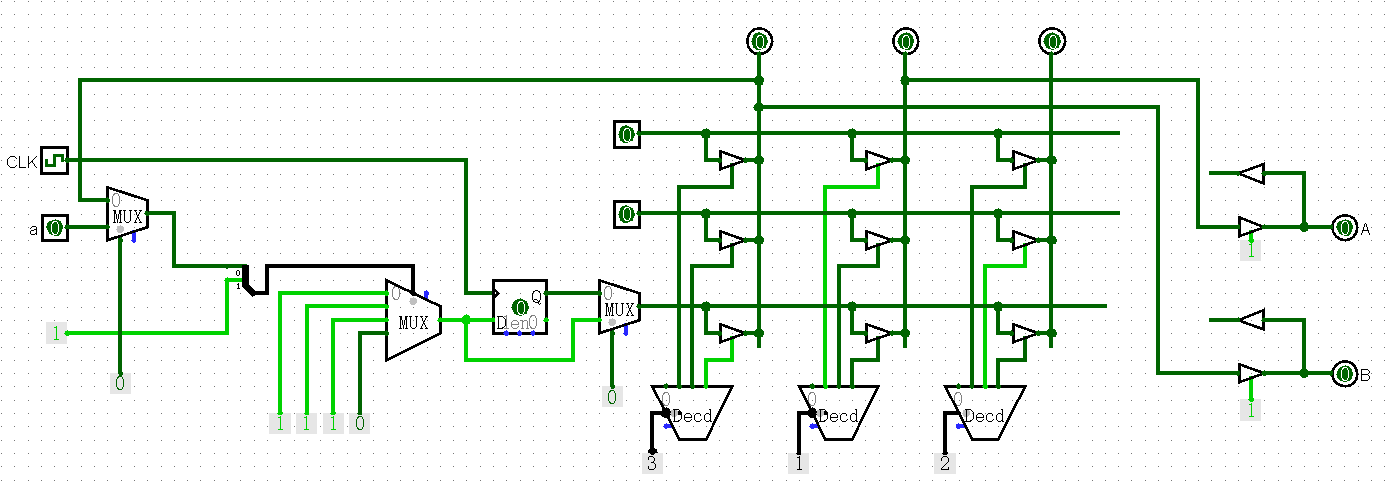
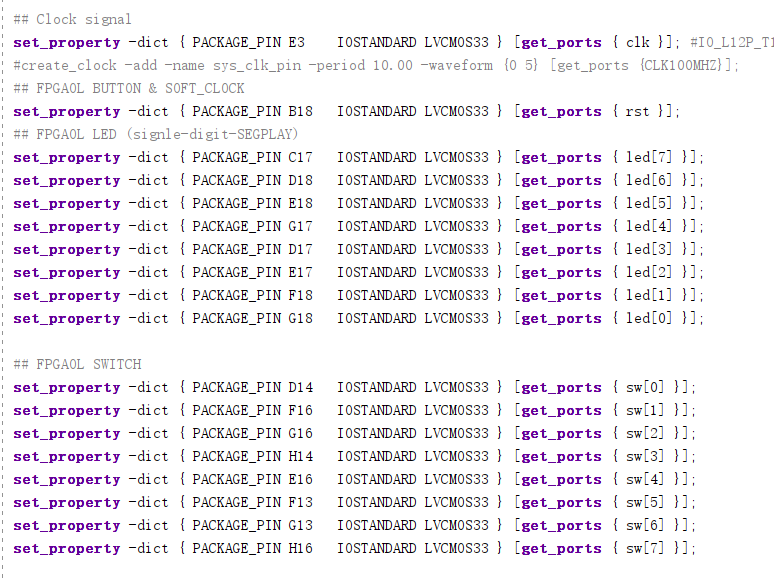
1. 电路及配置数据如图所示（A端口未使用）

图1.1

1. XDC文件如图所示（将题目中的led或sw端顺序颠倒）

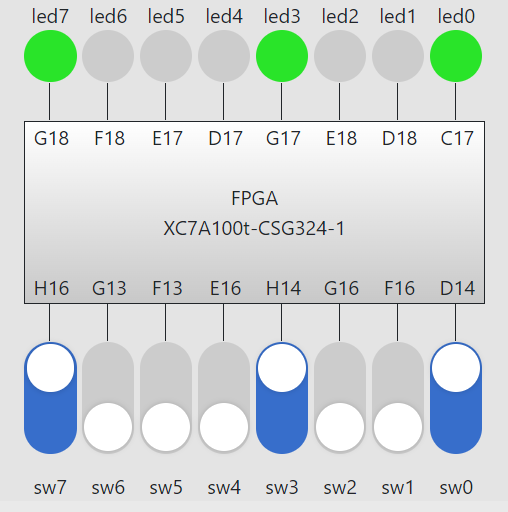
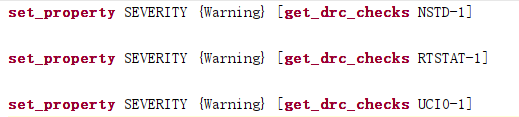
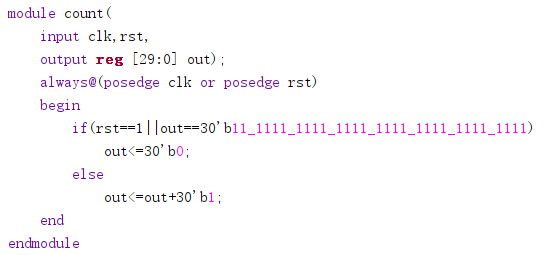
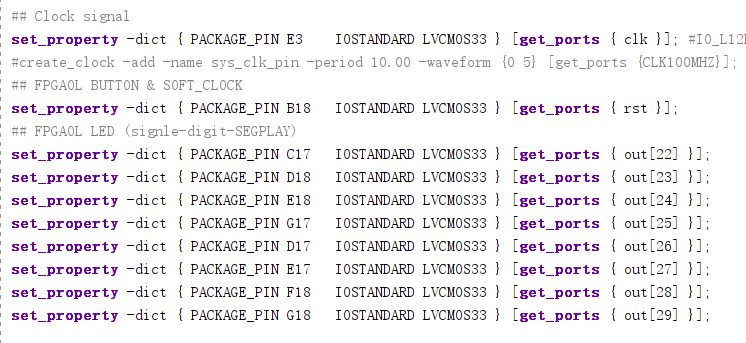
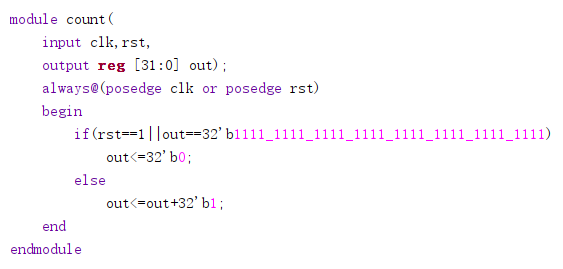
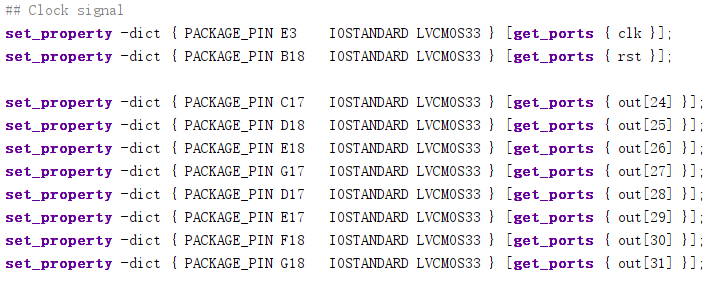
烧写后的截图

图2.1

1. 由于并未使用所有输出的数据，在生成bit流之前需要增加如图所示的tcl文件，以免生成出现错误
   1. 30位计数器Verilog代码及.xdc约束文件



* 1. 32位计数器Verilog代码及.xdc约束文件



**运行截图：**

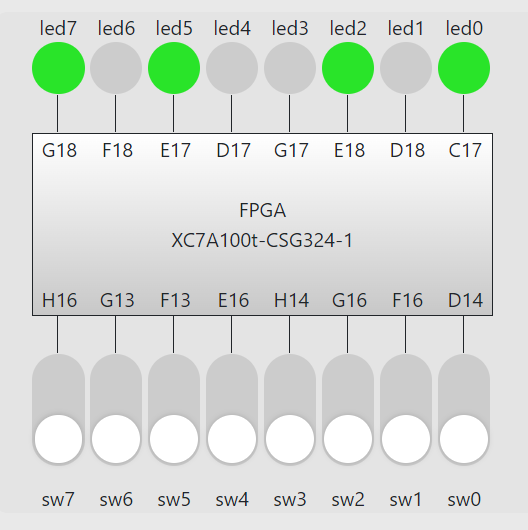


图3.1

**结果对比：两种计数器烧写之后led的变化基本相同，32位计数器烧写的二FPGA led灯变化的速度更慢**

**时钟信号：每个时钟信号上升沿，计数器加1**

【总结与思考】

* 本次实验难度适中，任务量正常，难度适中
* 学会调整.xdc约束文件
* 学会了使用vivado生成bit流文件，对FPGA进行烧写
* 学习了完整的FPGA开发过程
* 希望实验过程可以增加更多对FPGA开发步骤的演示