**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：FPGA实验平台及IP核使用

学生姓名：\_ \_李远航\_\_ \_\_\_

学生学号： \_PB20000137\_ \_

完成日期： 2021.12.02\_ \_

计算机实验教学中心制

2020年09月

【实验题目】

**FPGA实验平台及IP核使用**

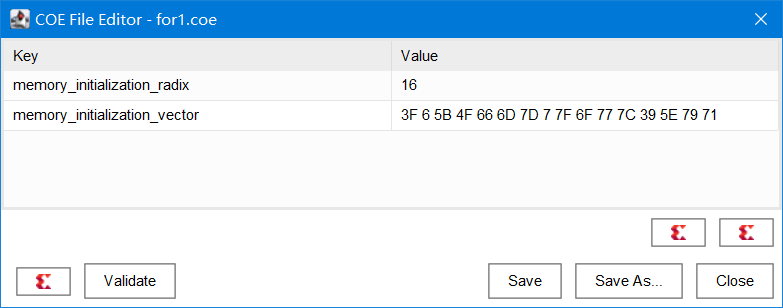
【实验目的】

* 熟悉FPGAOL在线实验平台结构及使用
* 掌握FPGA开发各关键环节
* 学会使用IP核（知识产权核）
* 学会使用时分复用法节省端口

【实验环境】

* PC一台
* Windows 10 操作系统
* Vivado 2020.02
* fpgaol.ustc.edu.cn

【实验练习】

1.  例化一个16\*8bit的ROM，输入端口由四个开关控制，输出到七段数码管上，控制数码管显示与开关相对应的十六进制数字

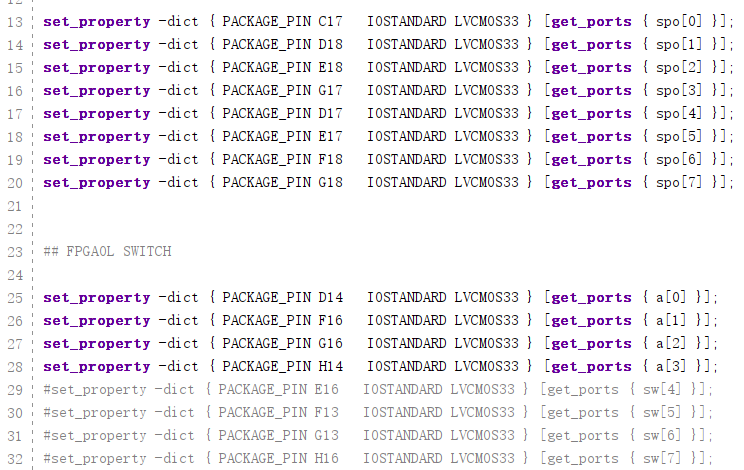


图1.1 COE文件

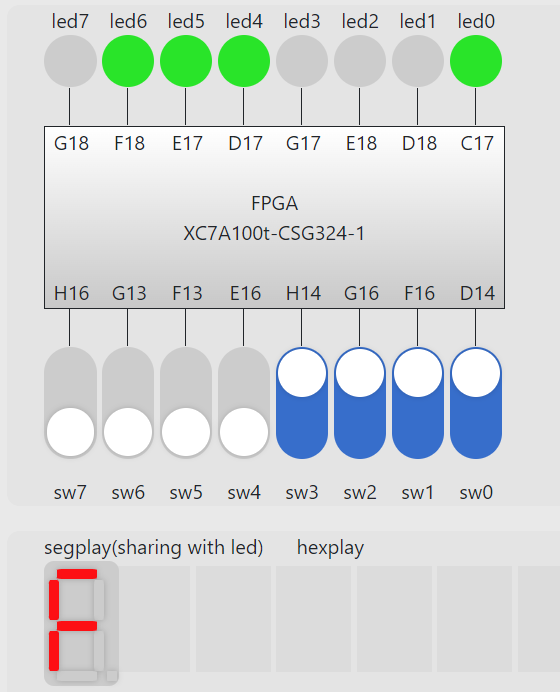


图1.2 XDC文件

图1.3 运行截图

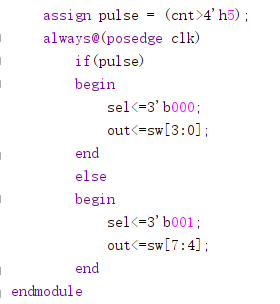
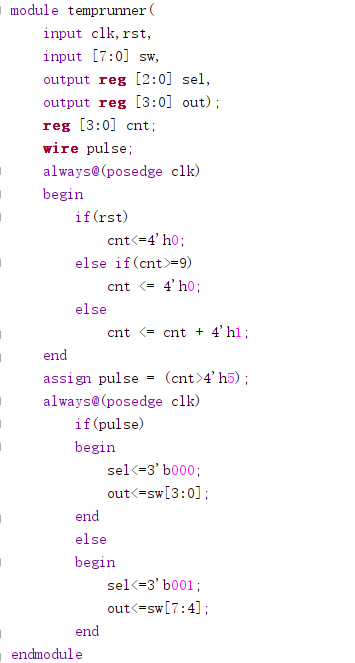
1. 先写出一个模10的计数器，然后以5为分界线，分别对应第一个和第二个数码管，将开关的十六进制数值分别传给两个数码管

图2.1 Verilog代码

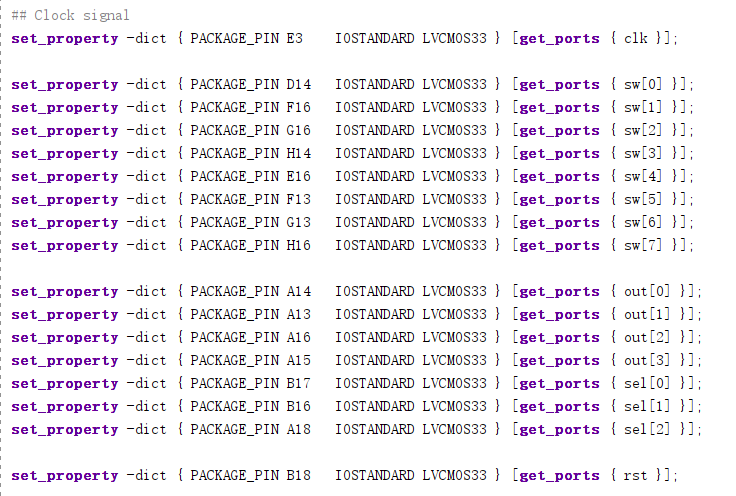


图2.2 XDC文件

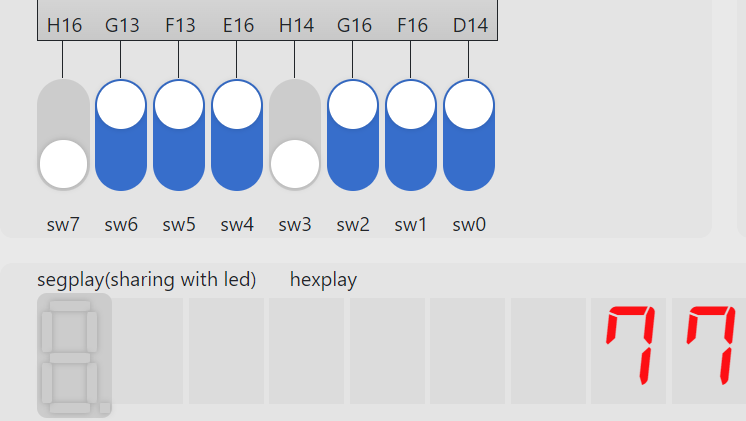
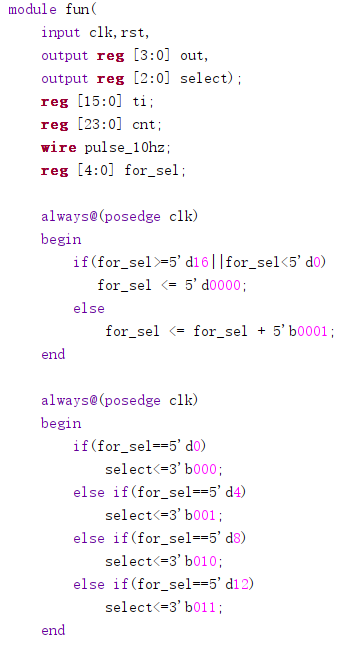
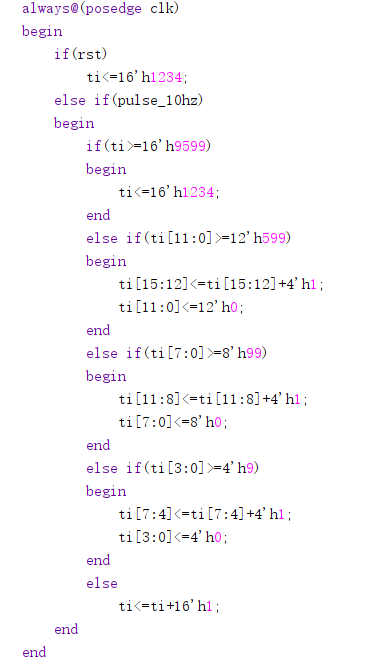
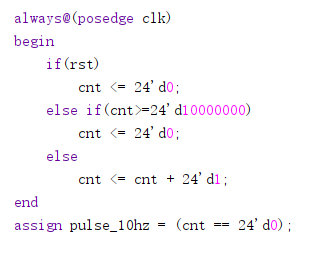


图2.3 运行截图

1. 首先利用100MHz的时钟信号生成10Hz的脉冲信号pulse\_10hz，利用该脉冲信号来记录时间，然后建立计数器来决定不同时刻输出不同信号到不同的数码管口



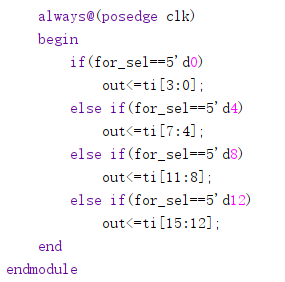


图3.1 Verilog代码

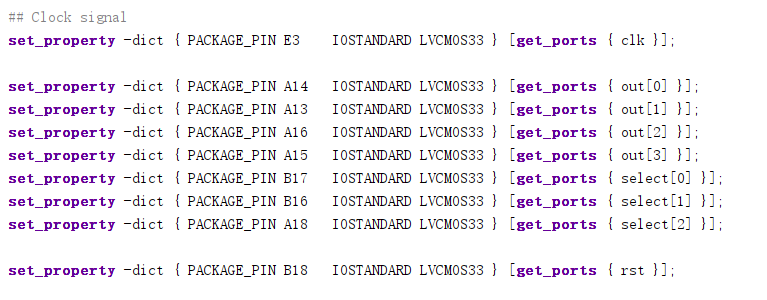


图3.2 XDC约束文件



图3.3 运行截图

【总结与思考】

* 本次实验难度较大，任务量较多
* 学会了使用ip核
* 学习了时分复用的方法
* 更加熟悉了Verilog代码
* 希望本次实验可以增加更多的演示内容