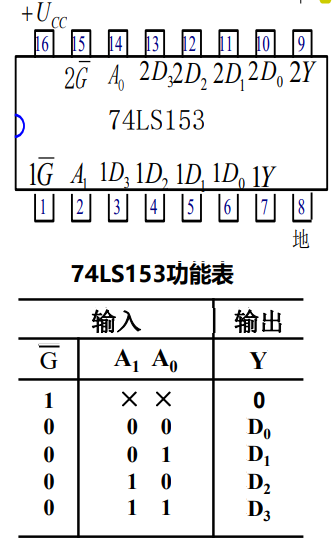
**【实验目的】：**

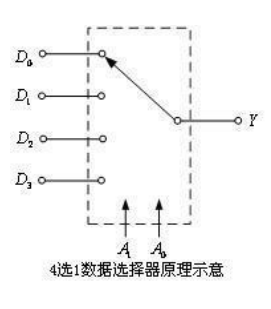
1. 熟悉中规模集成电路数据选择器的工作原理和逻辑功能。
2. 了解数据选择器的应用。
3. 掌握组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
4. 掌握中规模集成电路加法器的工作原理及其逻辑功能。

**【实验原理】：**

1. 数据选择器

数据选择器又称多路选择器，是一个数据开关，它从N路源数据中选择一路送至输出端

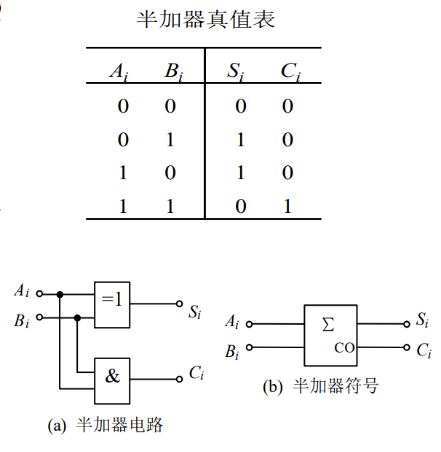




1. 加法器

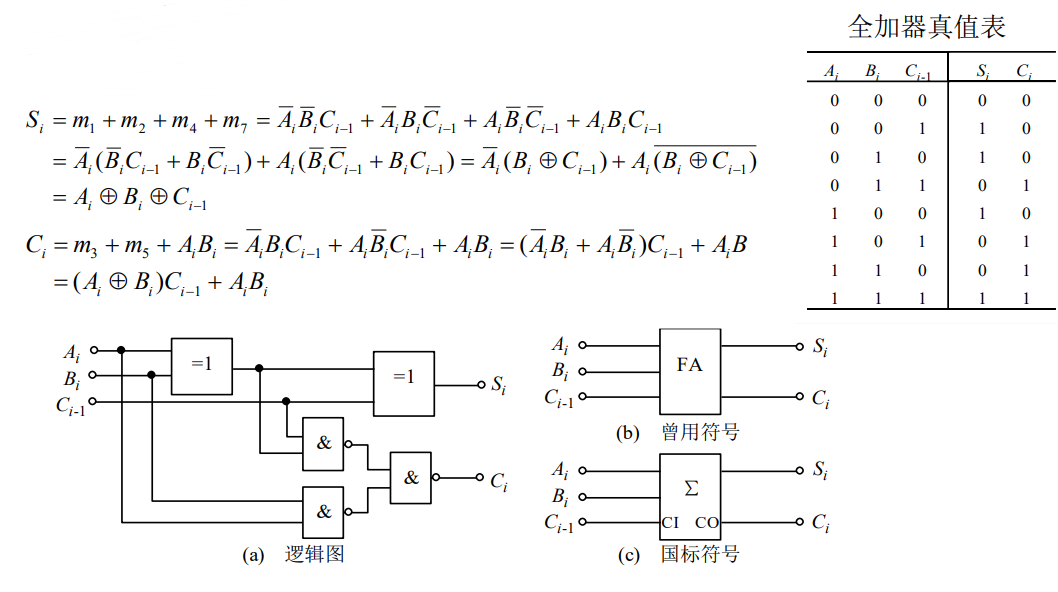
* 在数字系统中，经常需要进行算术运算，逻辑操作 及数字大小比较等操作，实现这些运算功能的电路是加法器
* 加法器是一种组合逻辑电路，主要功能是实现二进制数的算术加法运算
  1. 半加器

半加器完成两个一位二进制数相 加，若只考虑两个加数本身，而 不考虑来自相邻低位的进位，称 为半加，实现半加运算功能的电路称为半加器

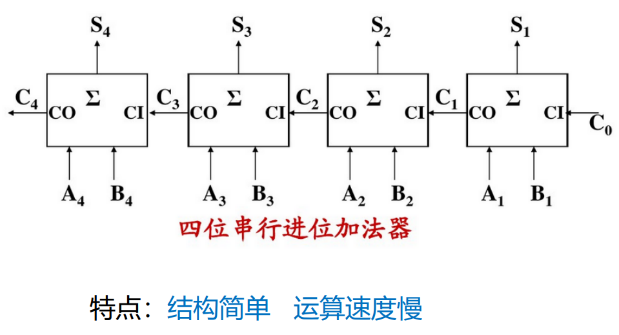


* 1. 全加器

两个多位数相加是每一位都是带进位相加，所以必须用全加器。这时只要依 次将低位的进位输出接到高位的输入，就可构成多位加法器了

全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本 功能是实现二进制加法

* 1. 串行进位加法器



* 1. 并行加法器

（2）进位链

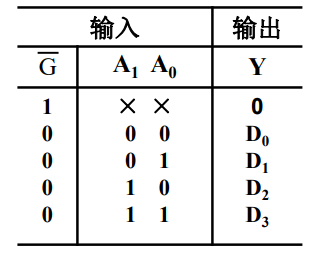
把n个加法器单元电路按一定方式互连起来，即构成n位的并行加法器。其由两部分组成: 1.并行成分，指两个操作数的所有位同时并行加入加法器运算; 2.链结构，即可以链接各个加法器。虽然操作数各位同时加入加法器进行运算，但并非所有位和数都同时产生，它存在进位的产生与传送问题，仅为的产生与传送称为进位链，它的结构是影响加法器速度的关键

（1）先行进位

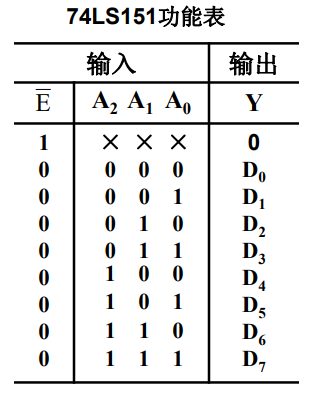
先行进位也称并行进位，指加法器各位的进位是各自独立且同时产生的，高一位的进位不依赖低位的进位产生与传送。并行加法器的任意一位进位

**【实验内容及分析】：**

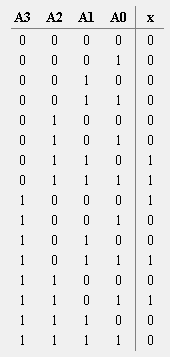
1. 验证4选1数据选择器74LS153的逻辑功能并记录真值表。

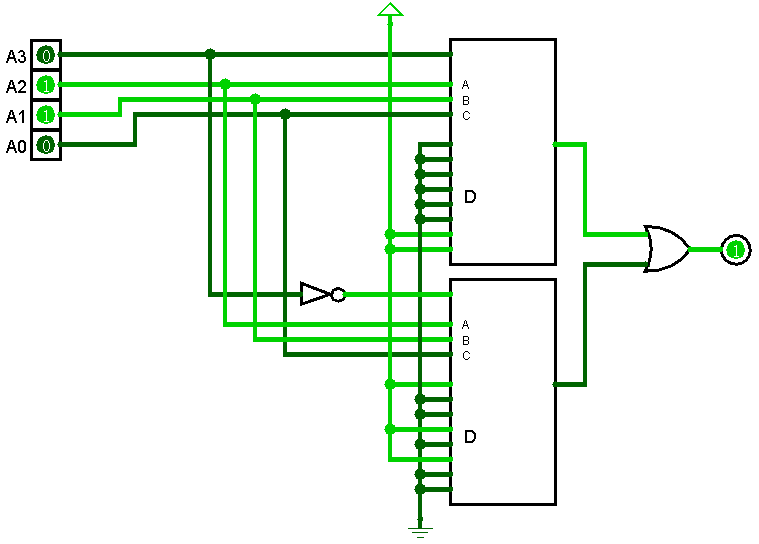


1. 验证8选1数据选择器74LS151的逻辑功能并记录真值表



1. 用两个8选1数据选择器74LS151扩展成16选1数据 选择器，实现逻辑函数Σm(6,7,8,11,13)，画出简图 并记录真值表。

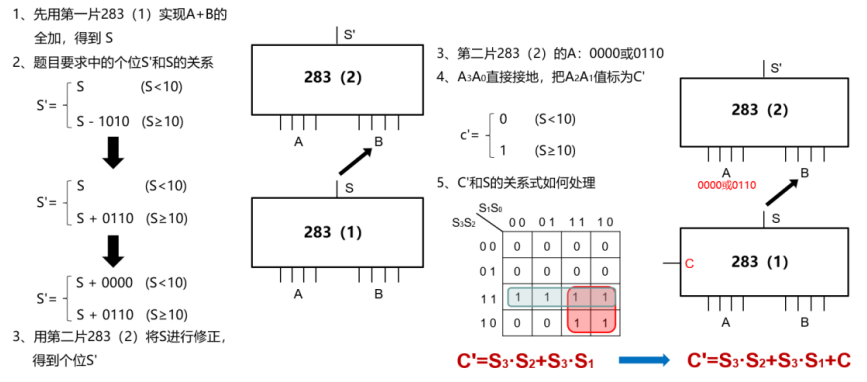


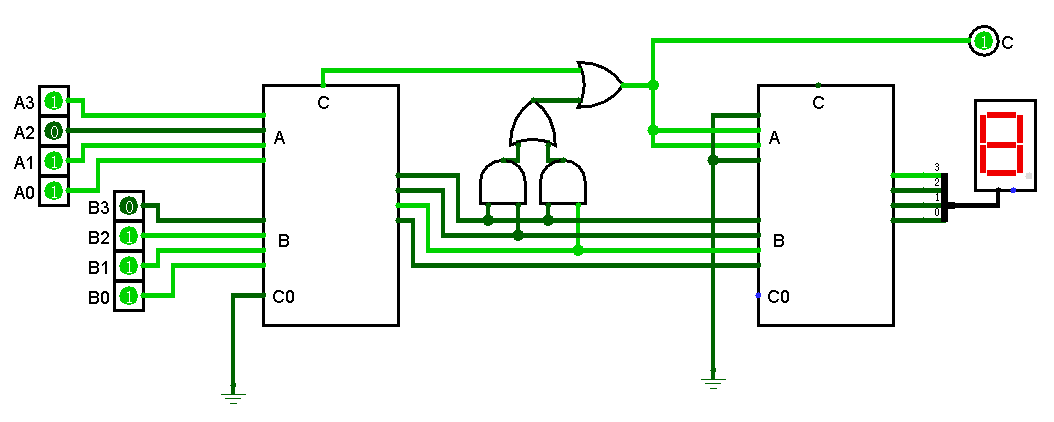


1. 用一片74LS283实现并行四位全加，将A置为1001，B置为0000~1001，依次计算A+B并记录结果表列。

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 1001 | 0000 | 1001 | 0 |
| 1001 | 0001 | 1010 | 0 |
| 1001 | 0010 | 1011 | 0 |
| 1001 | 0011 | 1100 | 0 |
| 1001 | 0100 | 1101 | 0 |
| 1001 | 0101 | 1110 | 0 |
| 1001 | 0110 | 1111 | 0 |
| 1001 | 0111 | 0000 | 1 |
| 1001 | 1000 | 0001 | 1 |
| 1001 | 1001 | 0010 | 1 |

1. 用两片74LS283和必要的门电路实现两个8421BCD码求和运算，结果仍为8421BCD码，要求画出逻辑功能图。





**【思考题】**

1. 用两片74LS283和必要的门电路实现一个带借位输入和借位输出的8421BCD码减法器，要求电路输出为原码。

减法和加法可以互通，可以直接通过补码进行计算，由于需要借位输入和结尾输出，所以可以直接将运算的一个操作数取反，借位的缘故，不需要再加1，

