

2013-2014

# Εισαγωγή σε VLSI

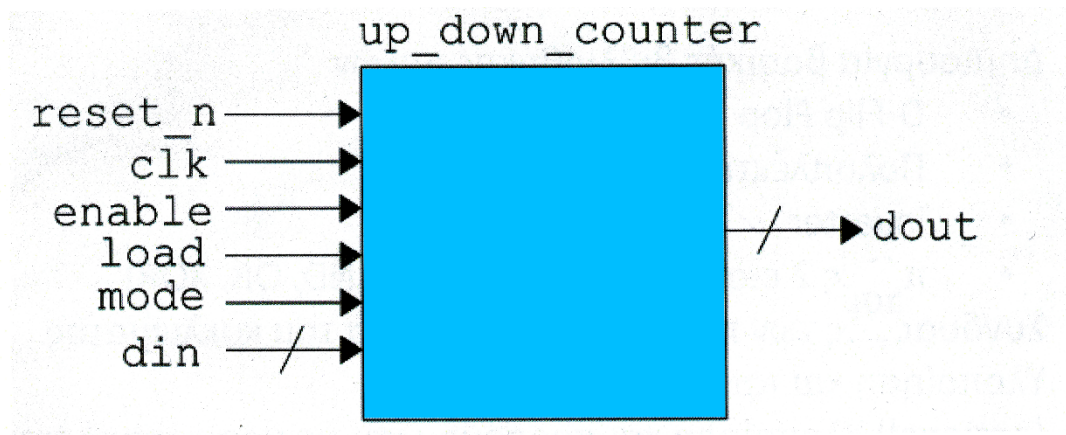
Up/Down Counter 4-bit με επίτρεψη μέτρησης,  
ασύγχρονο reset και παράλληλη φόρτωση

## ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ

Εισαγωγή.....	2
Library πυλών.....	3
Υλοποίηση και προσομοίωση ακολουθιακού.....	10

## Εισαγωγή

Στόχος της άσκησης είναι ο σχεδιασμός ενός 4-bit Up/Down Counter με επίτρεψη μέτρησης, ασύγχρονο reset και παράλληλη φόρτωση.



reset_n	clk	enable	load	mode	dout
0	x	x	x	x	0
1	^	0	x	x	dout
1	^	1	1	x	din
1	^	1	0	1	dout+1
1	^	1	0	0	dout-1

Η παραπάνω υλοποίηση ξεκινάει από τον σχεδιασμό σε επίπεδο CMOS των παρακάτω βασικών πυλών – συνδυαστικών κυκλωμάτων:

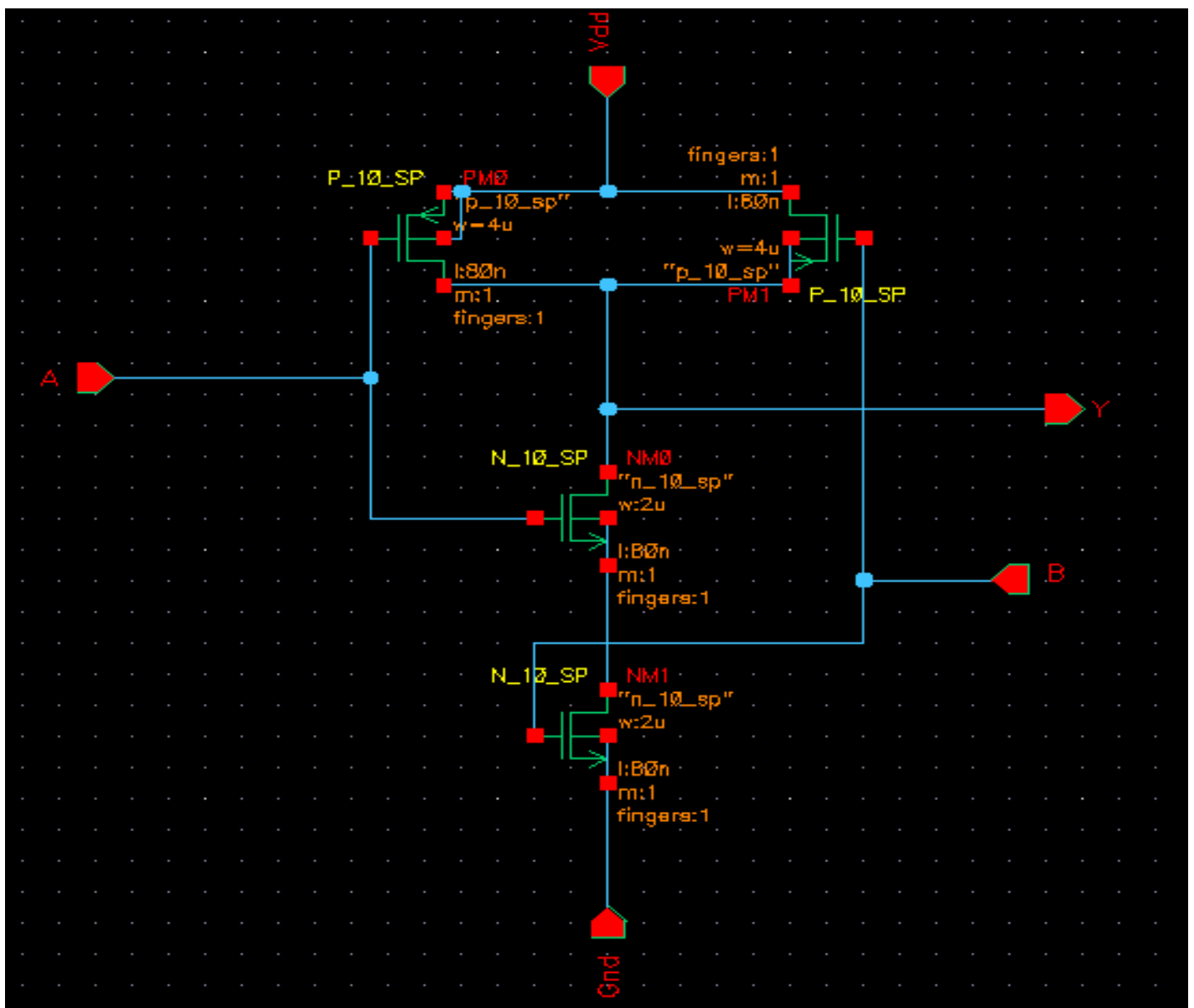
1. AND (2 inputs)
2. OR (2 inputs)
3. Inverter
4. NAND
  - 2 inputs
  - 3 inputs
5. NOR (2 inputs)
6. XOR (2 inputs)
7. D Flip Flop (Positive rise edge)
8. Multiplexer 2-1

## Library πυλών

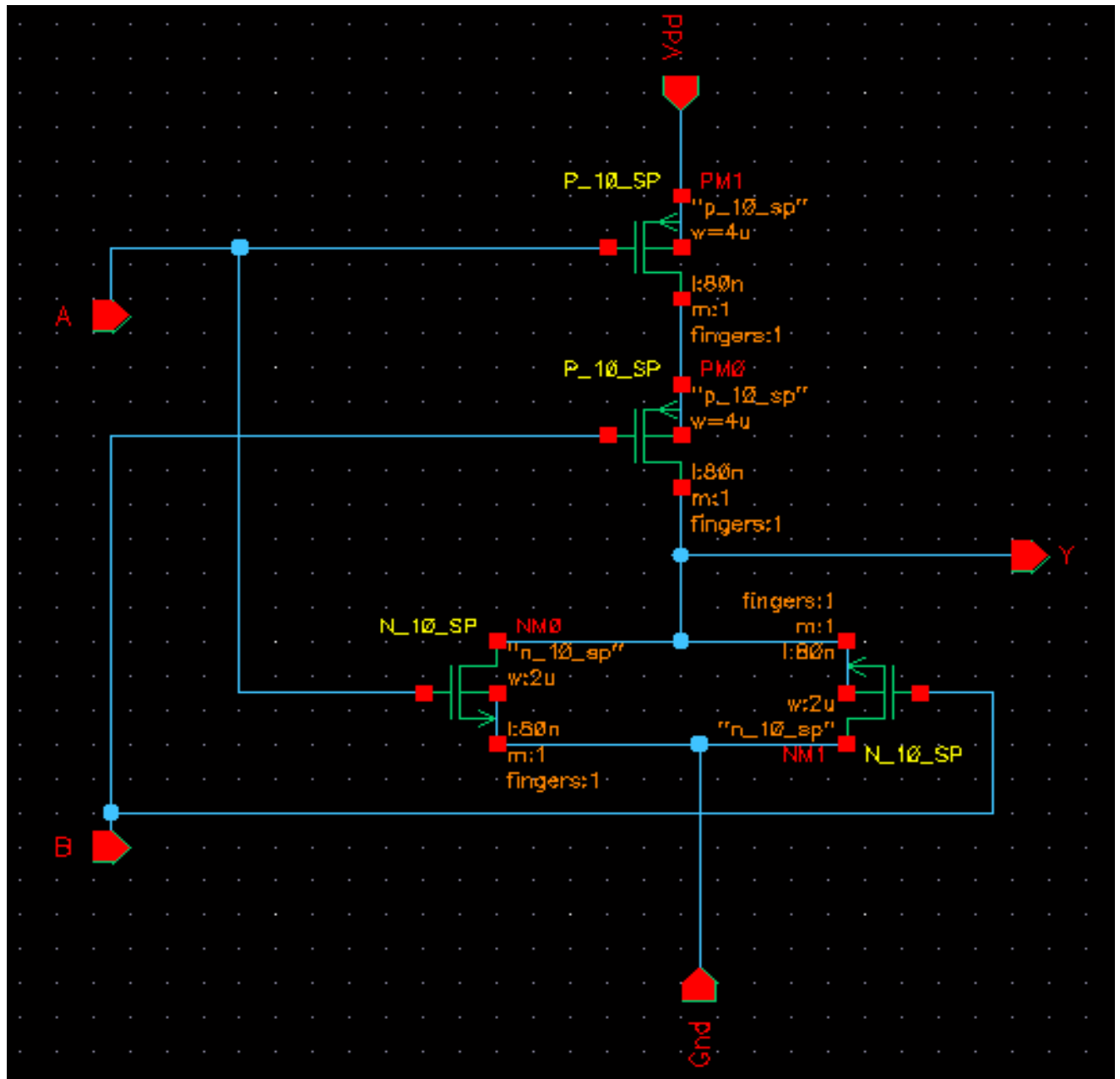
Παρακάτω παρουσιάζουμε τα schematics κάθε μιας πύλης-ακολουθιακού κυκλώματος της βιβλιοθήκης που σχεδιάσαμε. Για το σχεδιασμό της βιβλιοθήκης χρησιμοποιήσαμε CMOS με size ratio 25/1 (για το n-mos,  $W/L = 2\mu\text{M}/80\text{nM} = 25/1$ ).

Σημείωση: Αξίζει να σημειωθεί ότι κάθε ένα από τα παρακάτω schematic (πύλης-ακολουθιακού κυκλώματος) ελέγχθηκε για τη σωστή λειτουργία του με ξεχωριστό simulation.

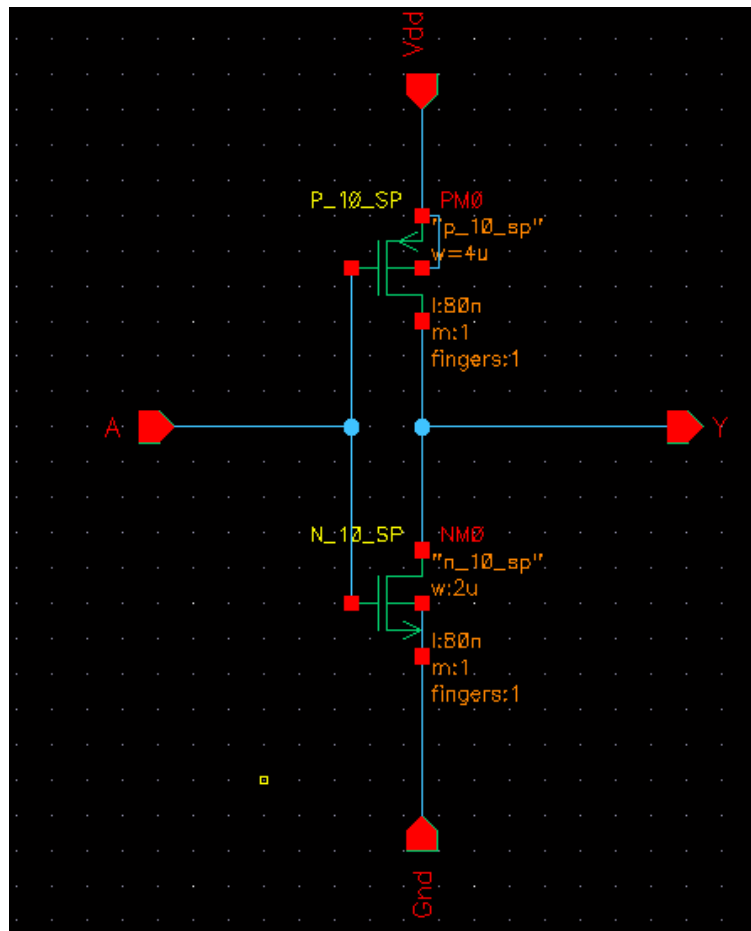
NAND (2 inputs)



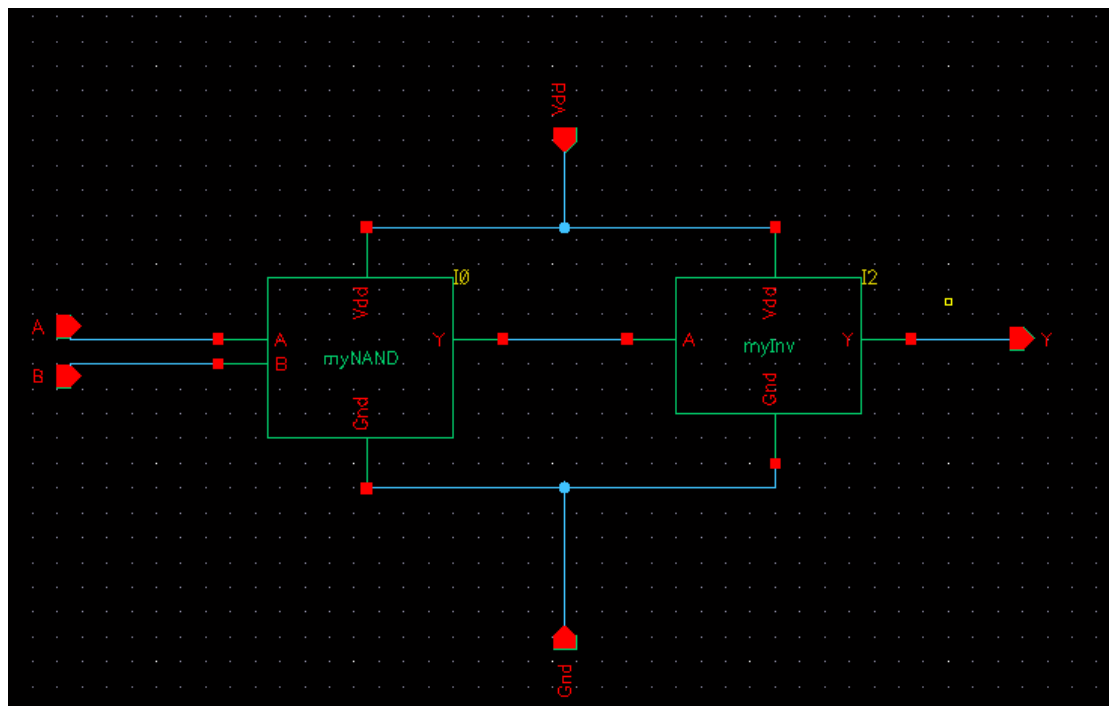
NOR (2 inputs)



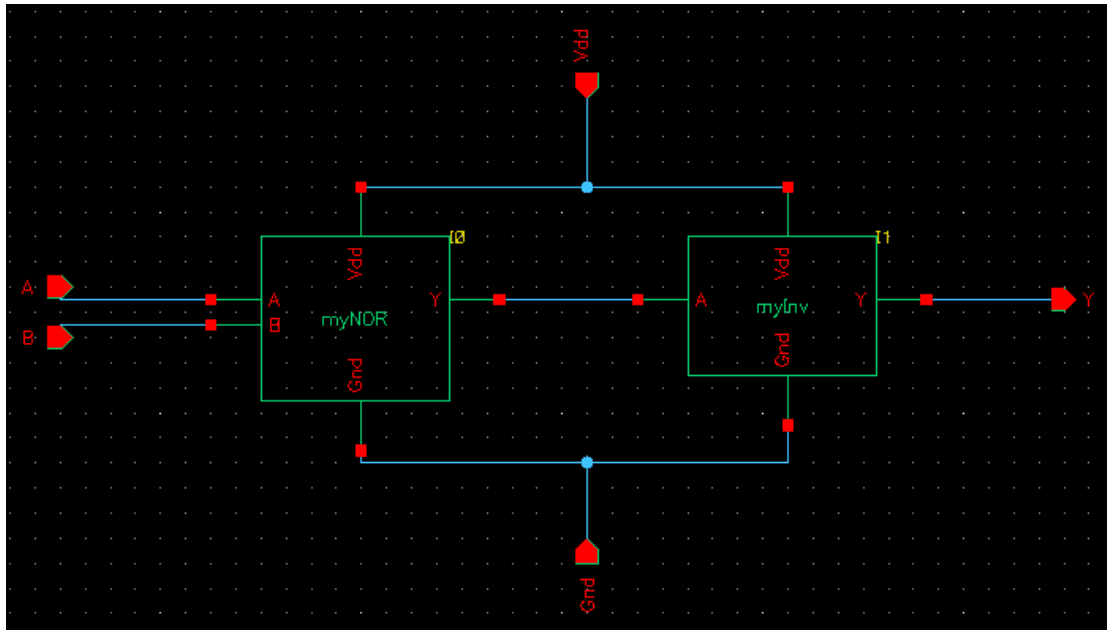
Inverter



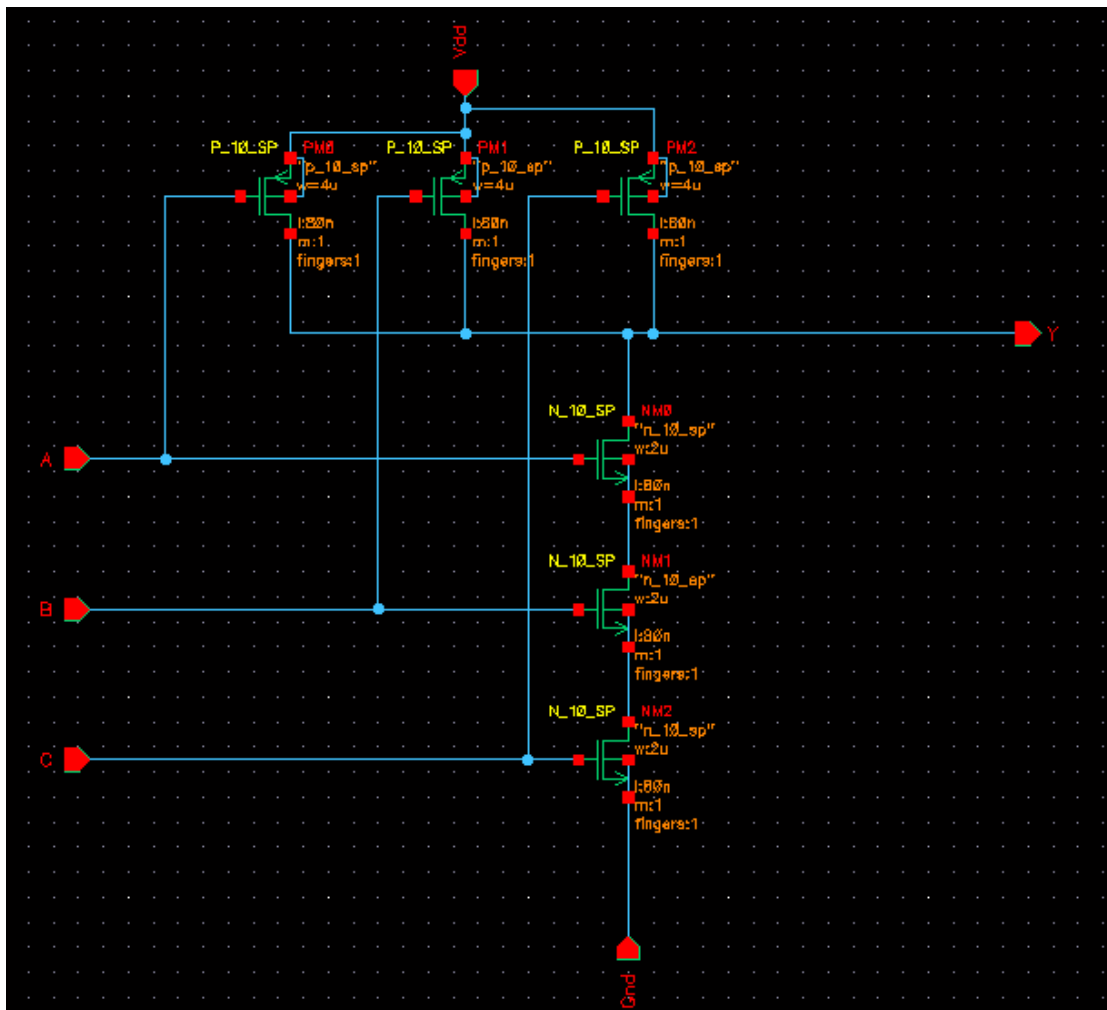
AND (2 inputs)



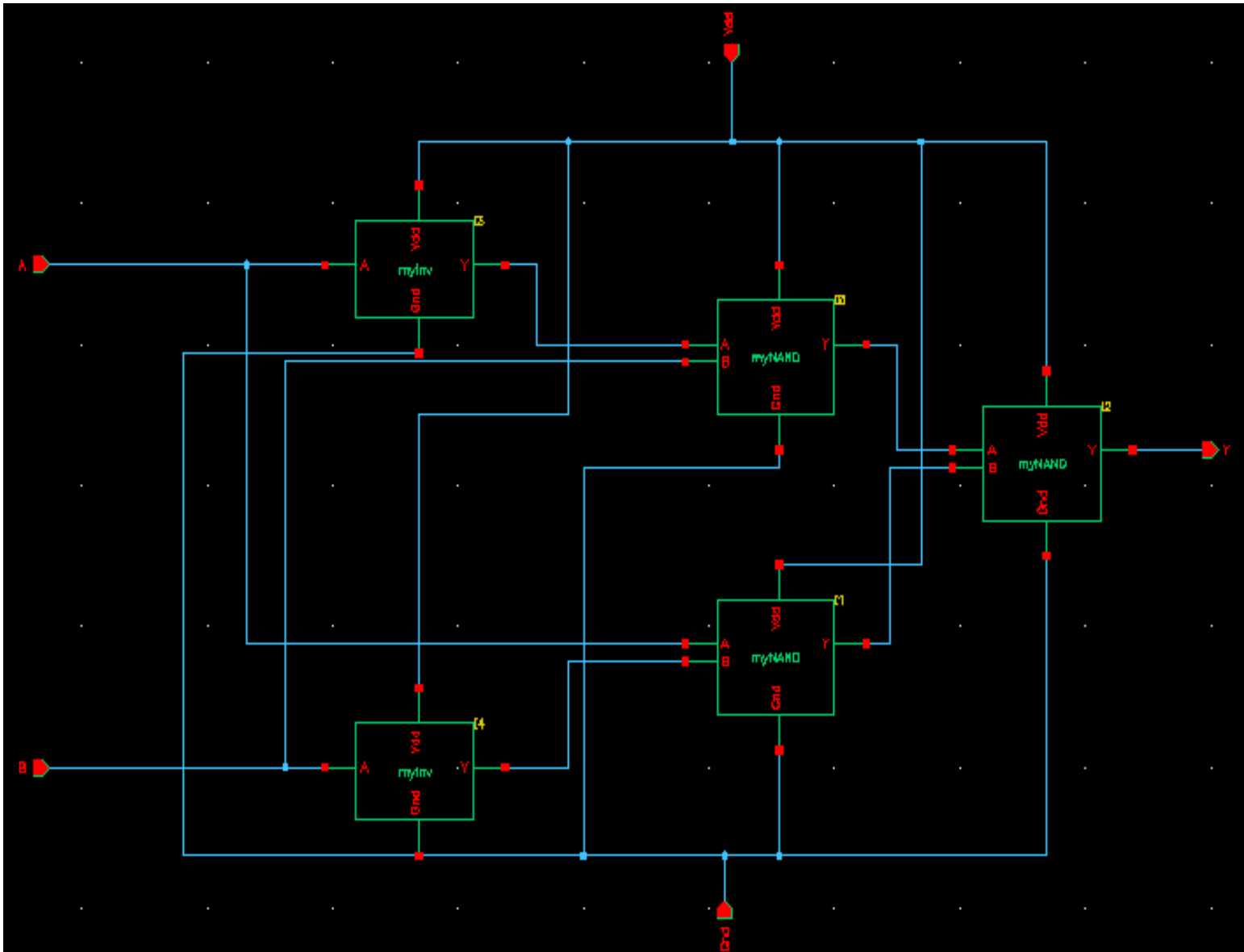
OR (2 inputs)



NAND (3 inputs)

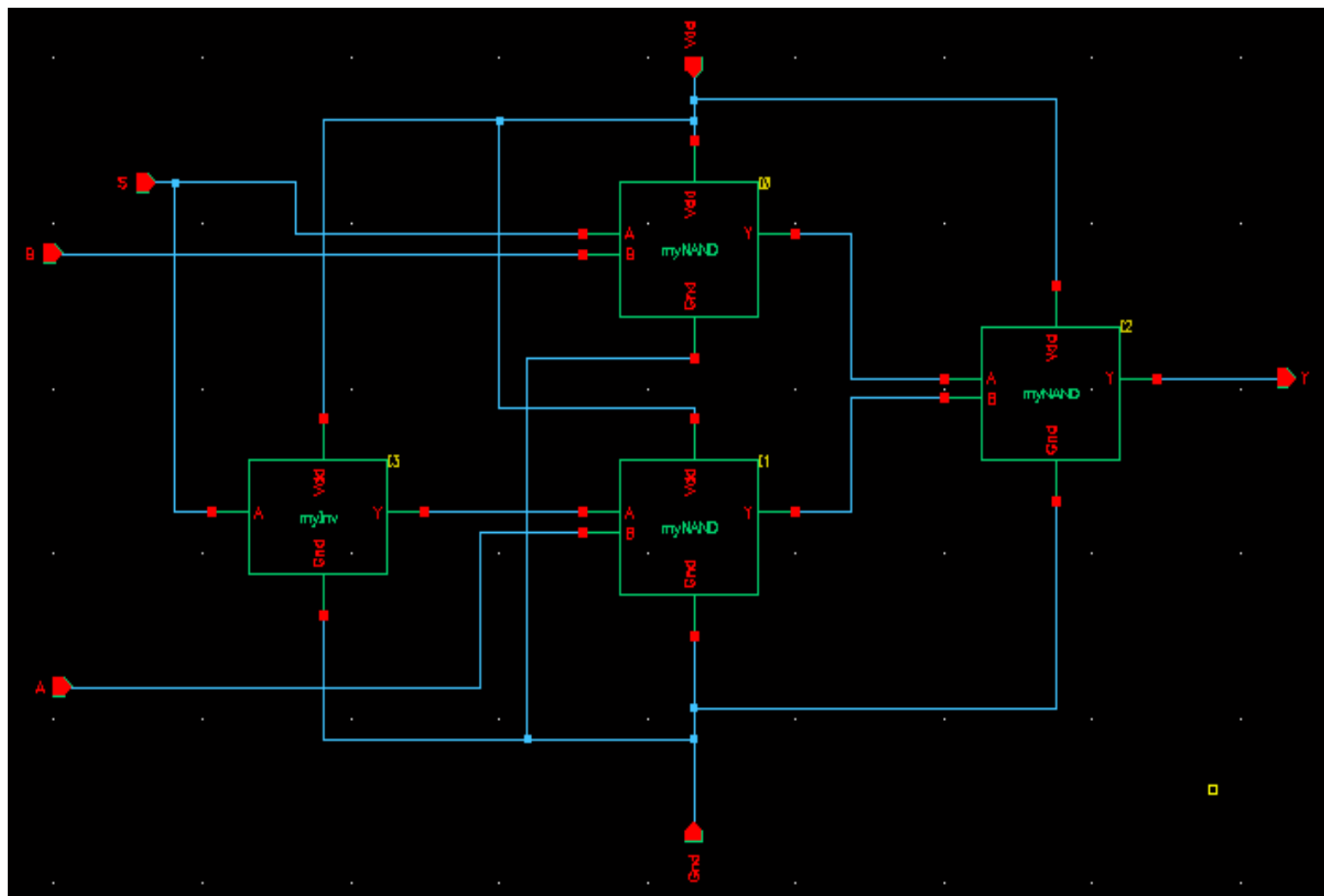


XOR (2 inputs)



Multiplexer 2-1

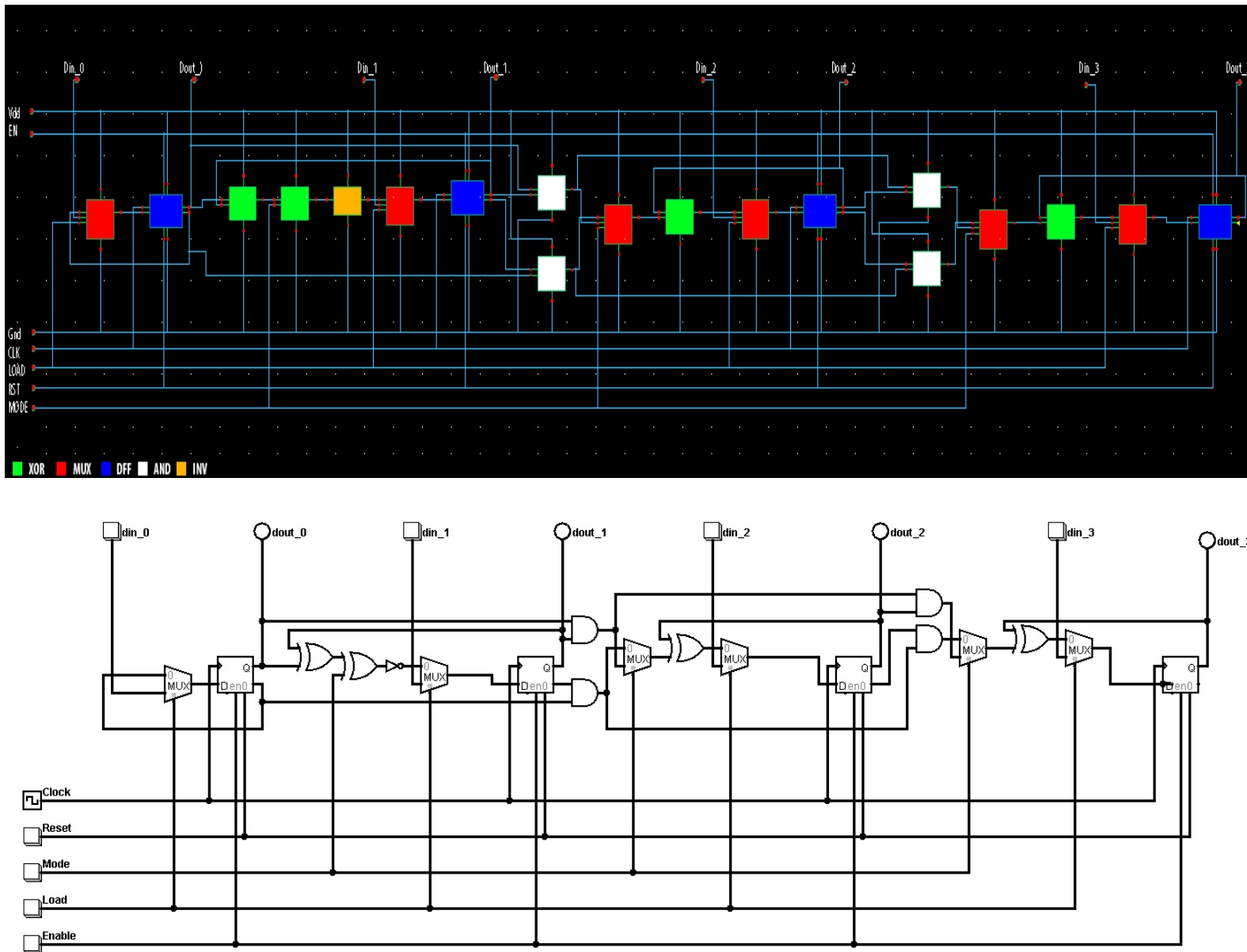




### D Flip Flop (Positive rise edge)

## Υλοποίηση και προσομοίωση ακολουθιακού

Παρακάτω φαίνεται το σχηματικό υλοποίησης του ακολουθιακού κυκλώματος που σχεδιάσαμε:



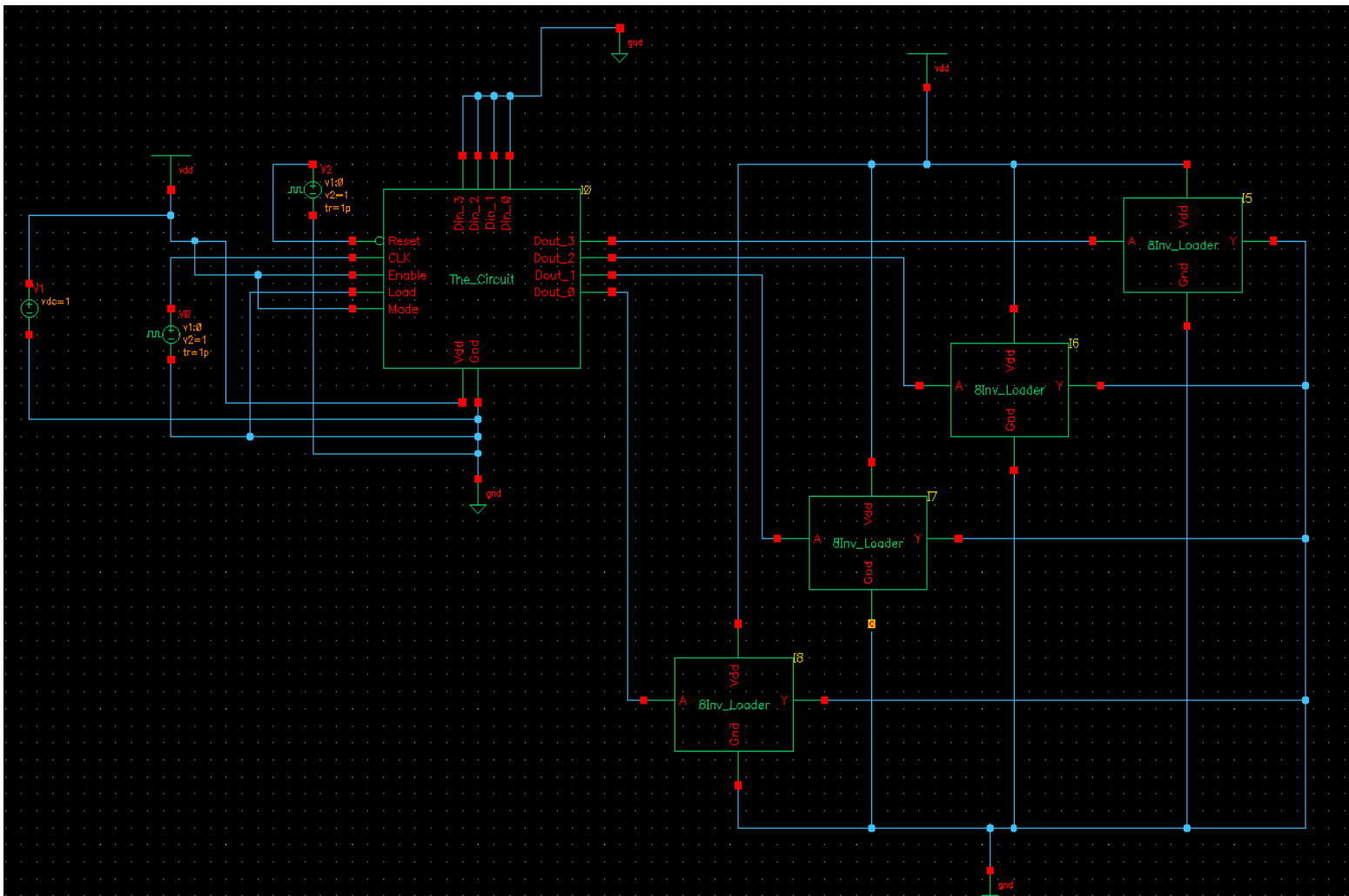
Στην πρώτη περίπτωση φαίνεται το κύκλωμα μέσω του εργαλείου Cadence ενώ στη δεύτερη περίπτωση μέσω του εργαλείου Logisim (το οποίο χρησιμοποιήθηκε σε ορισμένες περιπτώσεις για λόγους εύκολου testing του κυκλώματος).

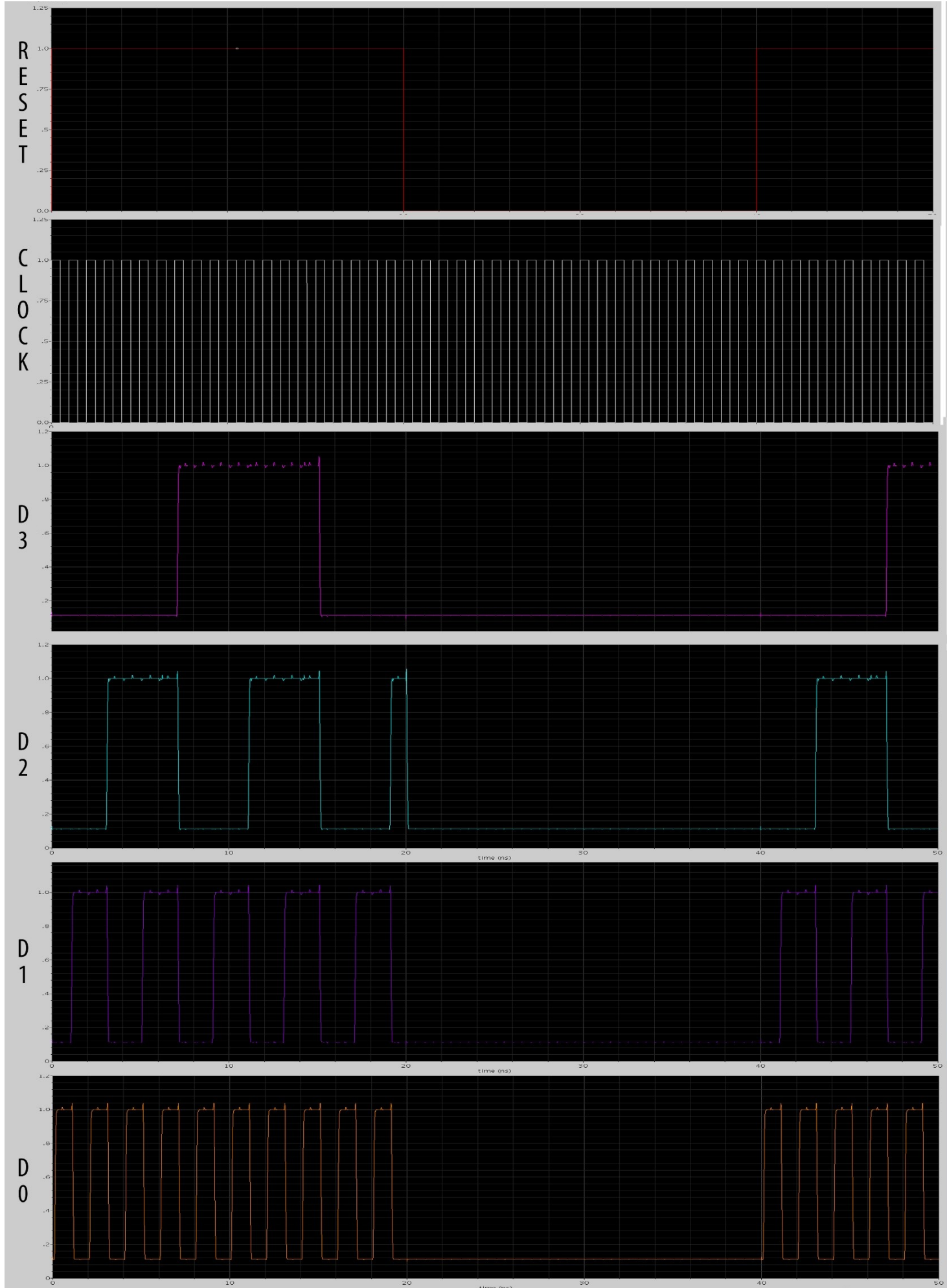
Στη συνέχεια, εξομοιώνουμε το παραπάνω κύκλωμα προκειμένου να βεβαιωθούμε ότι λειτουργεί ορθά κάθε μία από τις απαιτούμενες λειτουργίες του. Συνολικά εκτελέσαμε 4 simulations προκειμένου να ελέγξουμε τις λειτουργίες:

- Μέτρηση 0-15 (Up Count)
- Μέτρηση 15-0 (Down Count)
- Παράλληλης φόρτωσης (Load)
- Επίτρεψης μέτρησης (Enable)

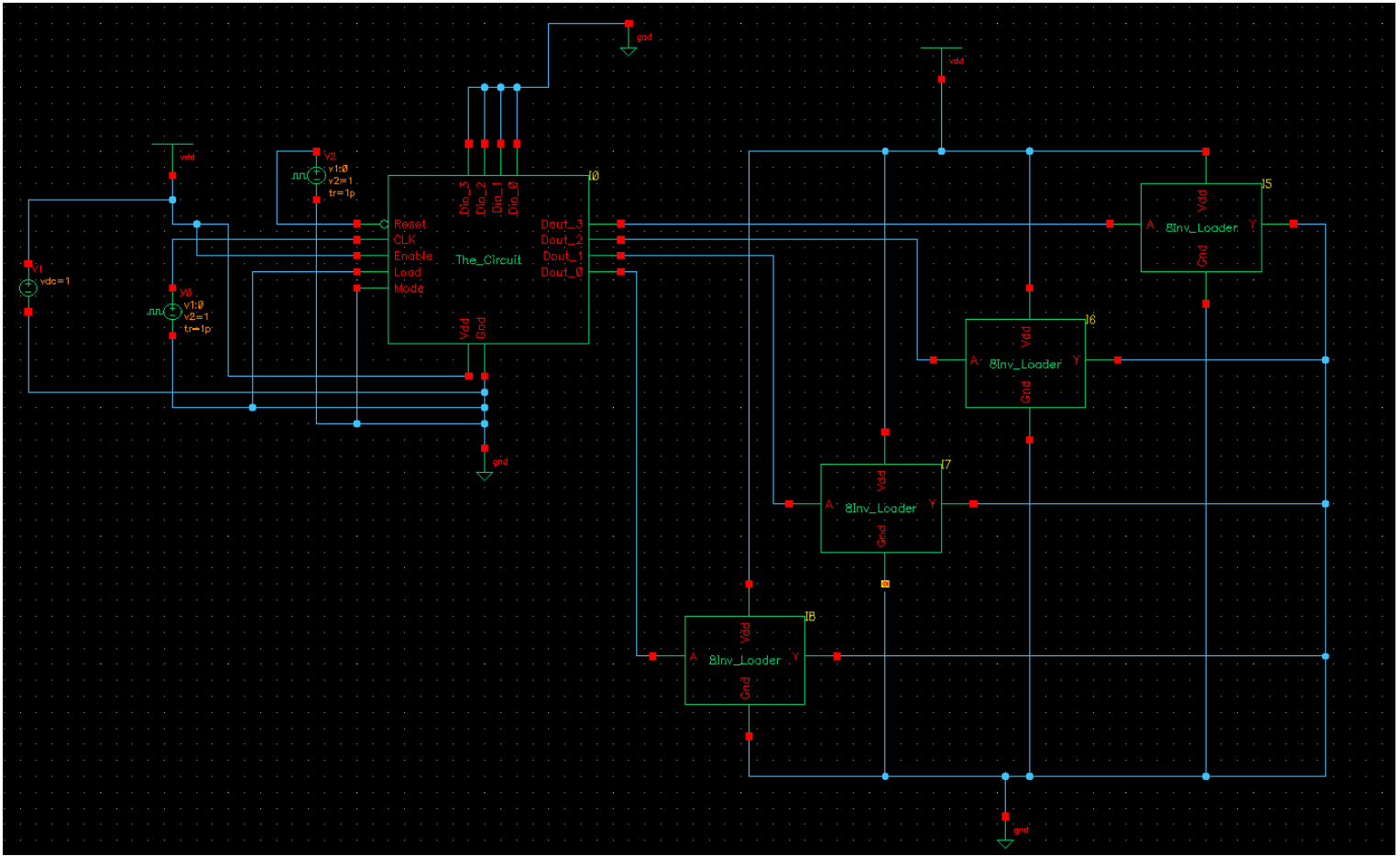
Σημείωση: Στις λειτουργίες της μέτρησης γίνεται έλεγχος της λειτουργίας RESET.

### Μέτρηση 0-15 (Up Count)





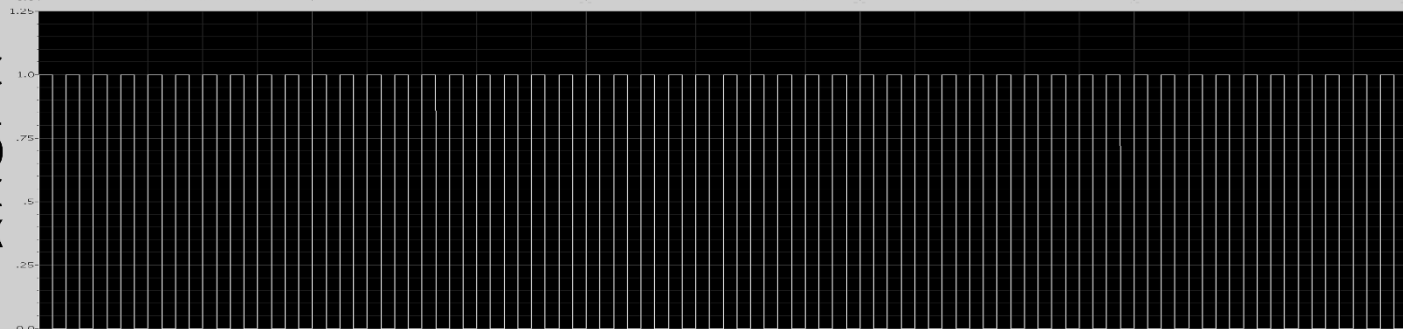
### Μέτρηση 15-0 (Down Count)



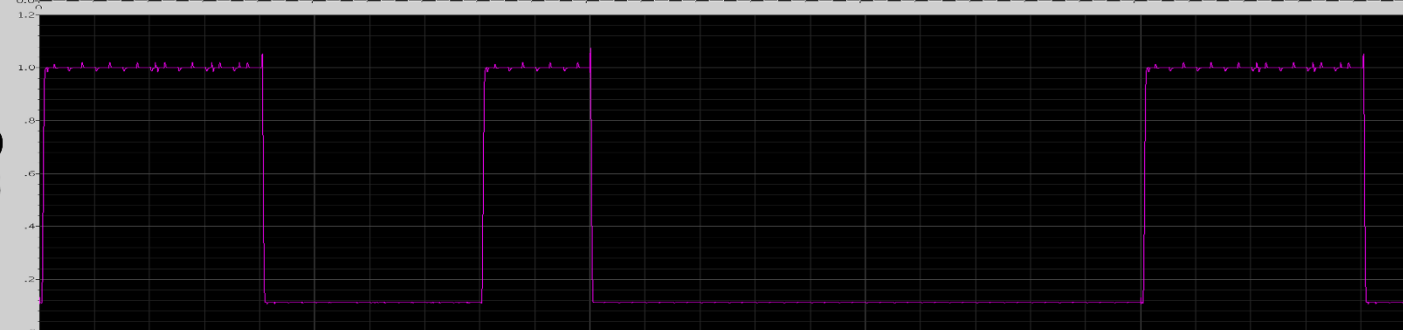
R  
E  
S  
E  
T



C  
L  
O  
C  
K



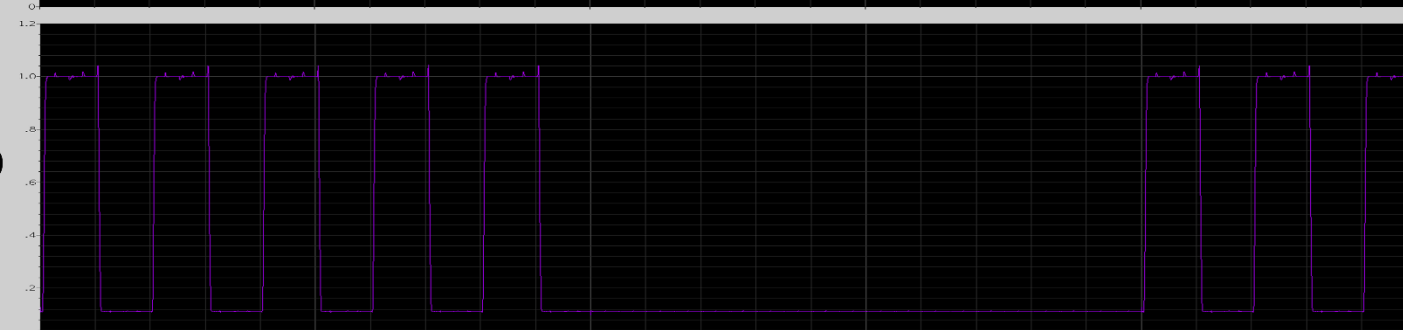
D  
3



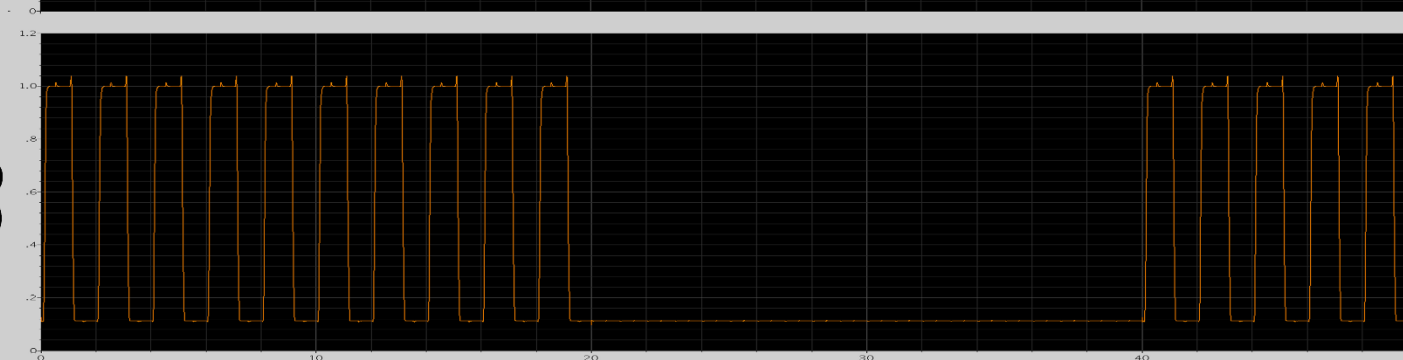
D  
2



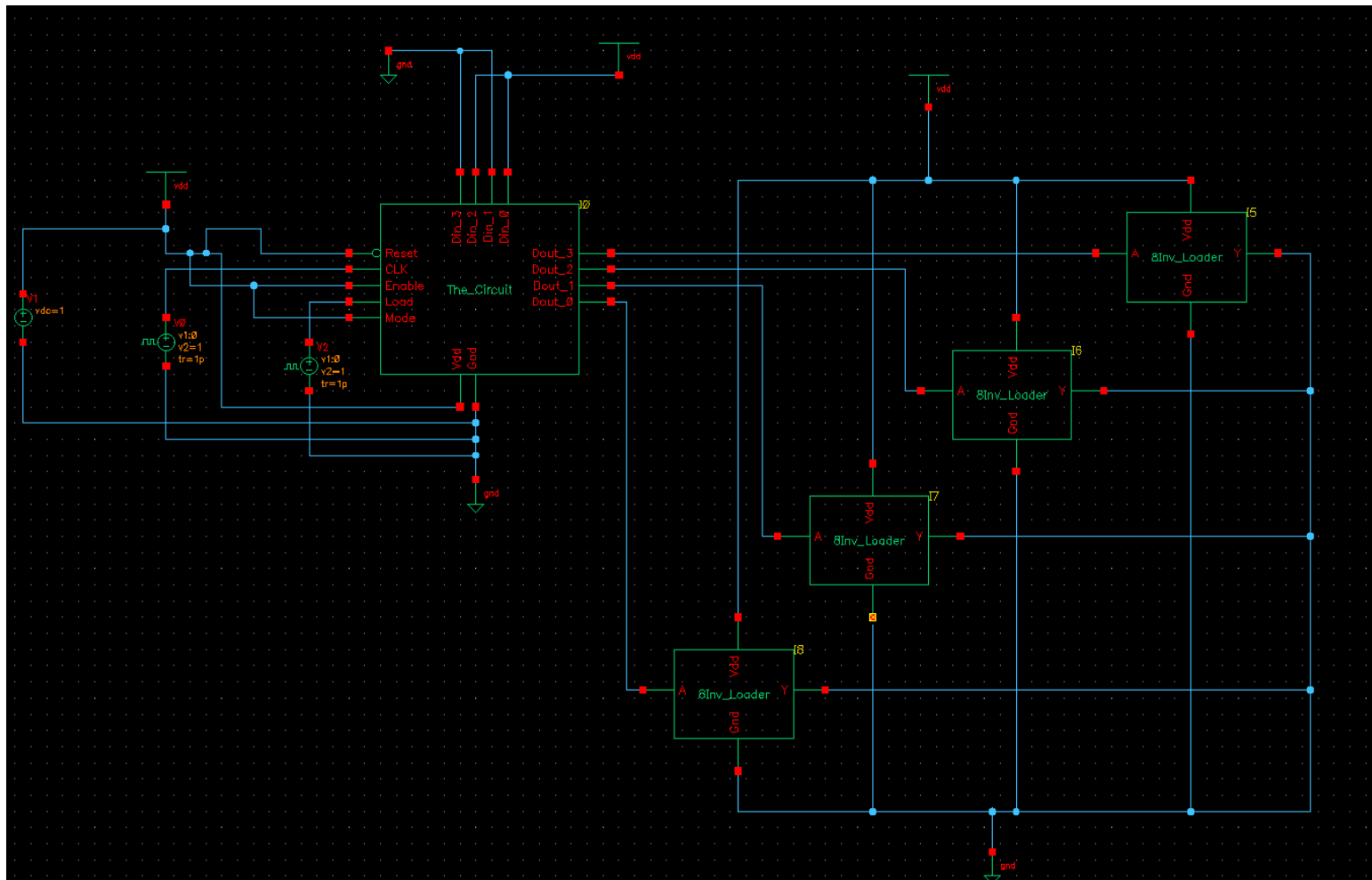
D  
1



D  
0



## Παράλληλη φόρτωση (Load)

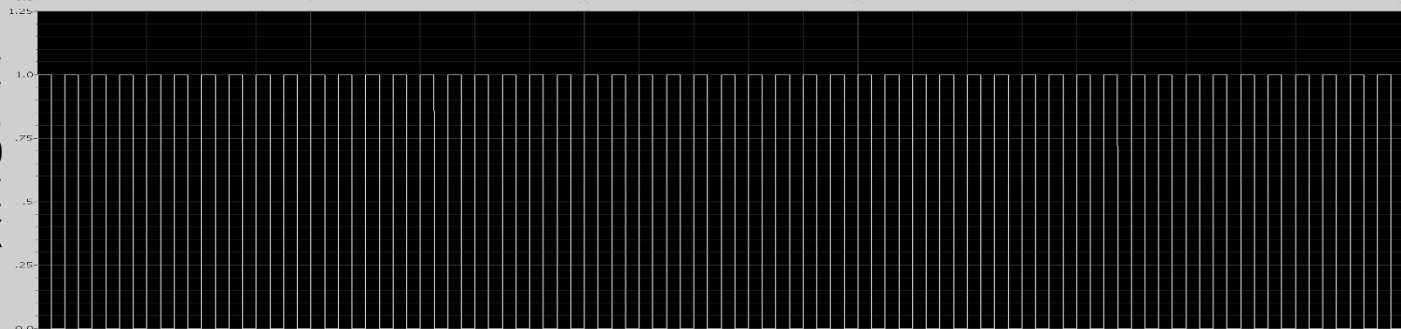




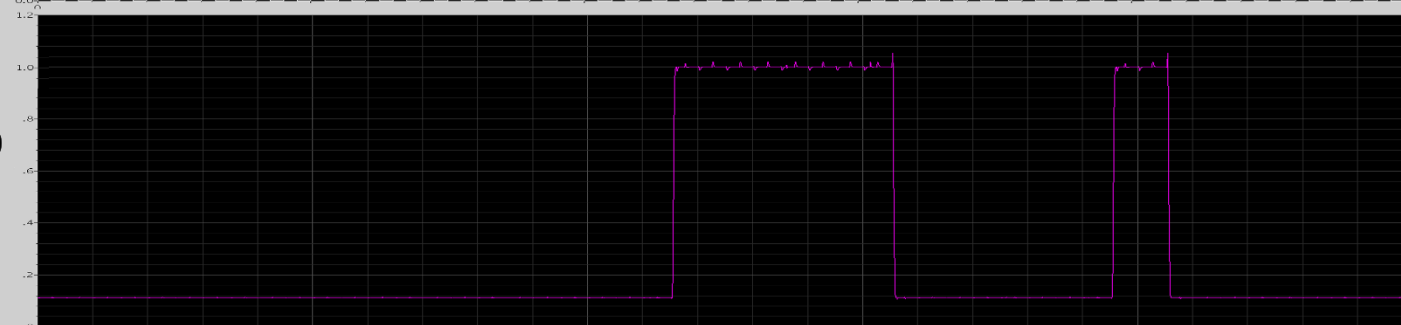
E  
N  
A  
B  
L  
E



C  
L  
O  
C  
K



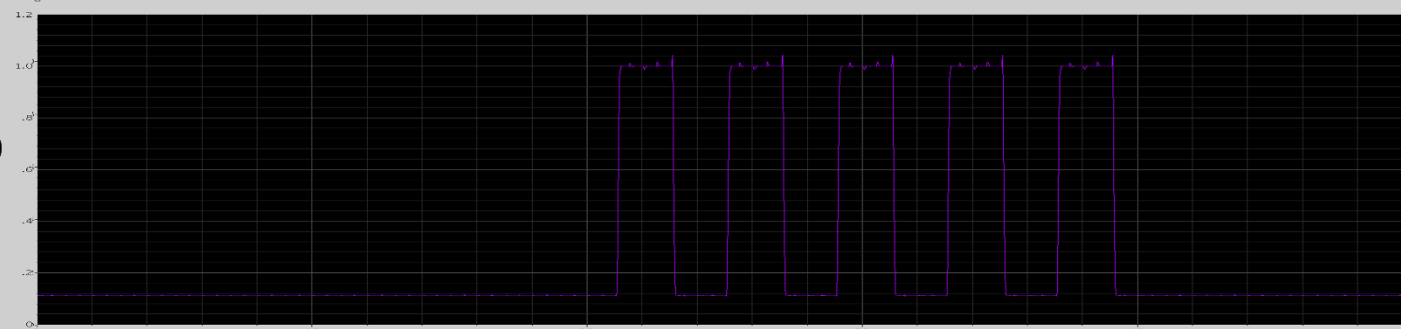
D  
3



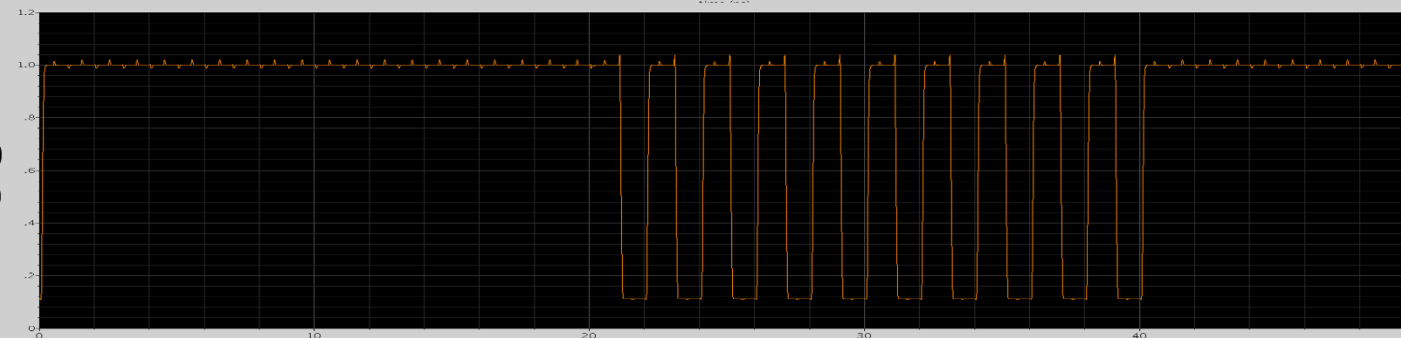
D  
2



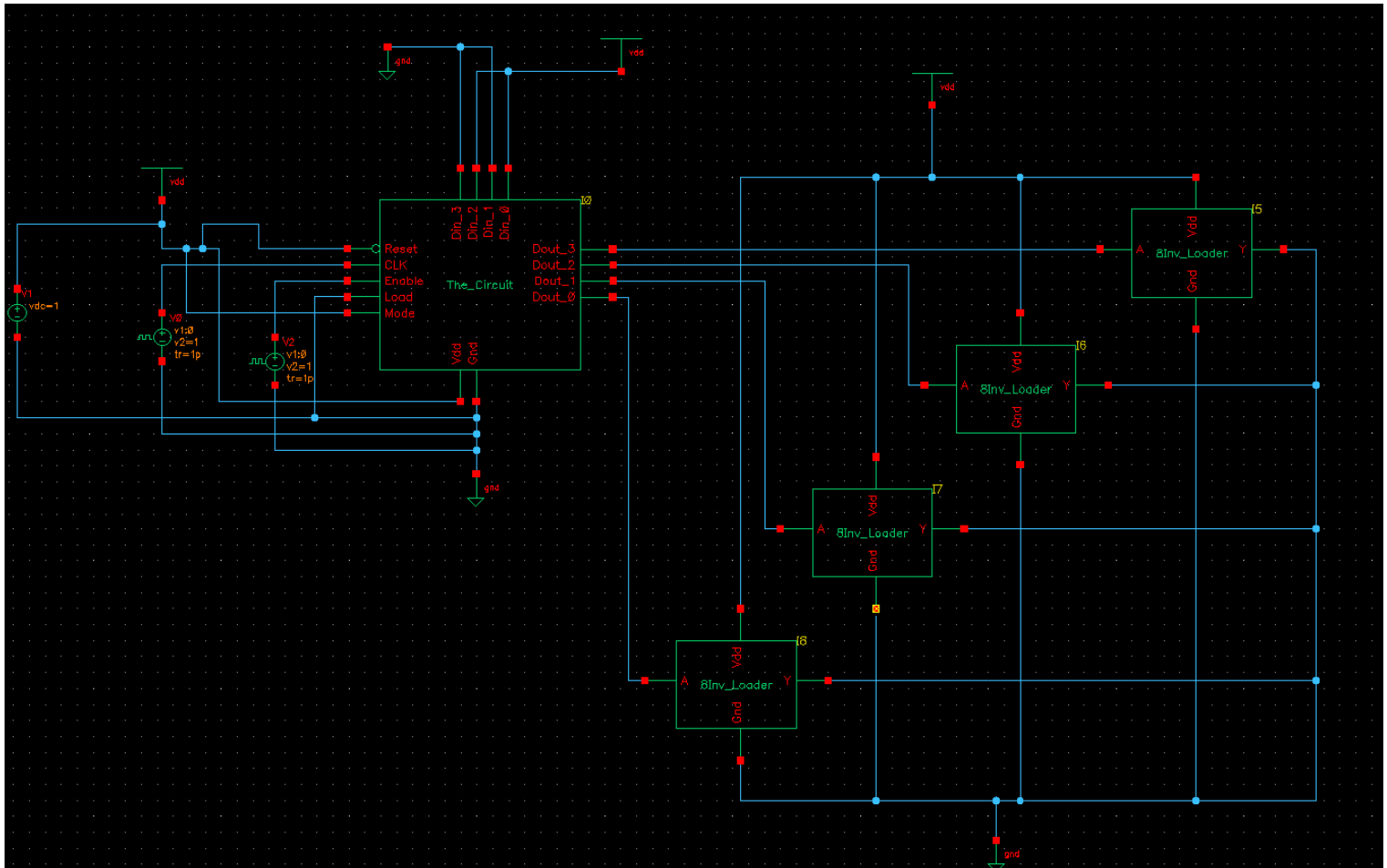
D  
1



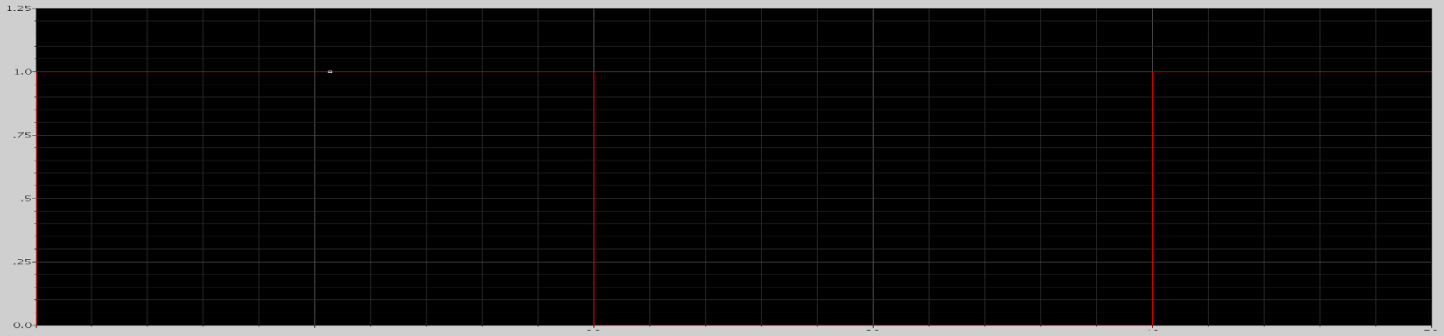
D  
0



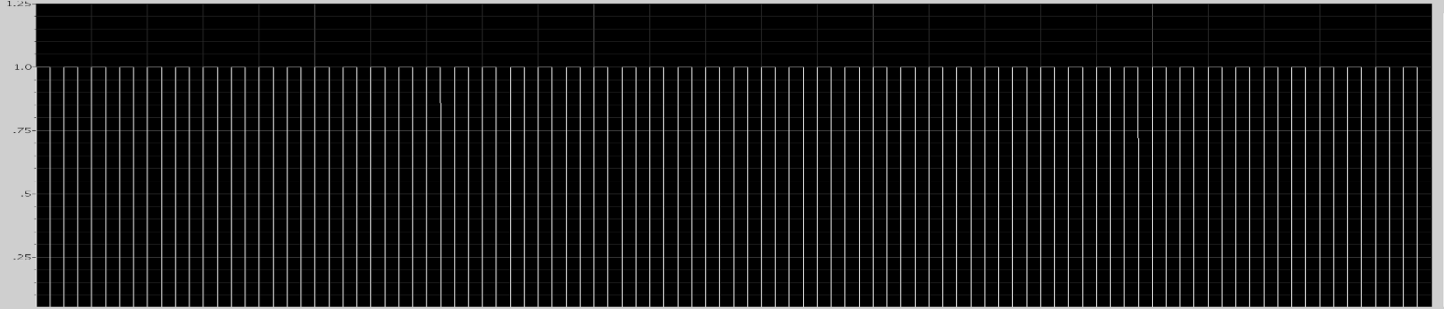
## Επίτρεψη μέτρησης (Enable)



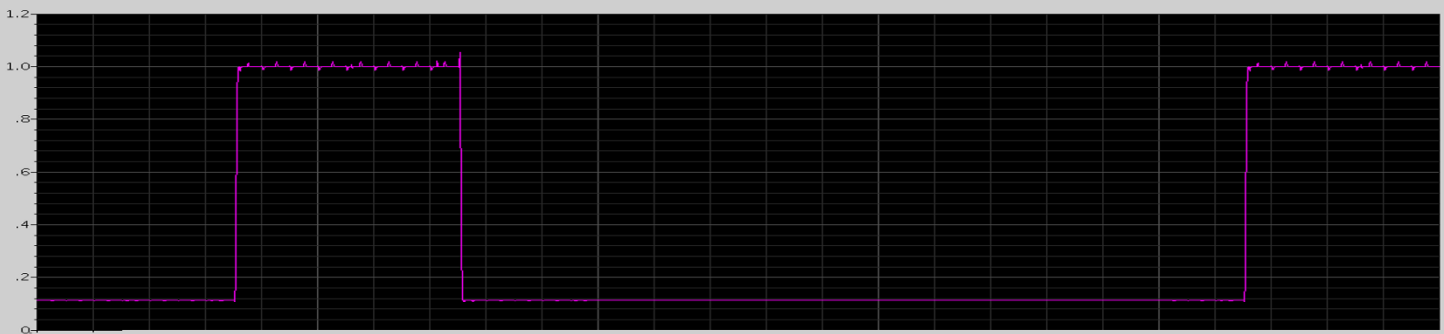
E  
N  
A  
B  
L  
E



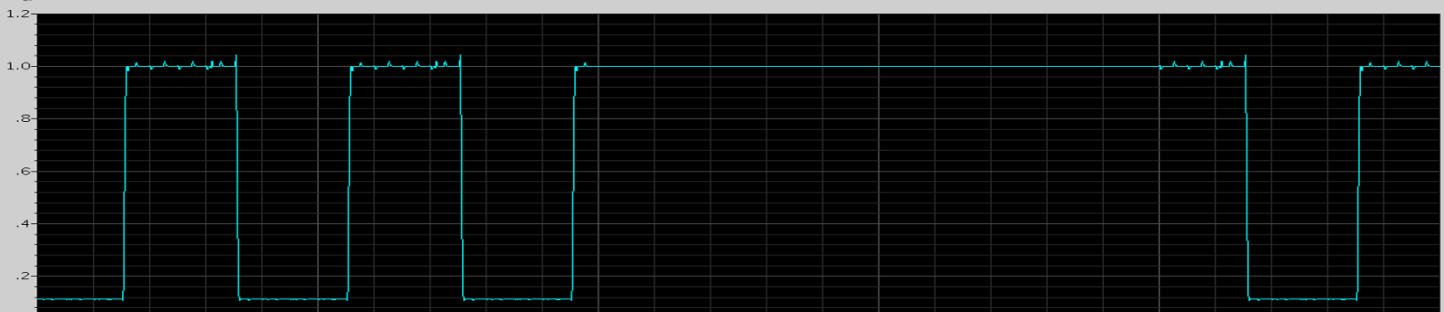
C  
L  
O  
C  
K



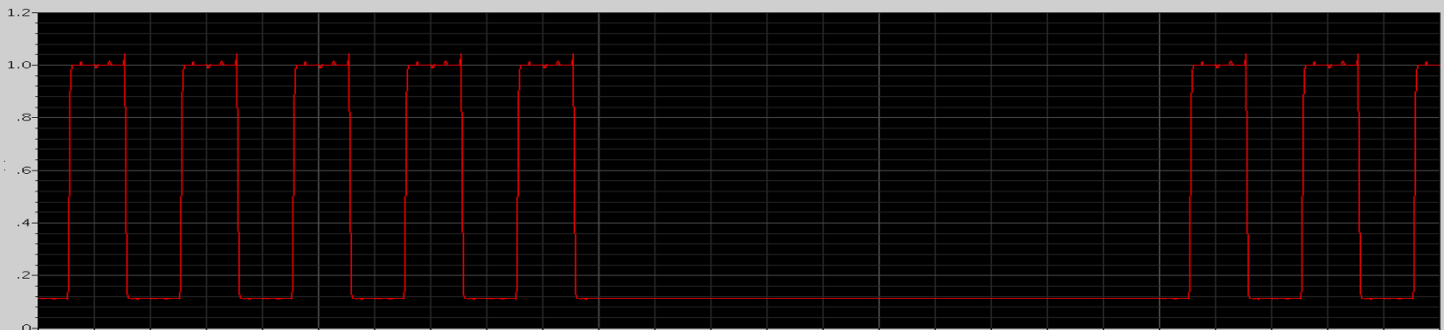
D  
3



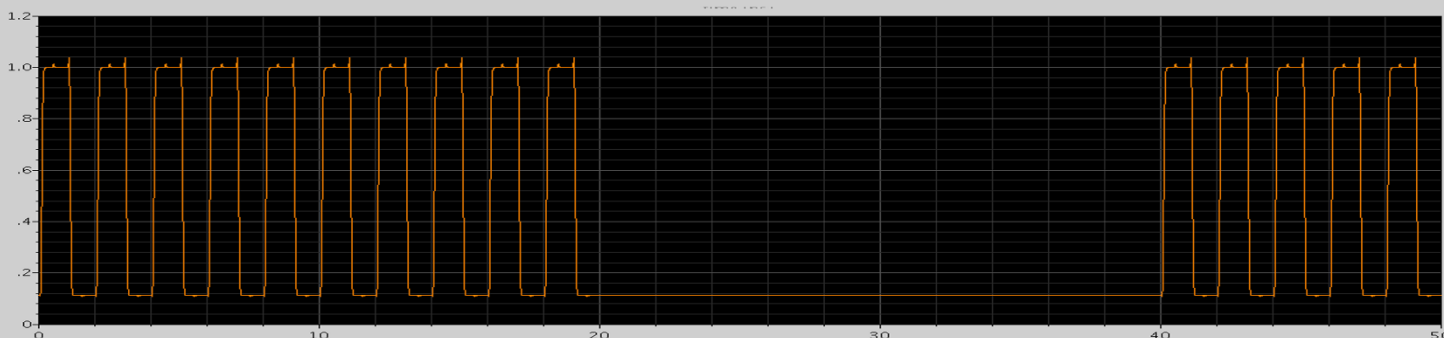
D  
2



D  
1



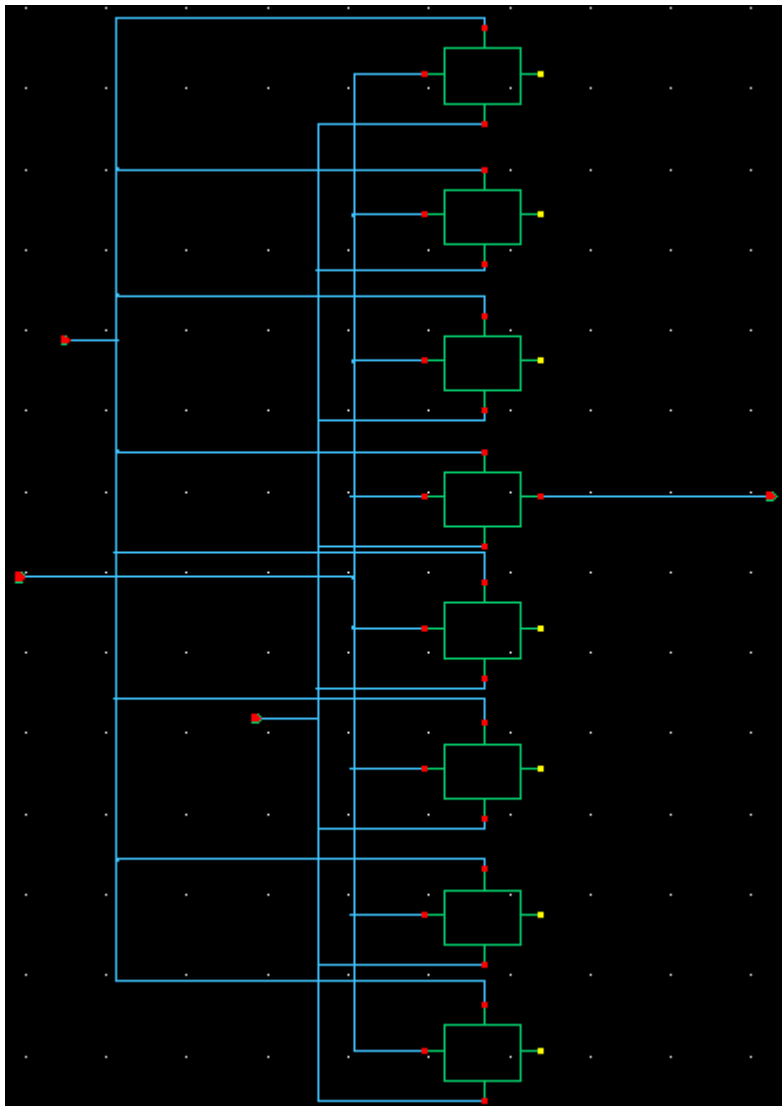
D  
0



### Σημειώσεις:

Στα παραπάνω simulations η συχνότητα του clock είναι 1Ghz. Επομένως, το κύκλωμά μας λειτουργεί ορθά στην παραπάνω συχνότητα, πράγμα που αποτελούσε και ζητούμενο της άσκησης. Αξίζει να σημειωθεί πως συνολικά για το κύκλωμα χρειάστηκαν 318 transistors.

Επιπλέον, για τις ανάγκες των simulations αντί για πυκνωτές στις εξόδους του κυκλώματος χρησιμοποιούμε μια διάταξη που αποτελείται από 8 inverters παράλληλα προκειμένου να εξομοιώσουμε μια χωρητικότητα που θα συναντούσαμε στον πραγματικό κόσμο. Η προαναφερθήσα διάταξη φαίνεται παρακάτω:



Τέλος, τα schematics, symbols και simulations βρίσκονται στο server του εργαστηρίου στο path: /users/papanasta/vlsi\_lab/MyDesignLib.