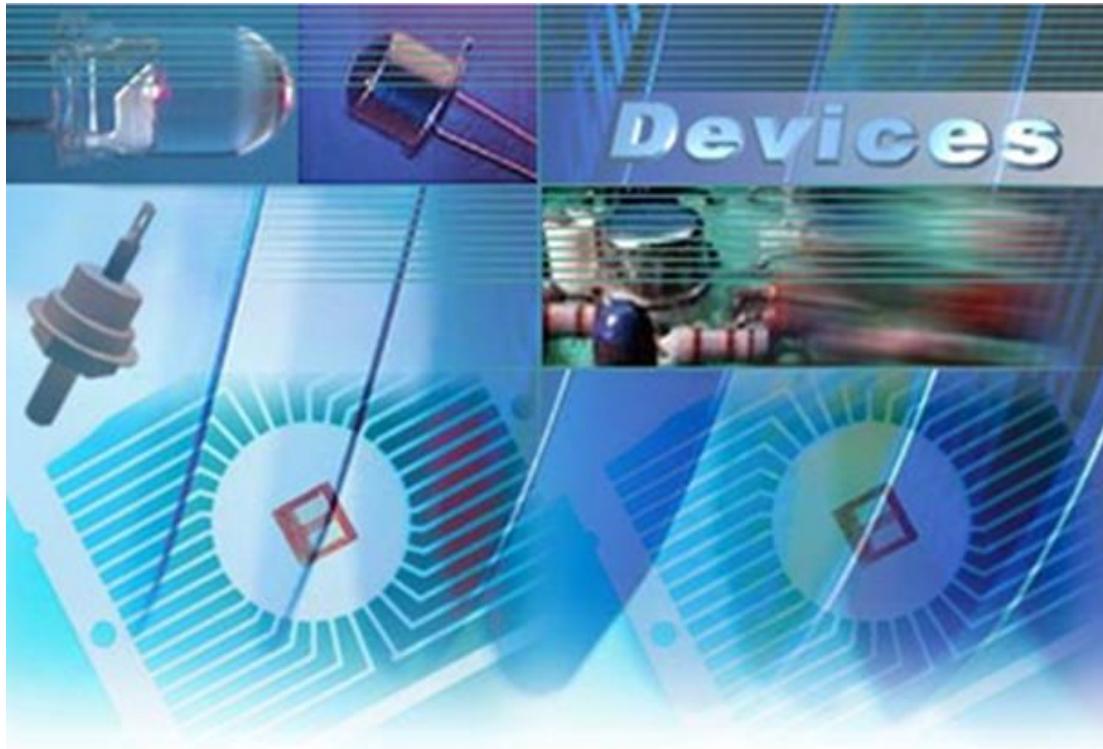




# Интегрални схеми



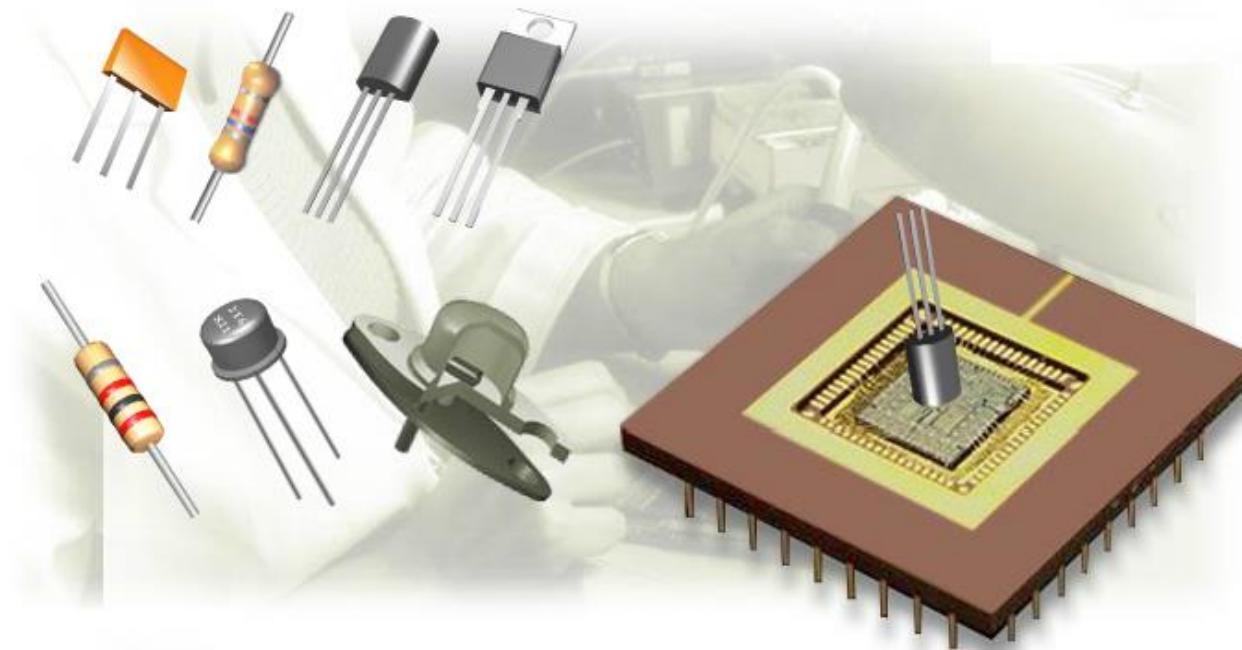
Полупроводникови  
елементи

# Въведение

Интегралните схеми (ИС) са микроелектронни елементи. Те се характеризират с миниатюрни размери и тегло, малки изисквания за мощност и ниска цена, като в същото време имат повишена надеждност и значителна сложност. Технологията за производството им позволява изграждането на цяла система в единствена интегрална схема (чип), която съдържа десетки милиони транзистори.



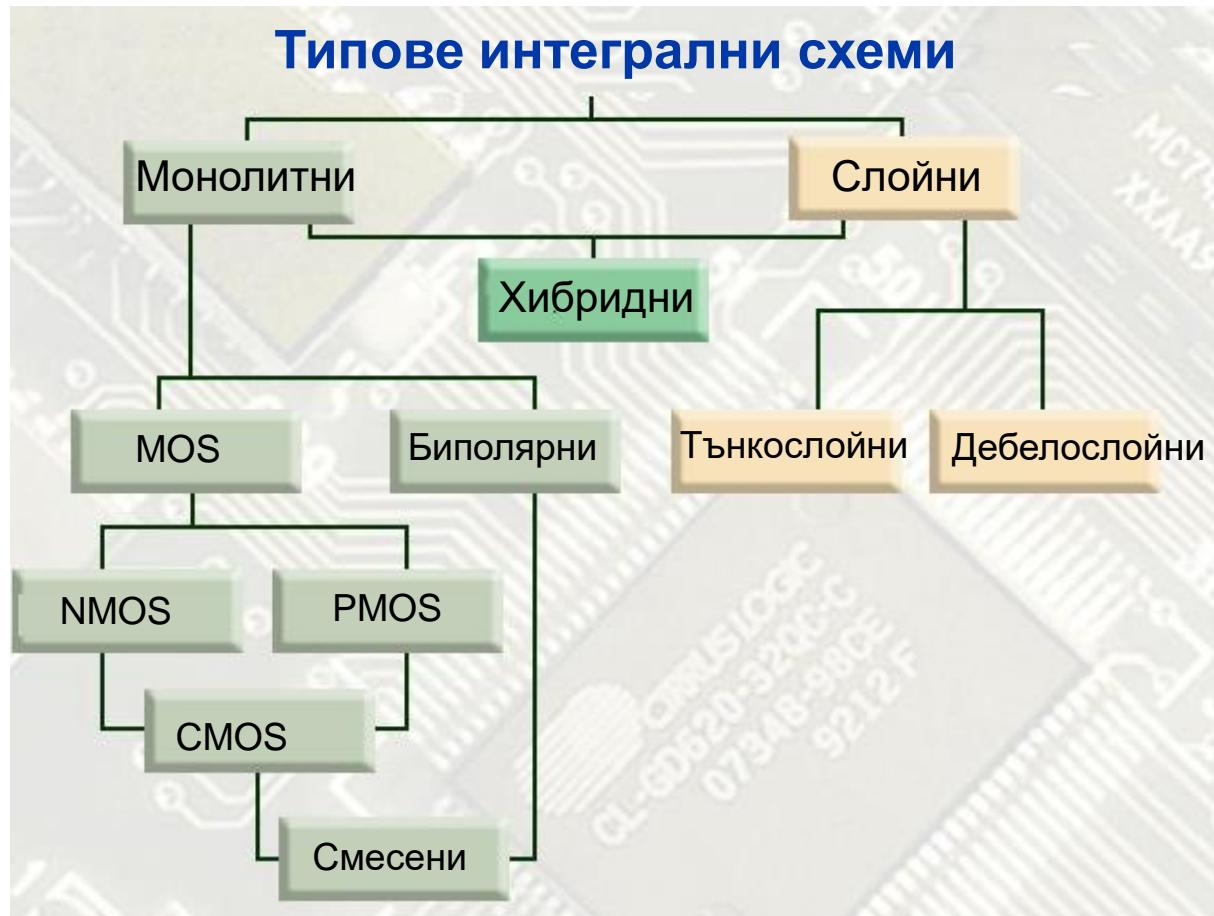
# Какво е интегрална схема?



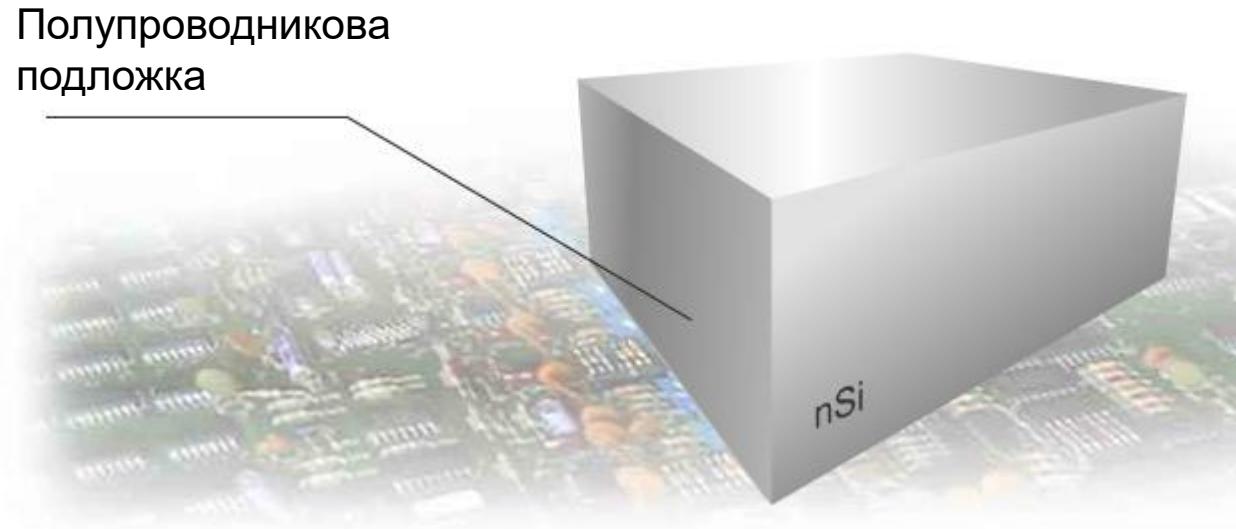
Интегралната схема (наричана още чип или микрочип) се дефинира, като комбинация от неразривно свързани елементи, изготвени върху или в обща подложка. Множество транзистори, диоди, резистори и кондензатори са произведени като едно цяло и са затворени в общ корпус. Цялата схема се разглежда като един неделим компонент.

# Класификация на ИС

Според технологията за производството им, се различават следните:

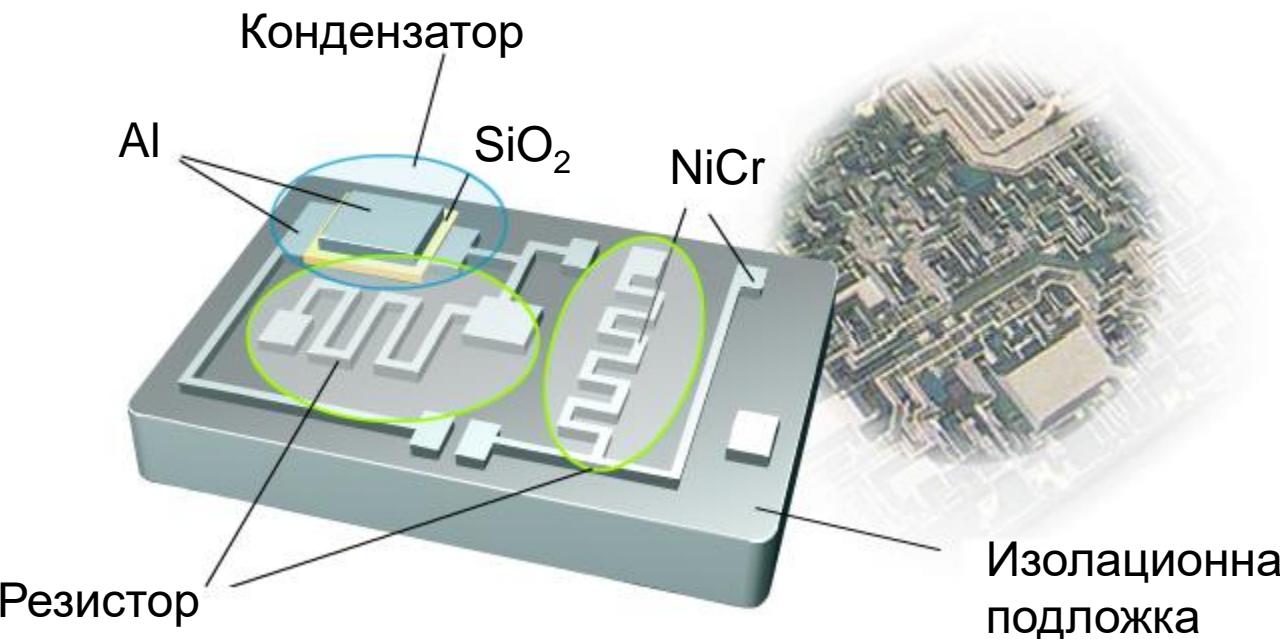


# Монолитни интегрални схеми



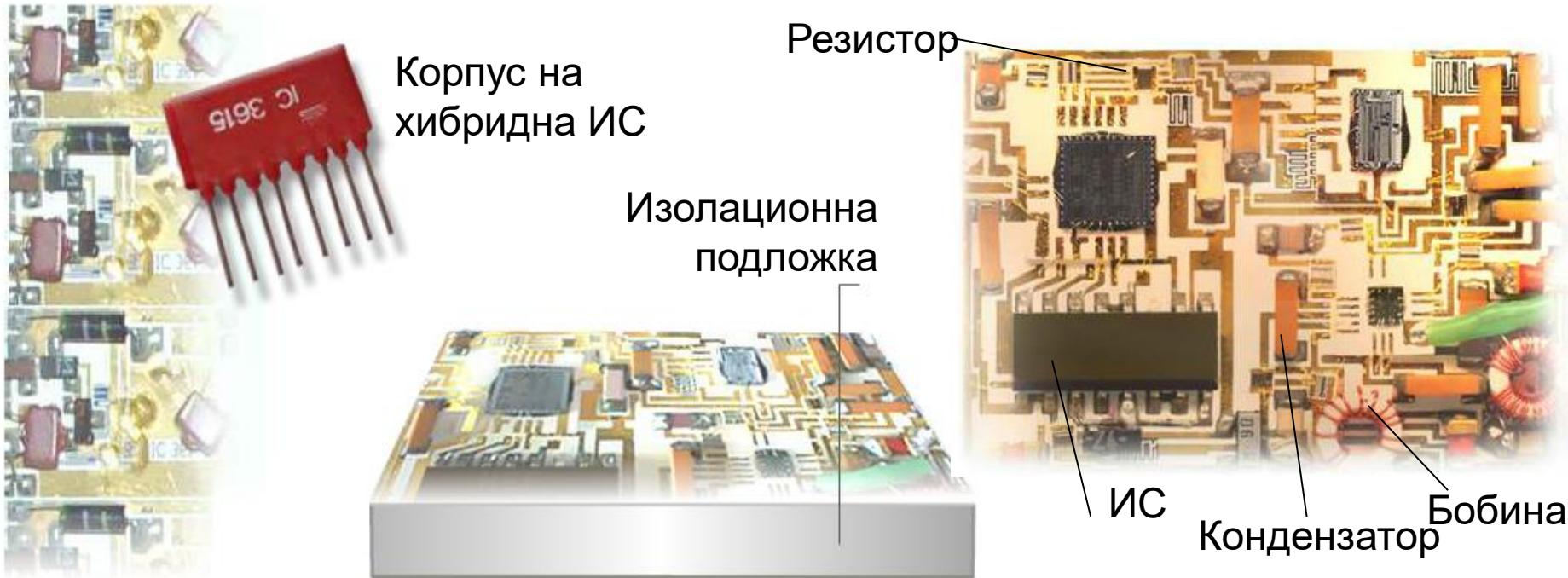
При **монолитните** интегрални схеми всички елементи се изготвят **в обема** на обща **полупроводникова** подложка. Те могат да бъдат биполярни или MOS ИС според наличните в тях транзистори. Съществуват и смесени монолитни ИС, които съдържат и двета типа транзистори.

# Слойни интегрални схеми



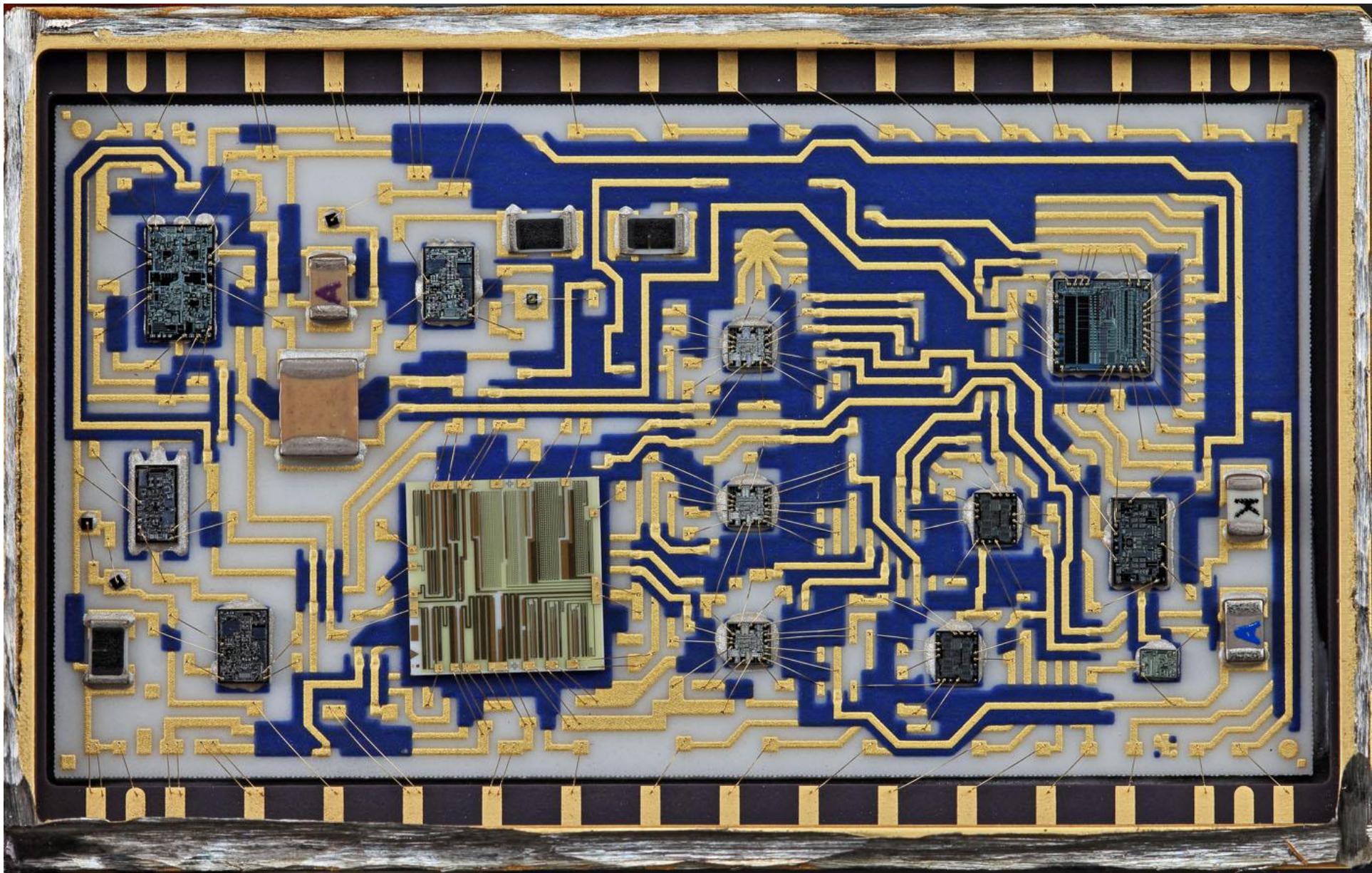
**Слойните** ИС се изграждат от проводящ или непроводящ материал, който се нанася **върху изолационна** подложка. Според дебелината на слоя се делят на тънкослойни и дебелослойни ИС. Използват се за изготвяне **само** на пасивни елементи – резистори и кондензатори.

# Хибридни интегрални схеми



**Хибридните ИС** обединяват слойни пасивни елементи с интегрални схеми и други дискретни компоненти, монтирани върху изолационната подложка.

AD1139 – 18bit DAC



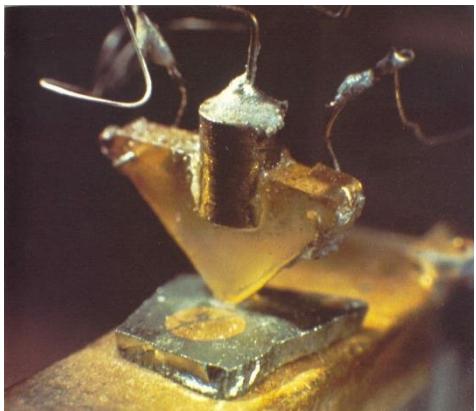
# Линейни и цифрови ИС



Според предназначението си интегралните схеми се класифицират като **цифрови** и **линейни**. Линейните ИС се използват в аналоговите схеми – аудио усилватели, регулатори на напрежение, операционни усилватели и др. При тях сигналът е непрекъснат във времето.

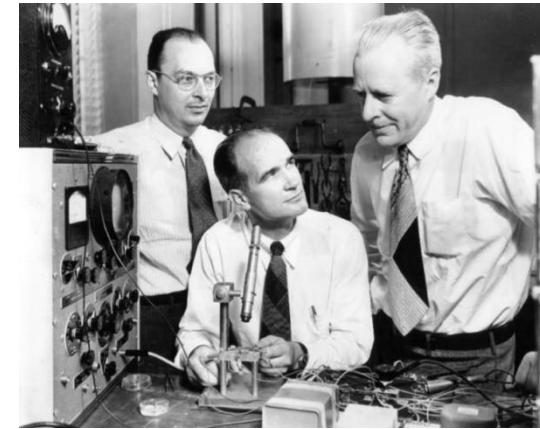
При **цифровите схеми** ИС сигналите имат две нива. Те се използват в компютрите, компютърните мрежи, калкулатори, цифрови часовници и други.

# История на развитието на ИС

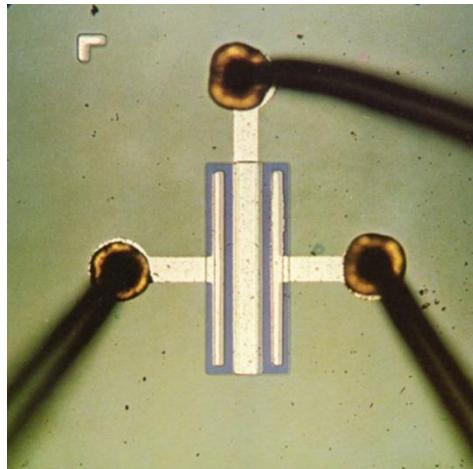


Първи Ge транзистор  
с точков контакт

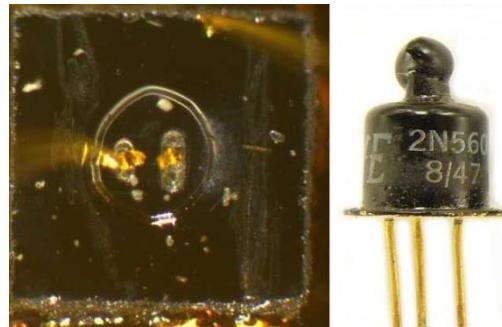
Bell Labs, 1947



John Bardeen, Walter  
Brattain, William Shockley,  
Нобелова награда за  
физика 1956

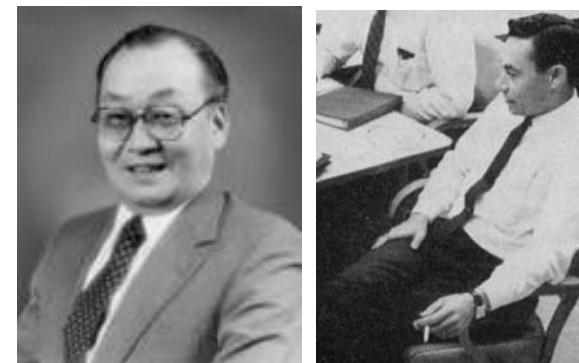


Първи Si транзистор,  
Texas Instruments, 1954



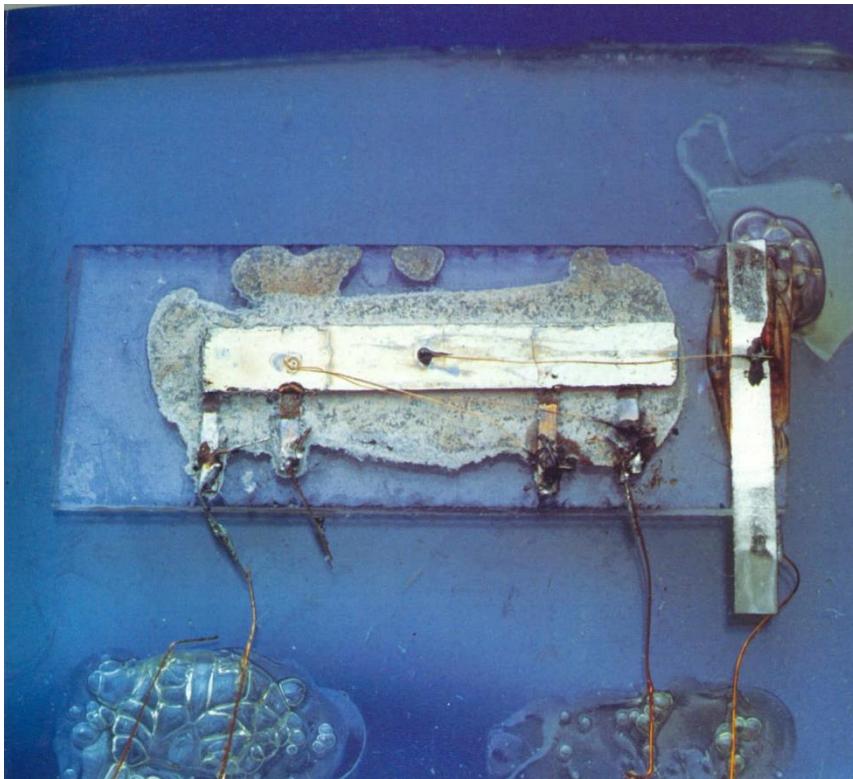
Gordon Teal

Първи MOS транзистор  
Bell Labs, 1959



Dawon Kahng, Mohamed M. Atalla

# Революция в микроелектрониката



Първа хибридна Ge ИС, 1958

1 транзистор and 4 други елемента  
върху 1 чип

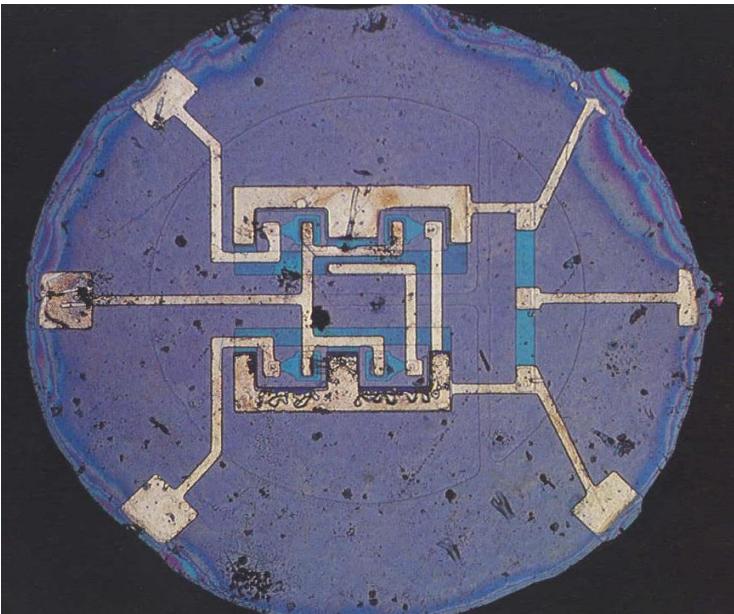
Jack Kilby  
Winner of  
the 2000 Nobel Prize



Texas Instruments, 1958

# Планарен процес – 1959

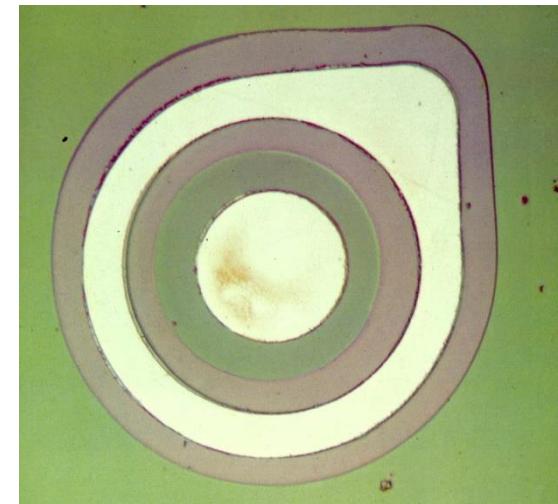
По-ефективен метод за производство на транзистори,  
Fairchild Electronics – Jean Hoerni and Robert Noyce,



Първа комерсиална  
**МОНОЛИТНА Si ИС** с  
планарен процес

Fairchild, 1959

One Binary Digital (Bit) Memory Device on a Chip,  
4 Transistors and 5 Resistors

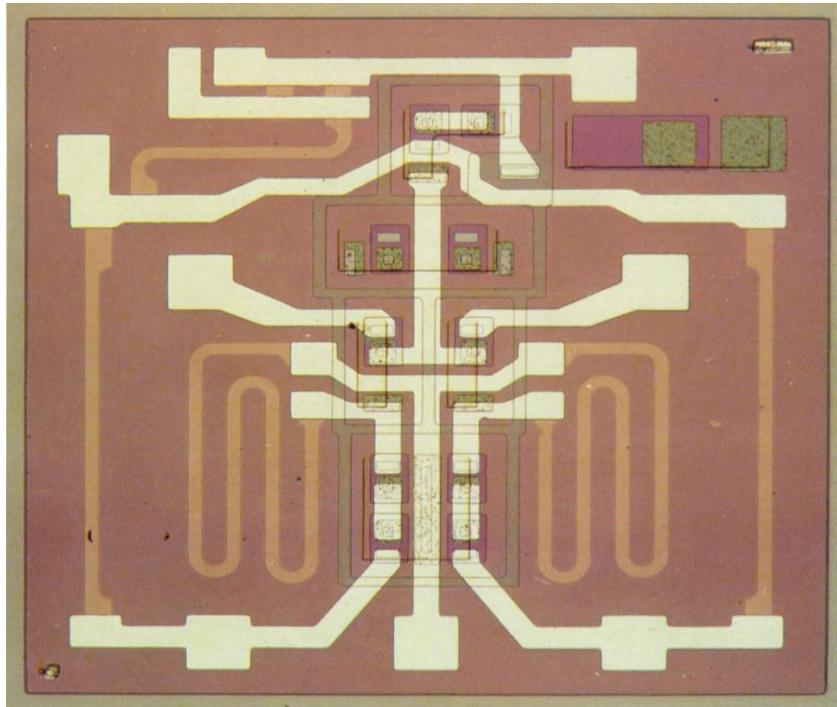


Robert Noyce

Получава първи патент за ИС,  
April 25, 1961

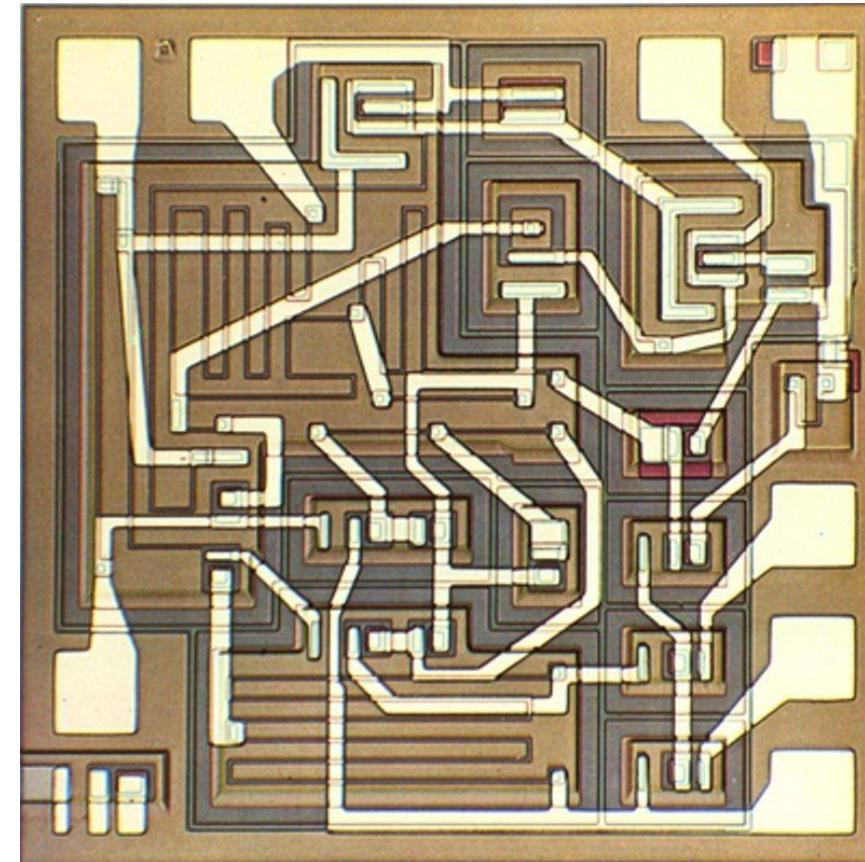
# Първата линейна ИС

$\mu\text{A}$  702 OPAMP, 1964



Операционен усилвател

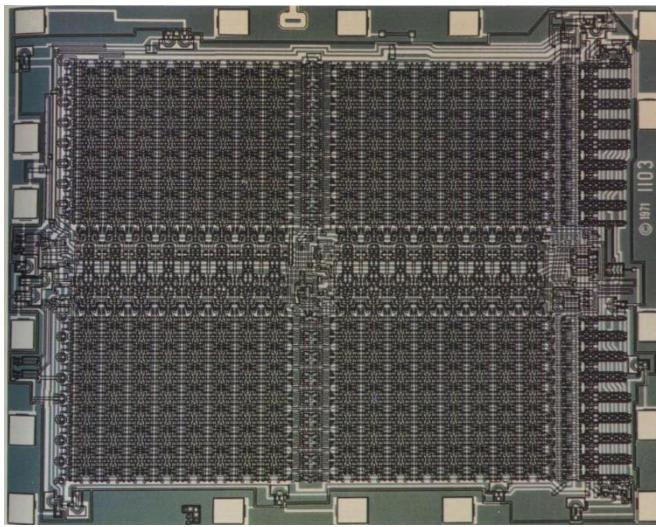
$\mu\text{A}$  709 OPAMP, 1965



Роберт Видлар, Fairchild

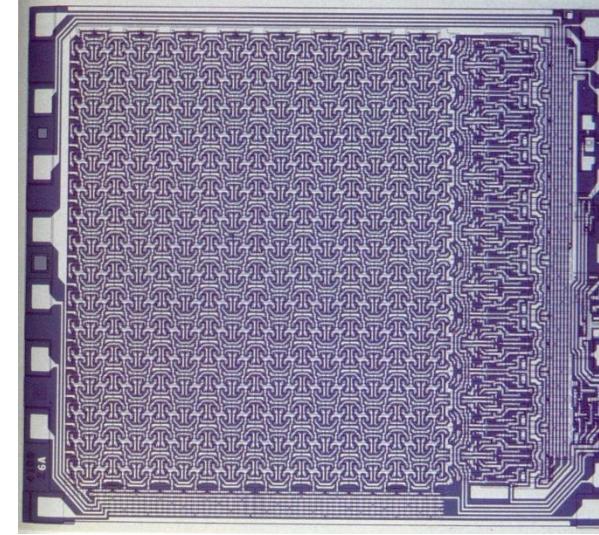
# Първи полупроводникови памети

Intel Corporation DRAM, 1970



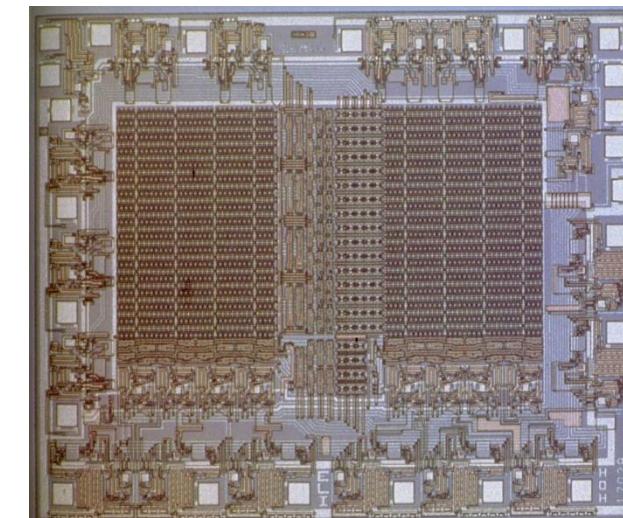
First 1,024 Bit Memory Chip – 1970

Fairchild 4100 SRAM, 1970



First 256-Bit Static RAM – 1970

Intel 1702, EPROM, 1971

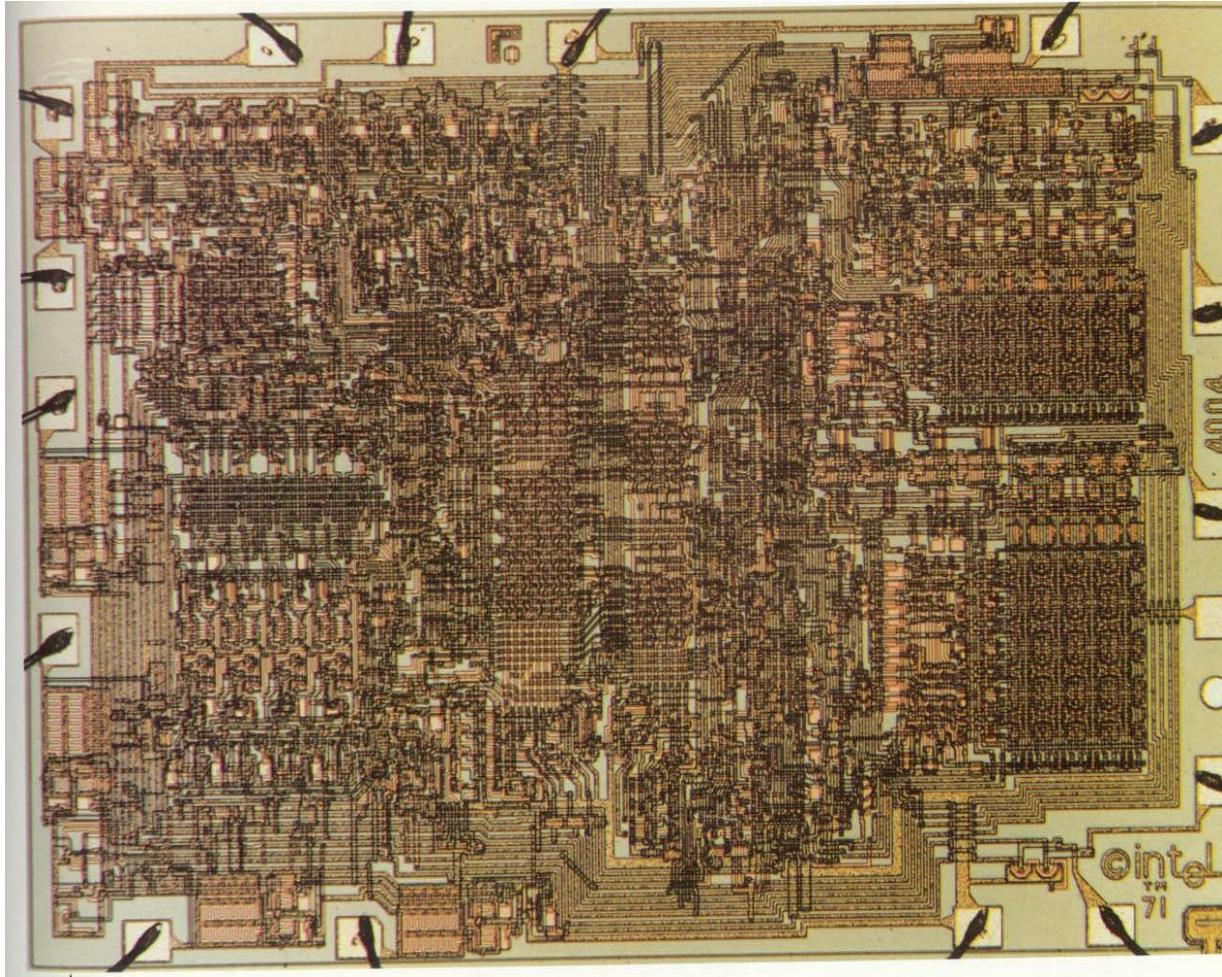


First EPROM  
Memory chip

# Раждането на микропроцесора – 1971

Първият компютър върху 1 чип – 2300 транзистора, 1MHz, MOS технология

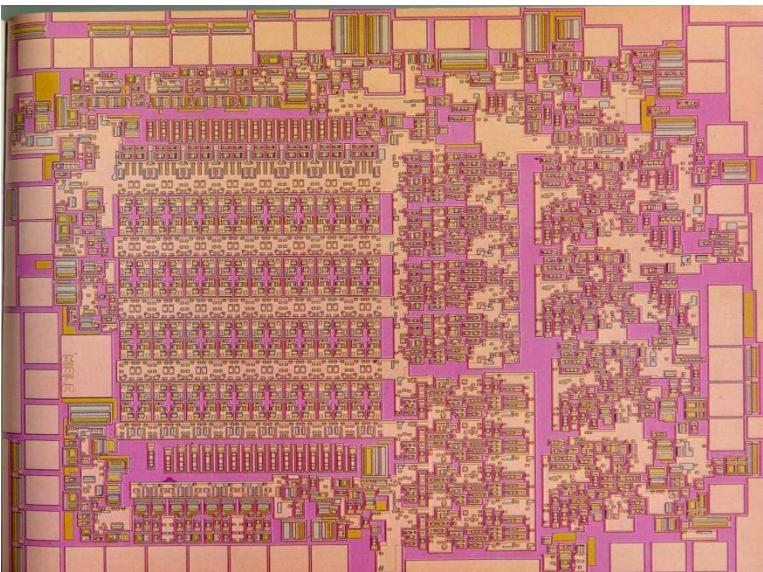
Intel 4004, 4-битов микропроцесор, 1971



Федерико Фадин

# Революция на миникомпютрите

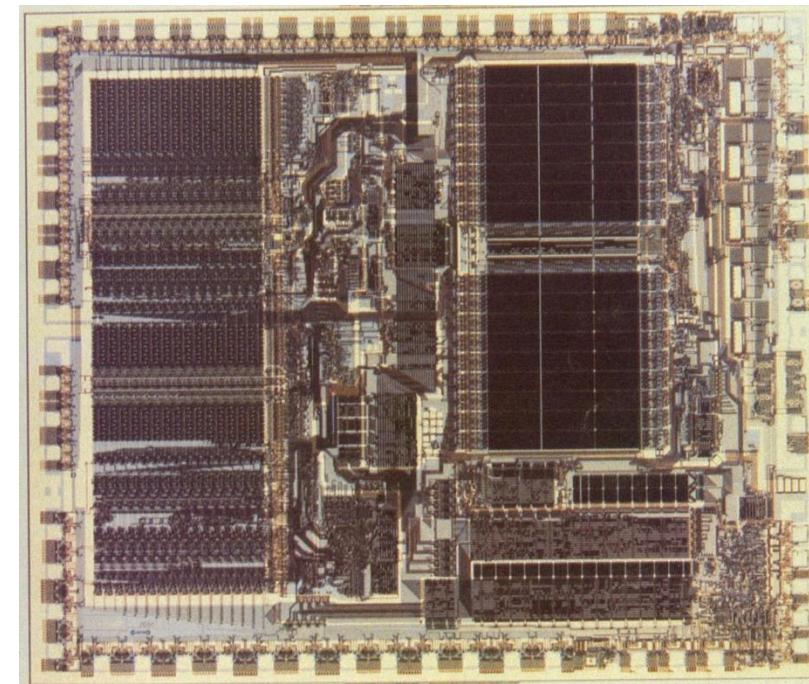
2901 Bit-Slice Microprocessor, 1975



Advanced Micro Devices, 1975

Начало на технологията със средна степен на интеграция, Medium Scale Integration (MSI)

Motorola 68000, 16-битов микропроцесор

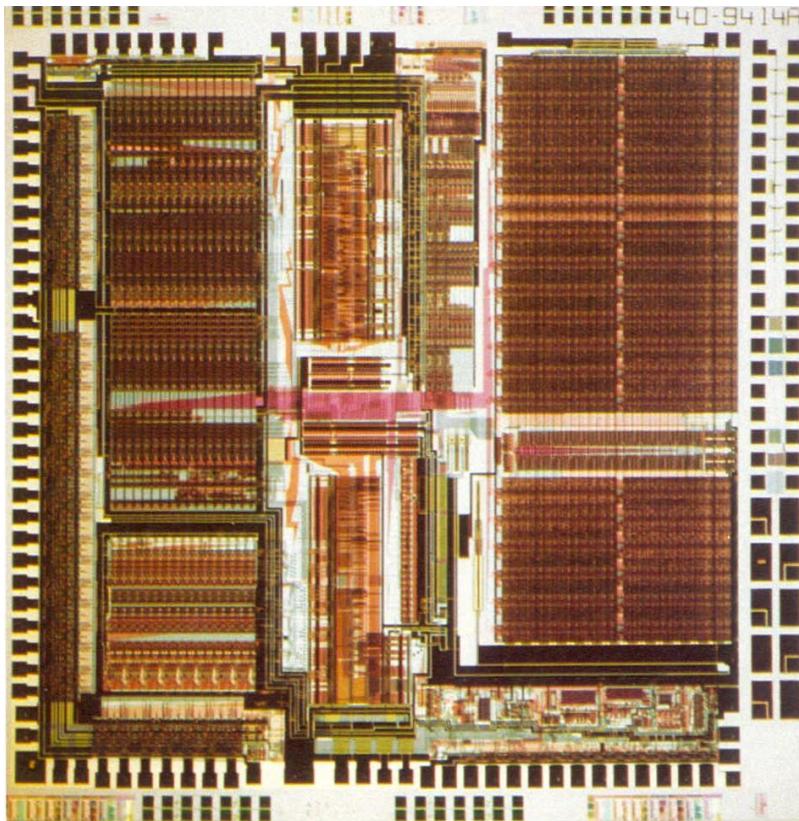


Motorola, 1979

Начало на технологията с голяма степен на интеграция, Large Scale Integration (LSI)

# Революция на миникомпютите

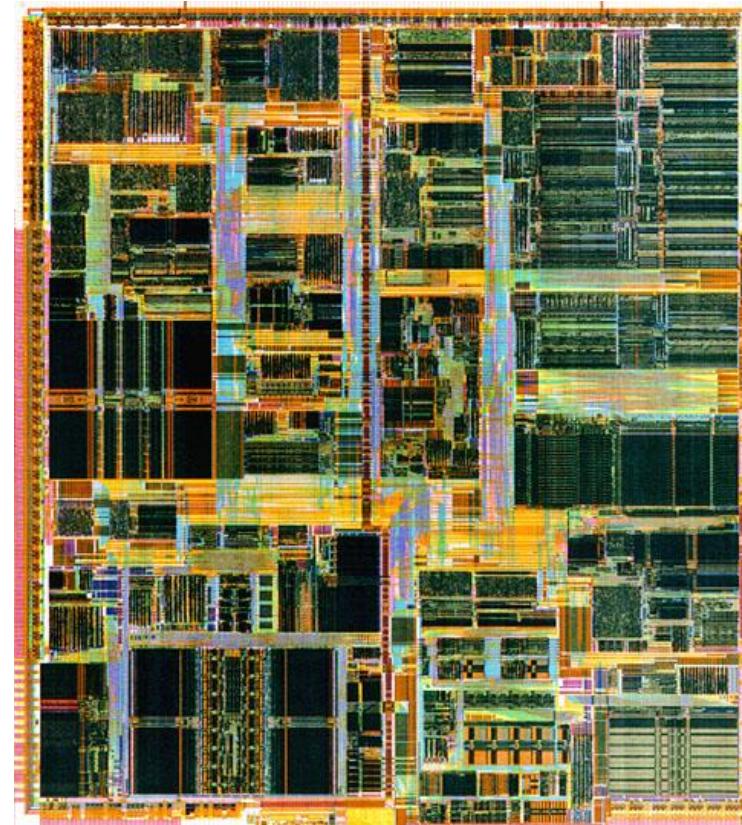
HP Focus Chip, 32-bit proc, 1981



Hewlett-Packard Co. 450,000 транзистора

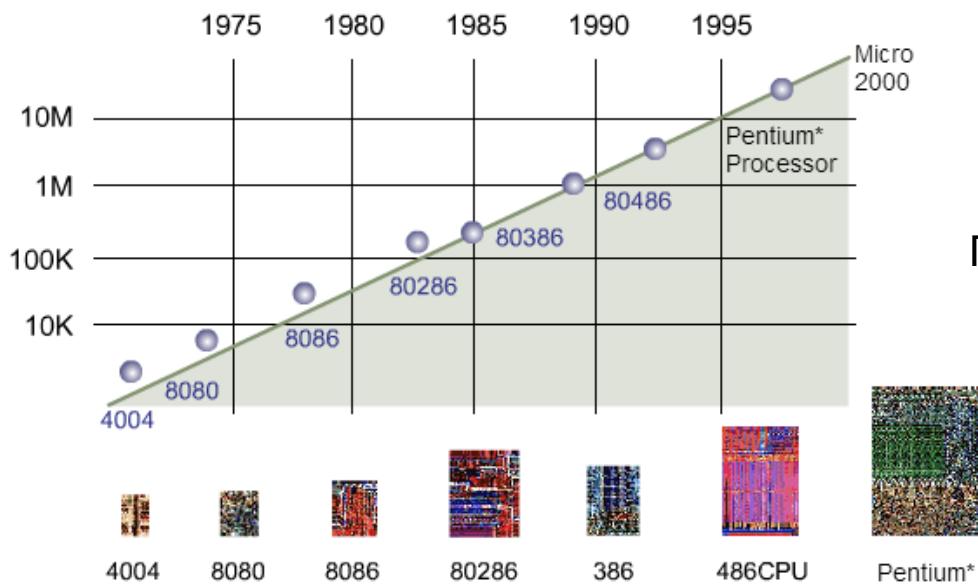
Начало на технологията с много голяма  
степен на интеграция, [Very Large Scale  
Integration \(VLSI\)](#)

Intel Pentium 4, 64-bit proc, 2000



Intel Corporation

# Закон на Мур



Гордън Мур, Intel

Съгласно **закона на Мур** броят на транзисторите в ИС се **удвояват за 2 години** приблизително (1.96). Този закон е илюстриран с еволюцията на микропроцесорите на фирмата Интел.

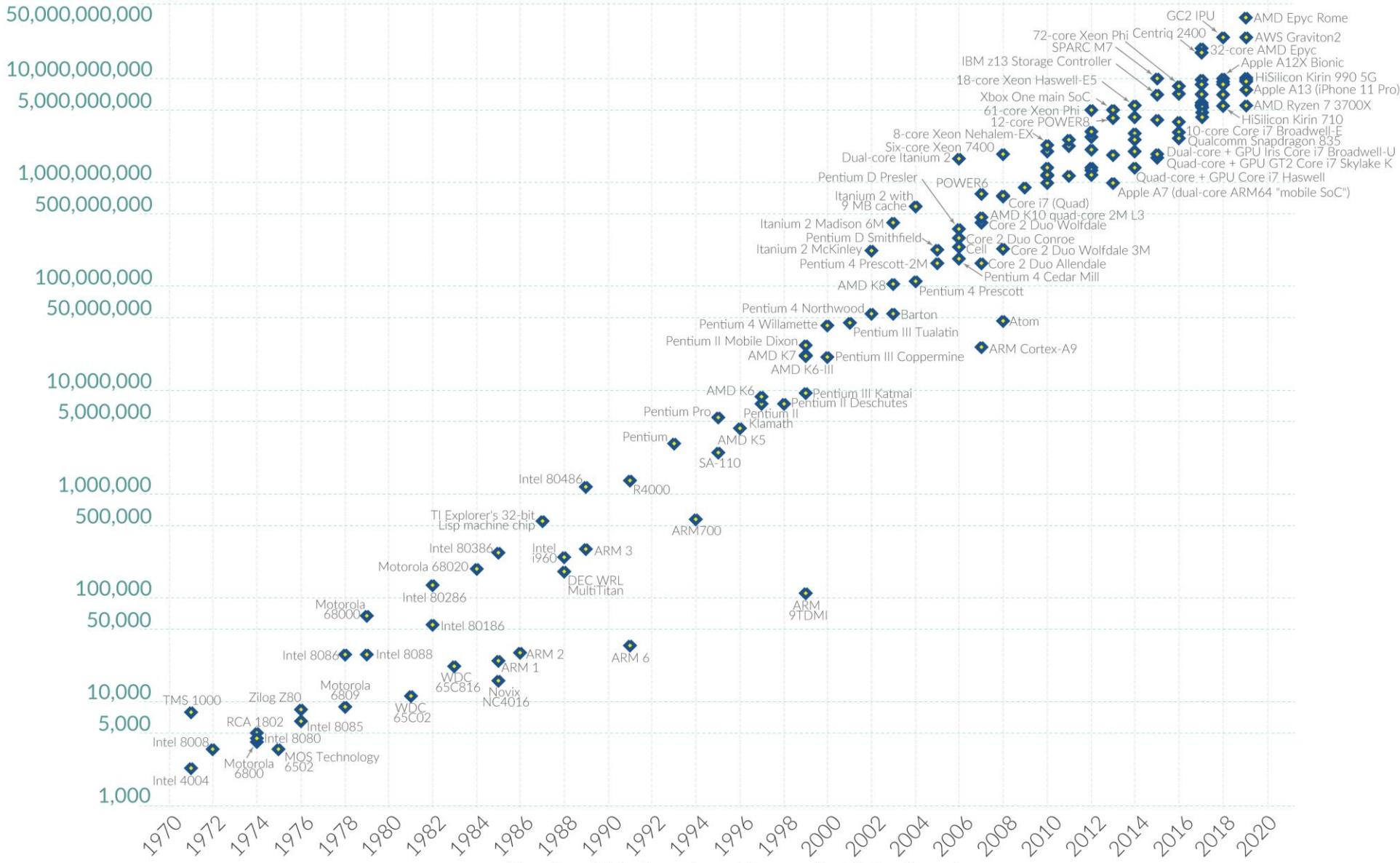
# Moore's Law: The number of transistors on microchips doubles every two years

Our World  
in Data

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years.

This advancement is important for other aspects of technological progress in computing – such as processing speed or the price of computers.

## Transistor count



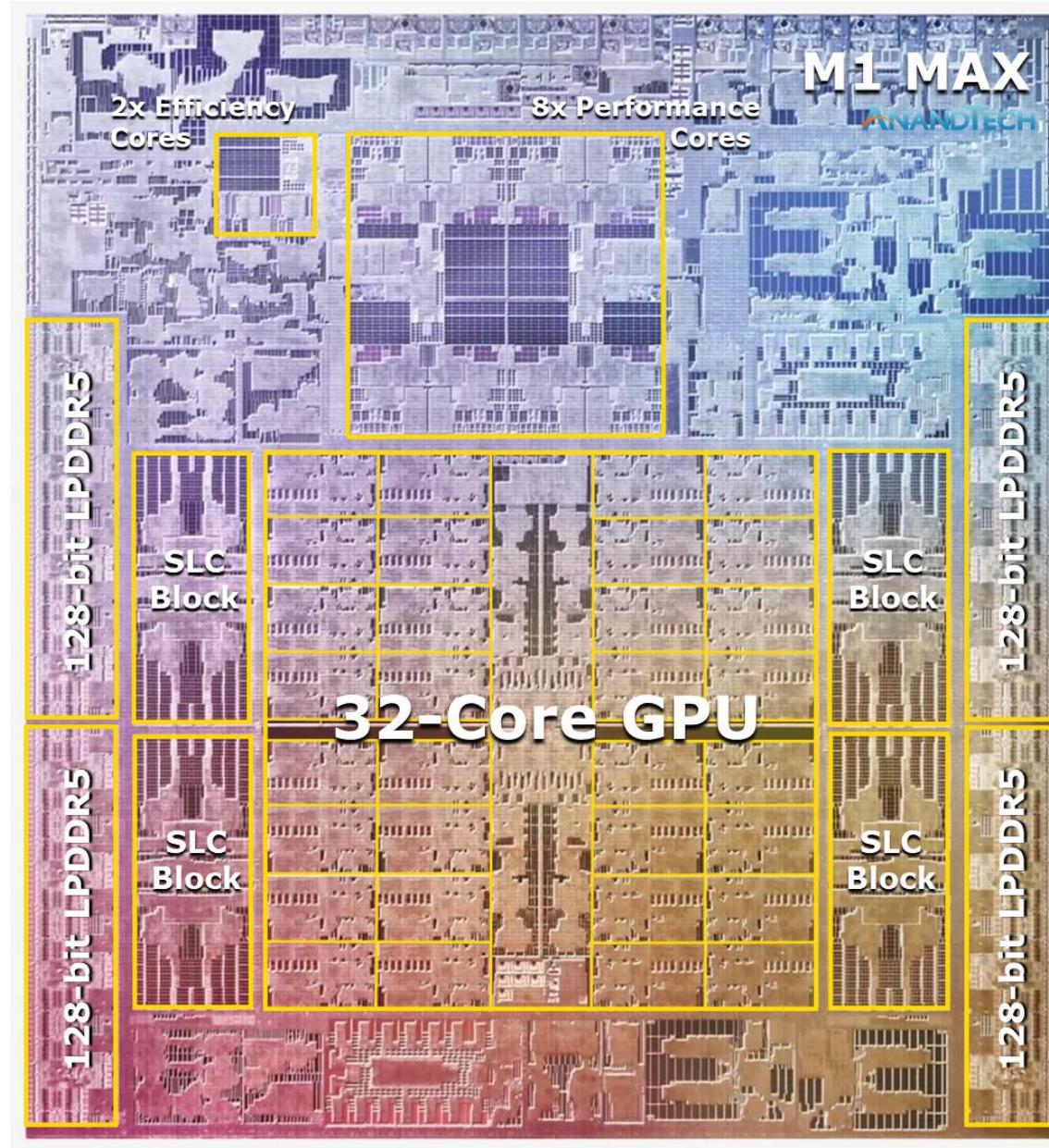
Data source: Wikipedia ([wikipedia.org/wiki/Transistor\\_count](https://en.wikipedia.org/wiki/Transistor_count))

Year in which the microchip was first introduced

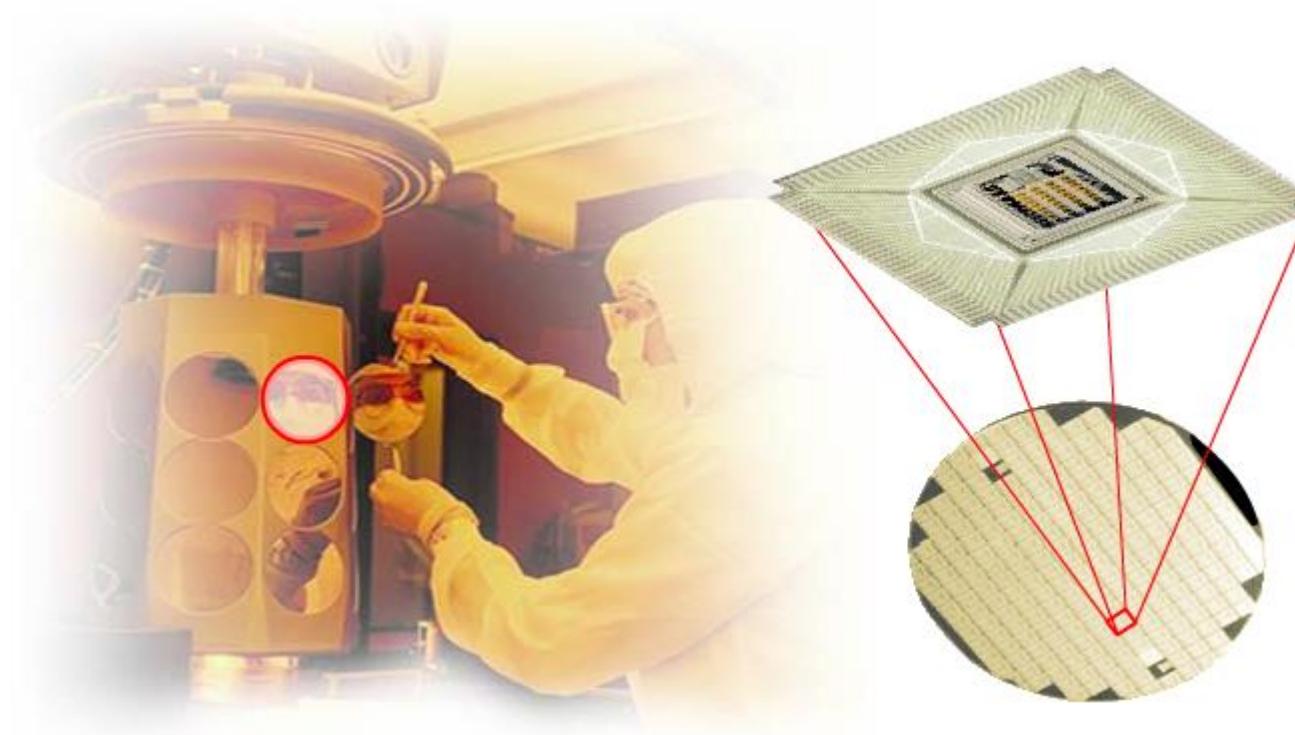
OurWorldInData.org – Research and data to make progress against the world's largest problems.

Licensed under CC-BY by the authors Hannah Ritchie and Max Roser.

# The M1 Max: A 32-Core GPU SoC at 57bn Transistors

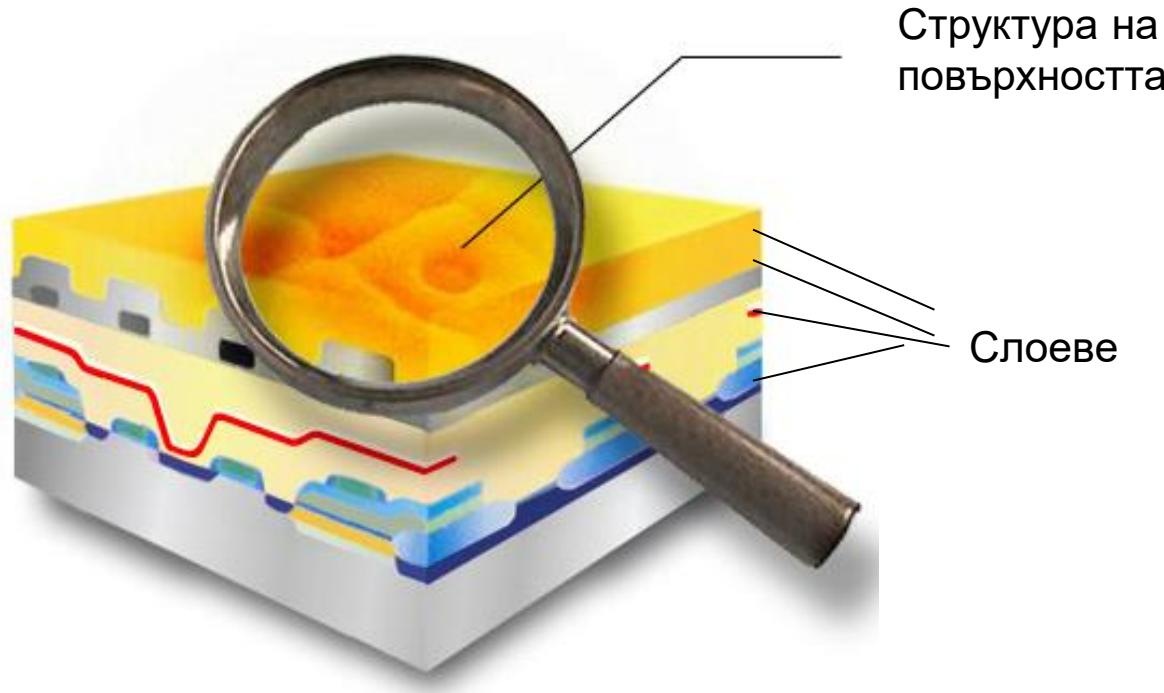


# Производство на ИС



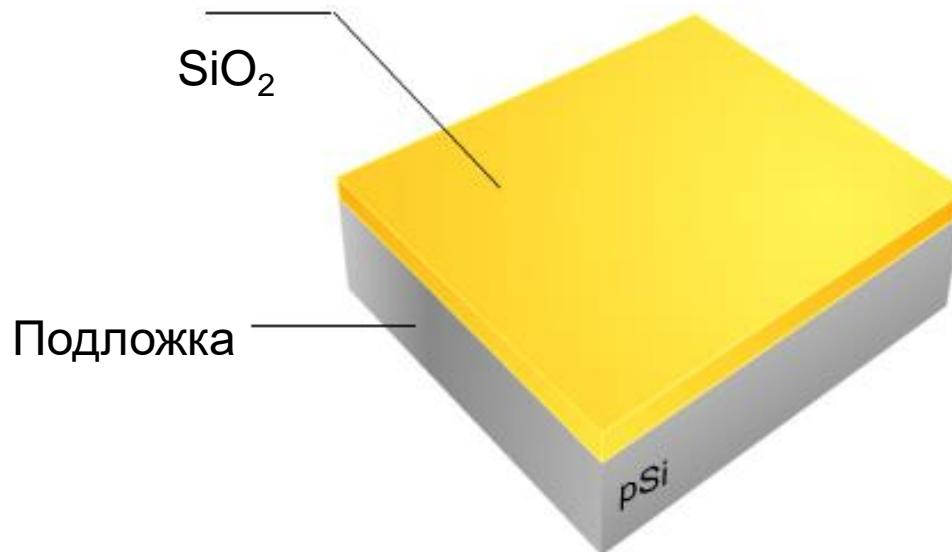
Монолитните ИС се изграждат на слоеве върху **силициева пластина** като в единен технологичен процес едновременно се произвеждат стотици ИС. Всички операции се извършват в „чисти стаи“, където се поддържа ниско ниво на прах и примеси, които биха повредили целия чип.

# Планарен процес



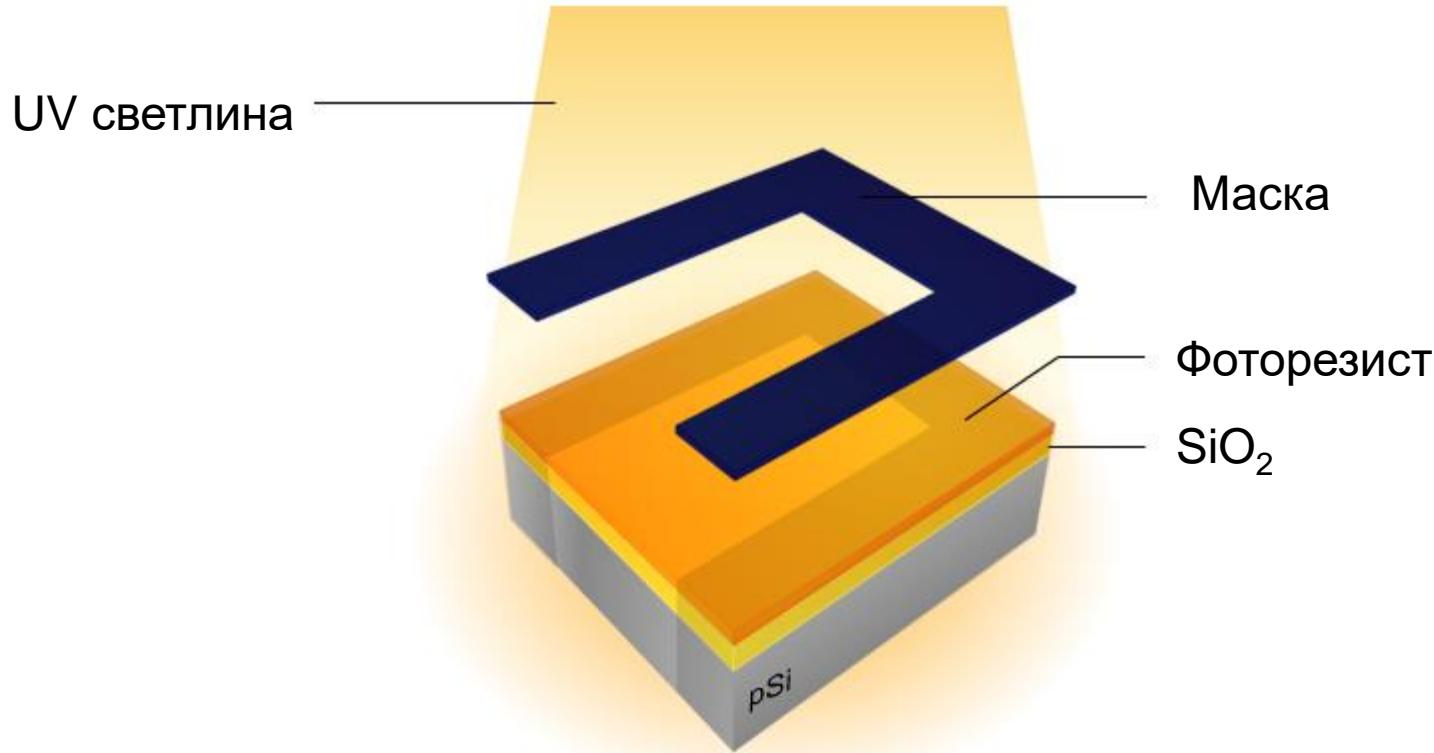
Структурата на ИС е сложна. Тя се състои от множество слоеве, които се създават последователно в определена плоскост при така наречения **планарен процес**. Планаарният процес ще се илюстрира с производството на един MOS транзистор, независимо че едновременно се произвеждат милиони транзистори.

# Окисление



Първоначално подложка от *p*-силиций се покрива със SiO<sub>2</sub> като се **окислява** при висока температура в среда от чист кислород. Полученият изолационен слой защитава повърхността при последващите операции.

# Фотолитография



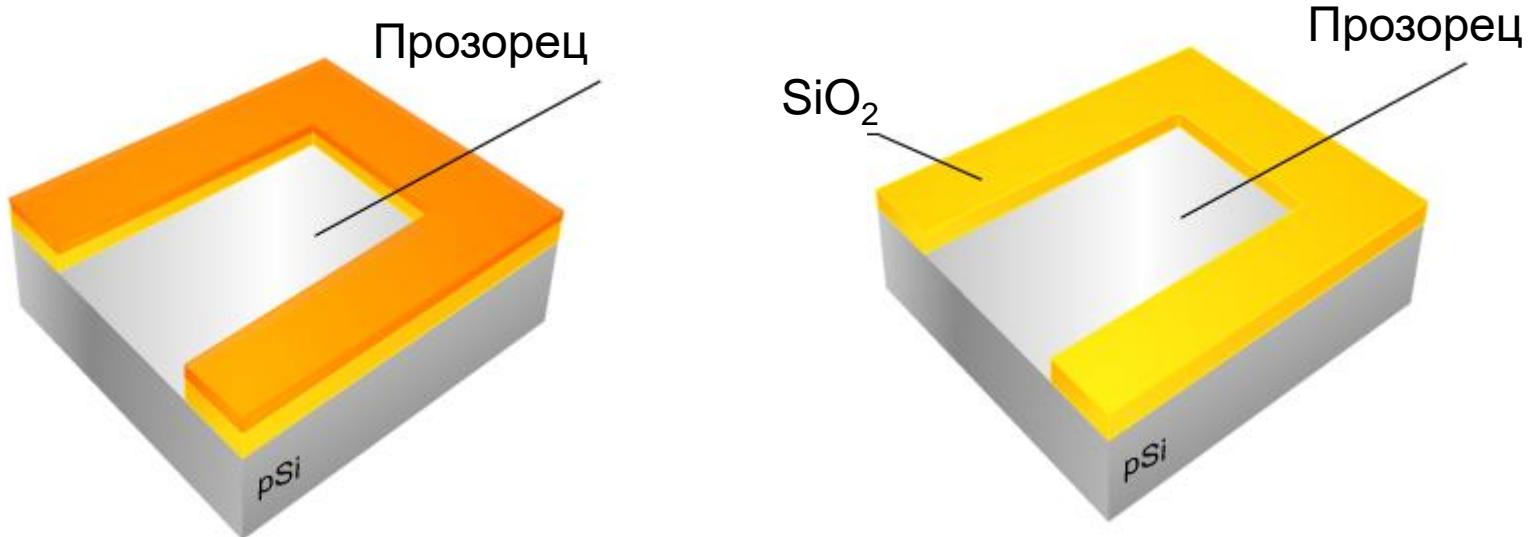
Изображения върху  $\text{SiO}_2$  се създават с операция, наречена **фотолитография**.

Върху пластината се нанася фоточувствителен слой – **фоторезист**.

За всяко изображение се използва съответна **маска**.

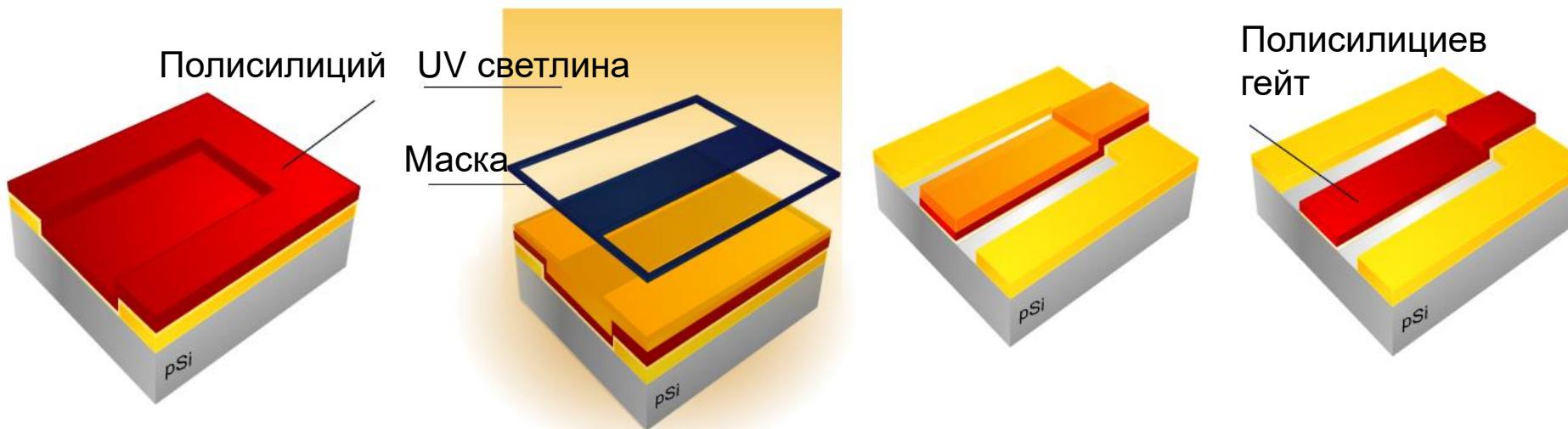
При облъчване с UV незаштитената област от фоторесиста се поляризира, което променя разтворимостта му.

# Ецване



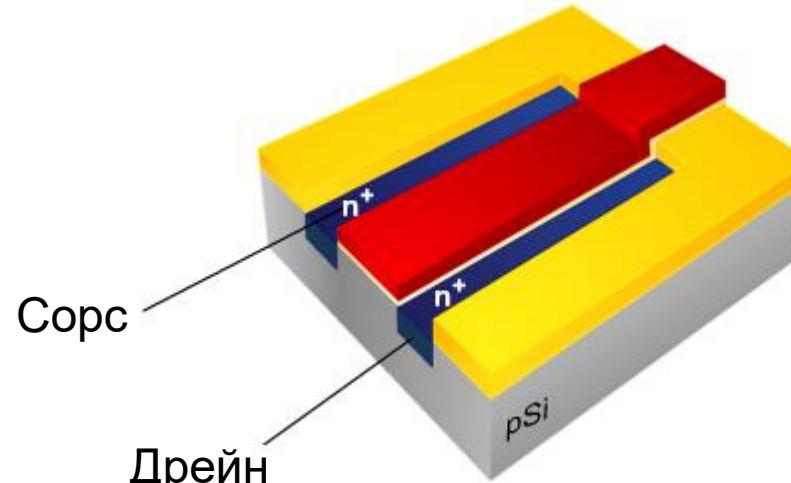
Експонирианият (разтворим) фоторезист се отстранява с флуороводородна киселина. Операцията се нарича **ецване**. При това се отваря прозорец към силициевата подложка с форма, определена от маската. Впоследствие се отстранява и останалият фоторезист.

# Формиране на гейта



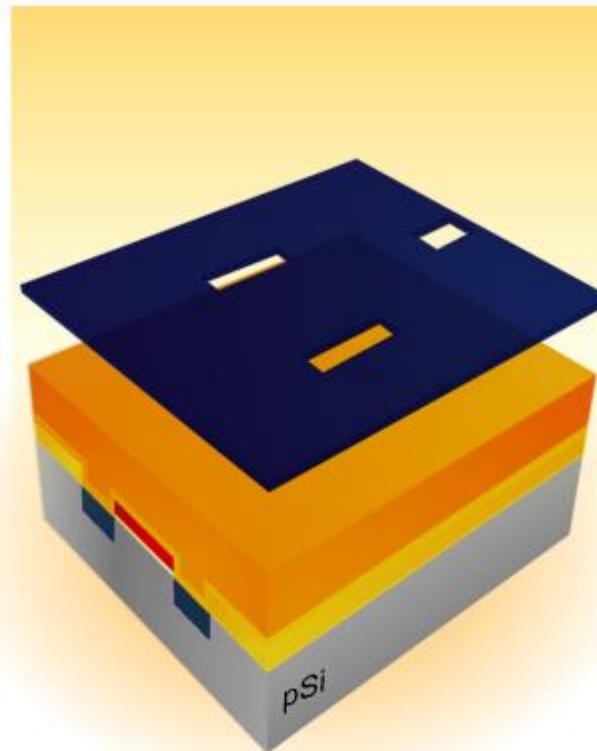
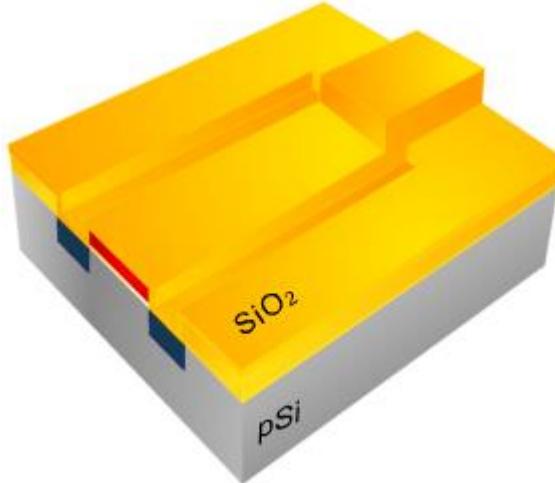
За формиране на следващ слой се използва последователност от същите операции – окисление, покриване на окислената повърхност с **полисилиций**, полагане на фоторезист, втора маска за формиране изображение, облъчване с UV светлина и езване. В резултат се създават два прозореца към силиция. Останалият полисилиций служи за гейт на транзистора.

# Легиране

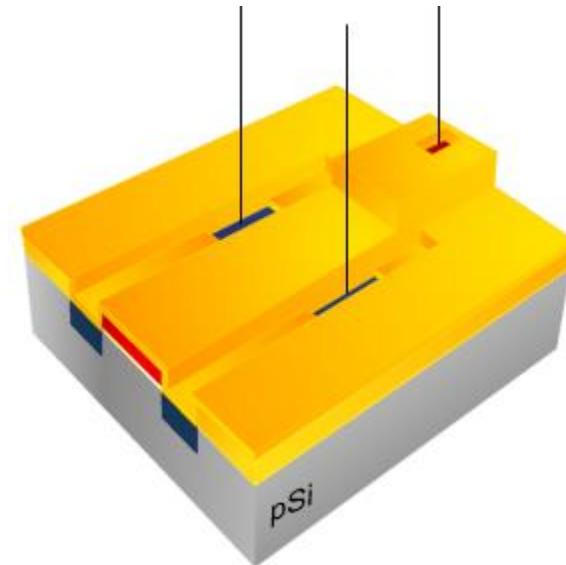


Въвеждане на примеси в отворените към силиция прозорци се извършва с операцията **легиране**. При нея в подложката се вкарват атоми на фосфор или бор за създаване съответно на области с N- или P-проводимост. Легиращите атоми се йонизират, ускоряват и бомбандират повърхността се имплантират в нея. Така се създават областите за дрейна и сорса

# Контакти

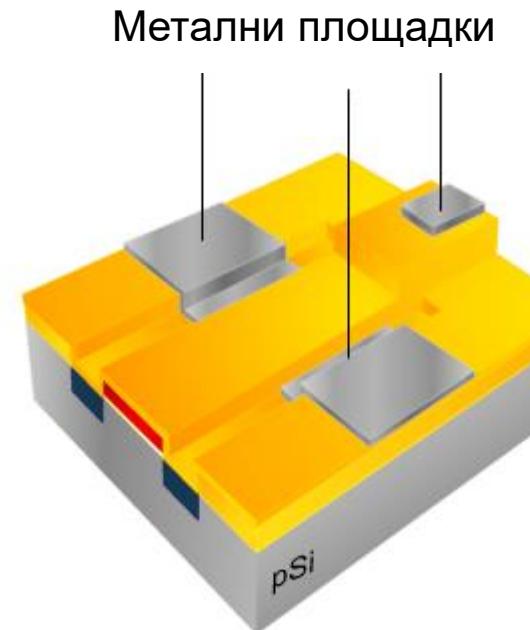
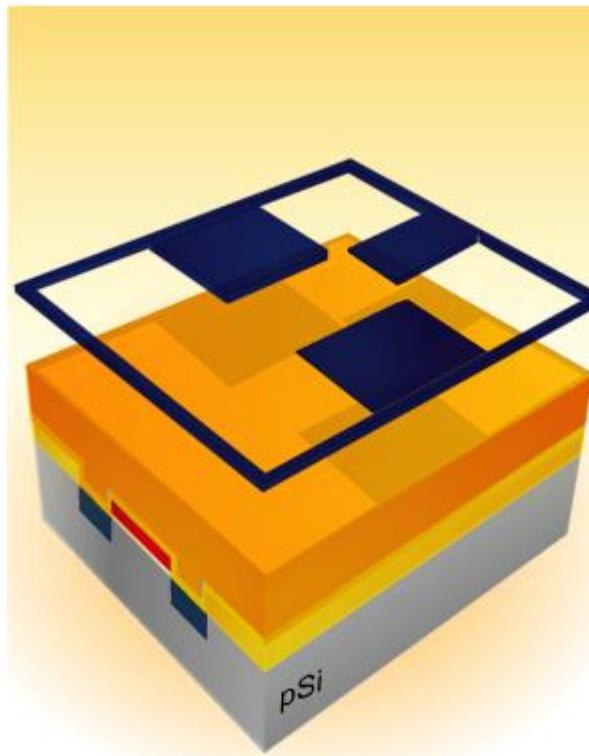
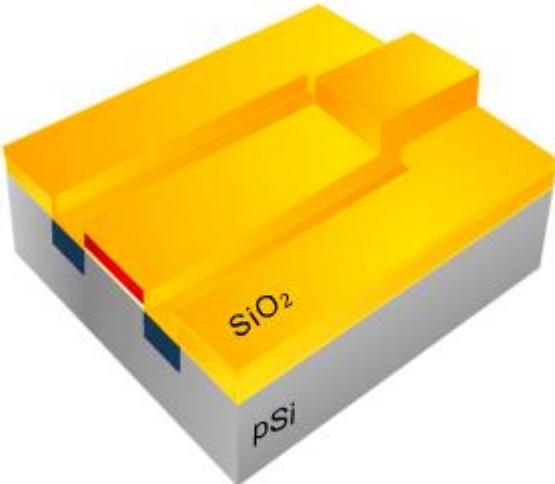


Контактни отвори



Същите операции се използват за формиране на контактни отвори – окисление на цялата повърхност, фотолитография с маска за отворите към областите на сорса, гейта и дрейна и езване за отстраняване на фотопресиста.

# Метализация



Атоми на метал (най-често алуминий или мед) се отлагат върху цялата повърхност, запълвайки контактните отвори.

След това се използва фотолитография със съответна маска и след ецване се формират метални площа

ди за присъединяване на електрически проводници. Операцията се нарича **метализация**.

# Тестване

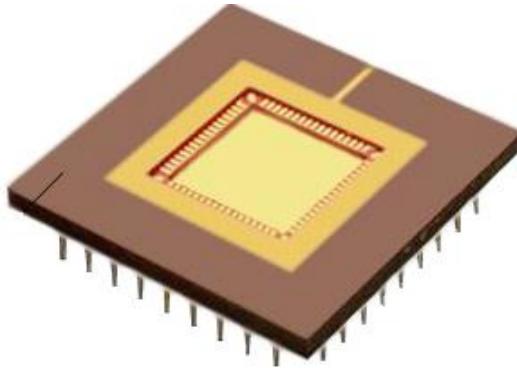


При производството се извършва прецизен контрол на всички операции. Пластините се тестват с компютърно контролирано оборудване в чисти стаи, където персоналът има костюми, подобни на тези на астронавтите.

# Асемблиране



Нарязване на пластината

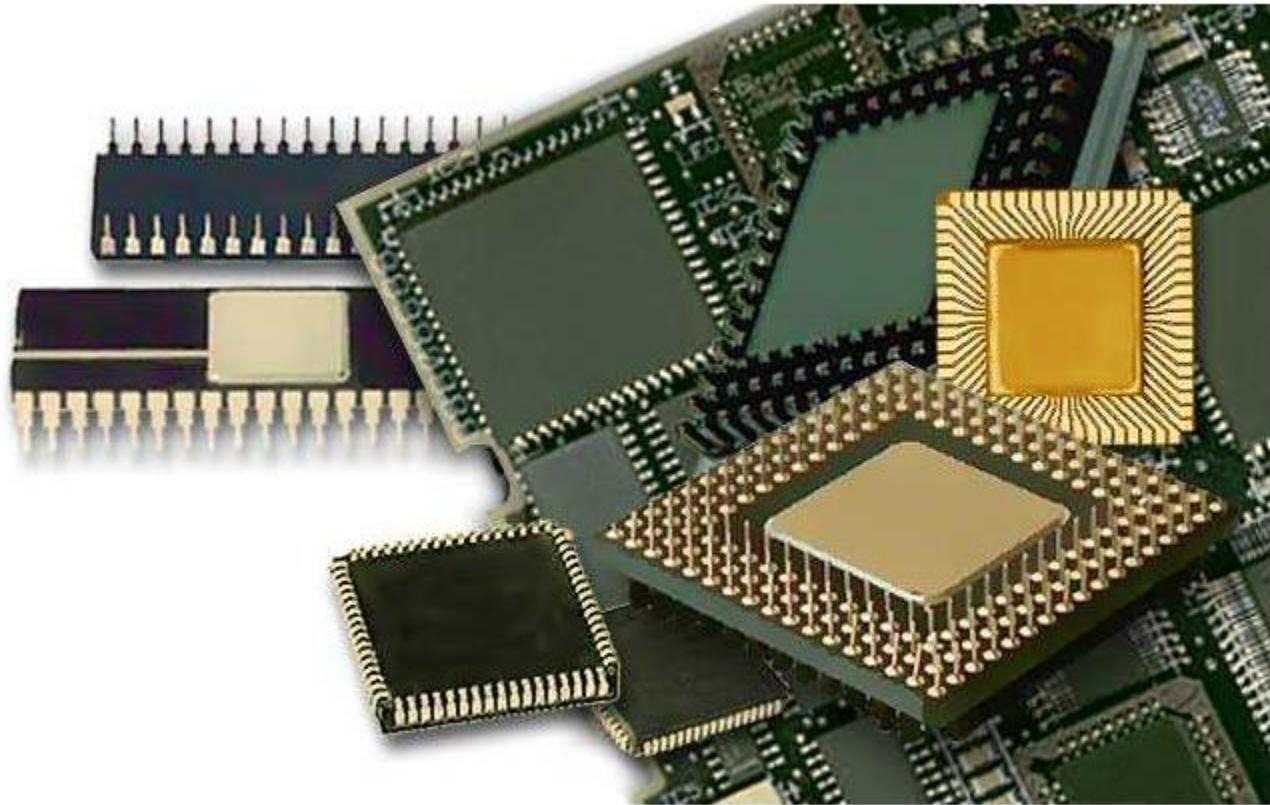


Основа за монтиране



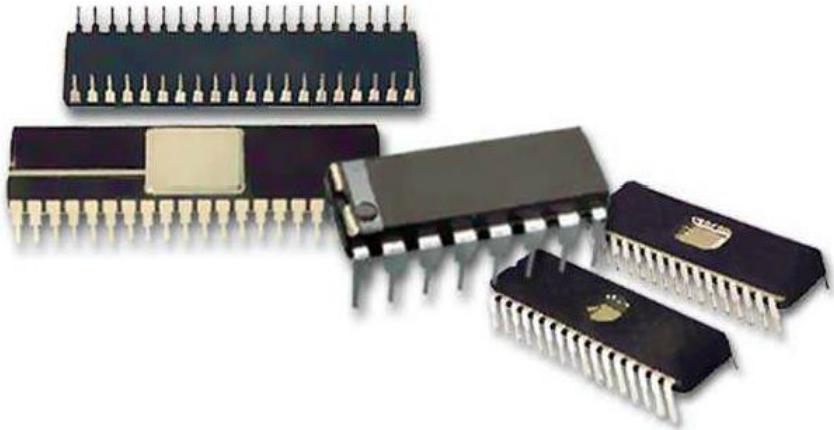
Транзисторите и интегралните схеми се произвеждат заедно със стотици съседи върху една подложка. След тестване на пластината тя се нарязва с диамантени резци и всяка ИС се монтира в метален, пластмасов или керамичен корпус. Чипът се свърза към корпуса със златни проводници, които се притискат под налягане към контактните площиадки (операцията се нарича бондиране).

# *Видове корпуси*



Корпусите са от съществено за ефективното изолиране на ИС от околната среда и за облекчаване на използването и монтирането й в електронни системи. Част от най-често използваните корпуси са показани на фигуранта.

# Видове корпусу

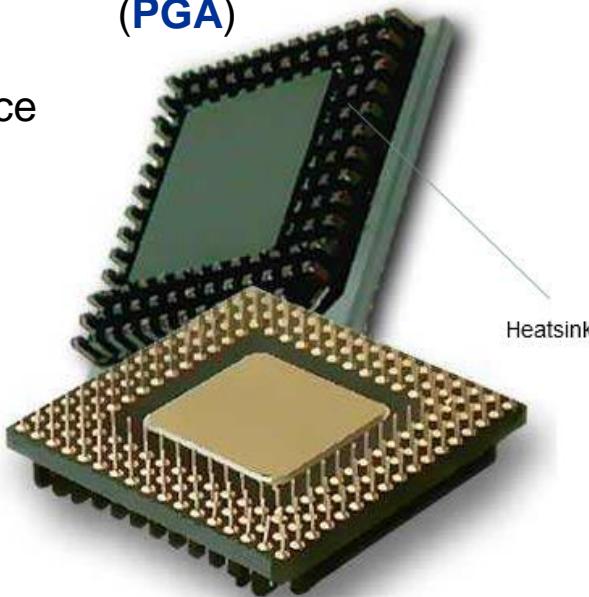


Dual-In-Line (**DIL**) and Quad-In-Line (**QIL**)  
packages – low cost packages



FLAT packs

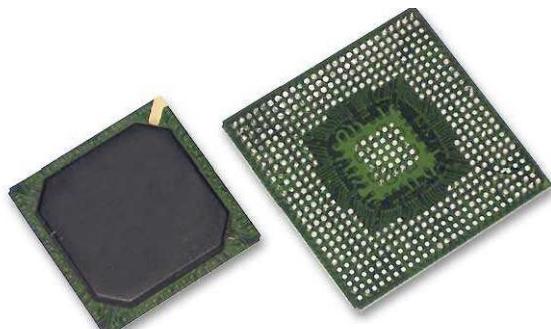
Pin Grid Array  
(**PGA**)



Heatsink

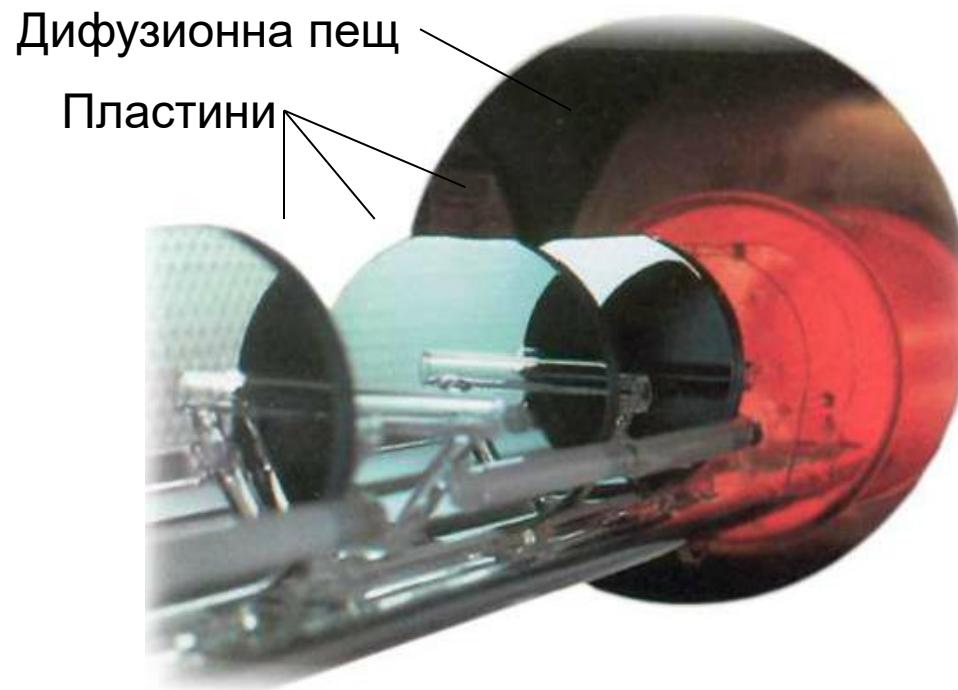


LCC - Leadless Chip Carrier



Ball Grid Array (**BGA**) - useful  
for extremely high integration.

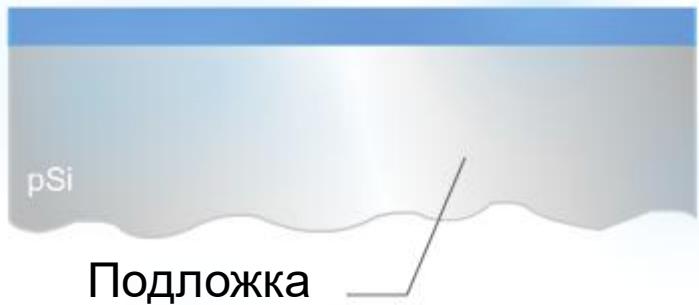
# Биполярни ИС



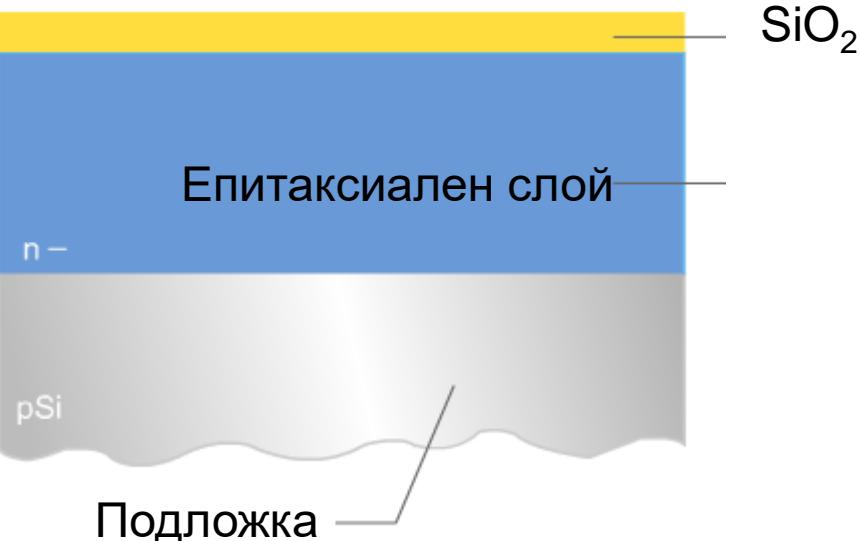
**Биполярните ИС** съдържат биполярни транзистори и други пасивни компоненти. Те се изготвят в общ технологичен процес, който обхваща последователност от по-голям брой операции спрямо необходимите за изготвяне на MOS ИС схеми.

# Производство на биполярни ИС

Нарастване на  
епитаксиален слой

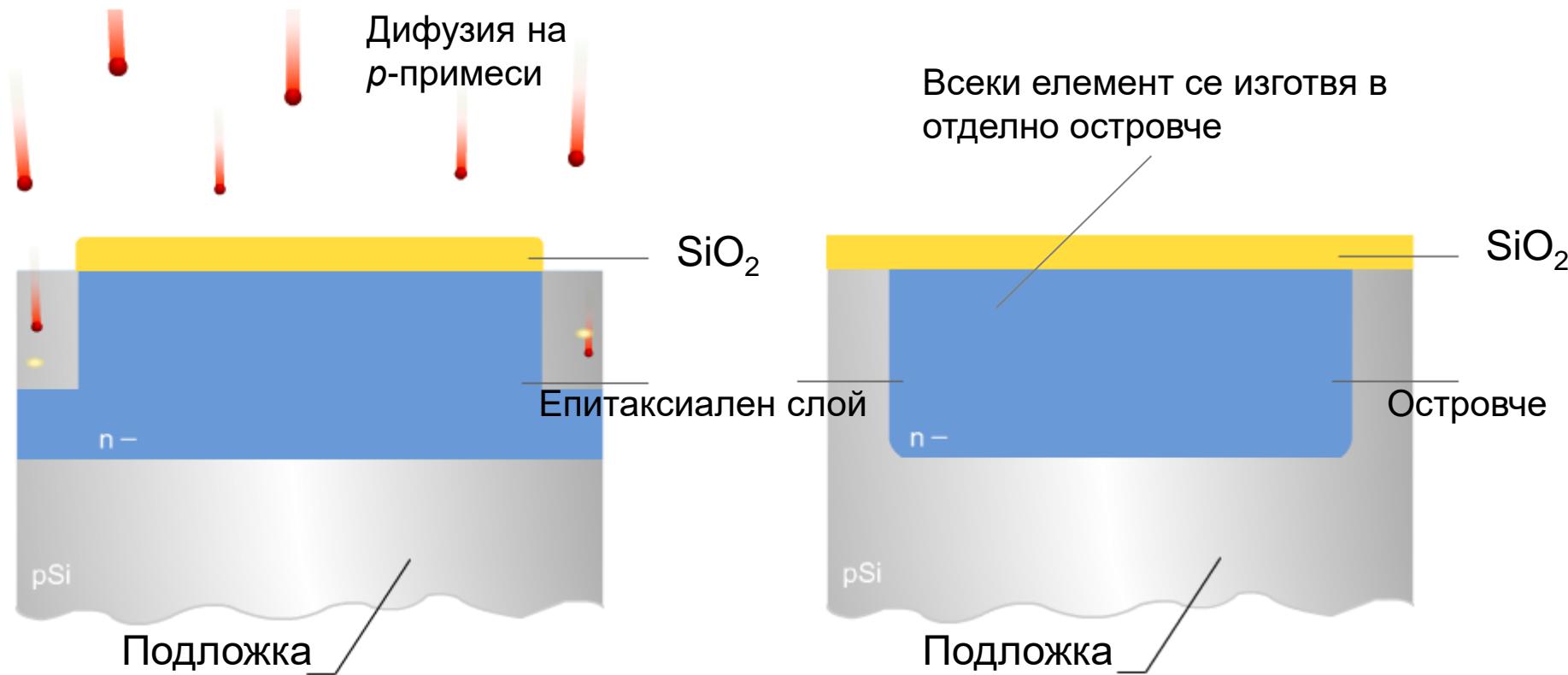


Епитетаксиален слой



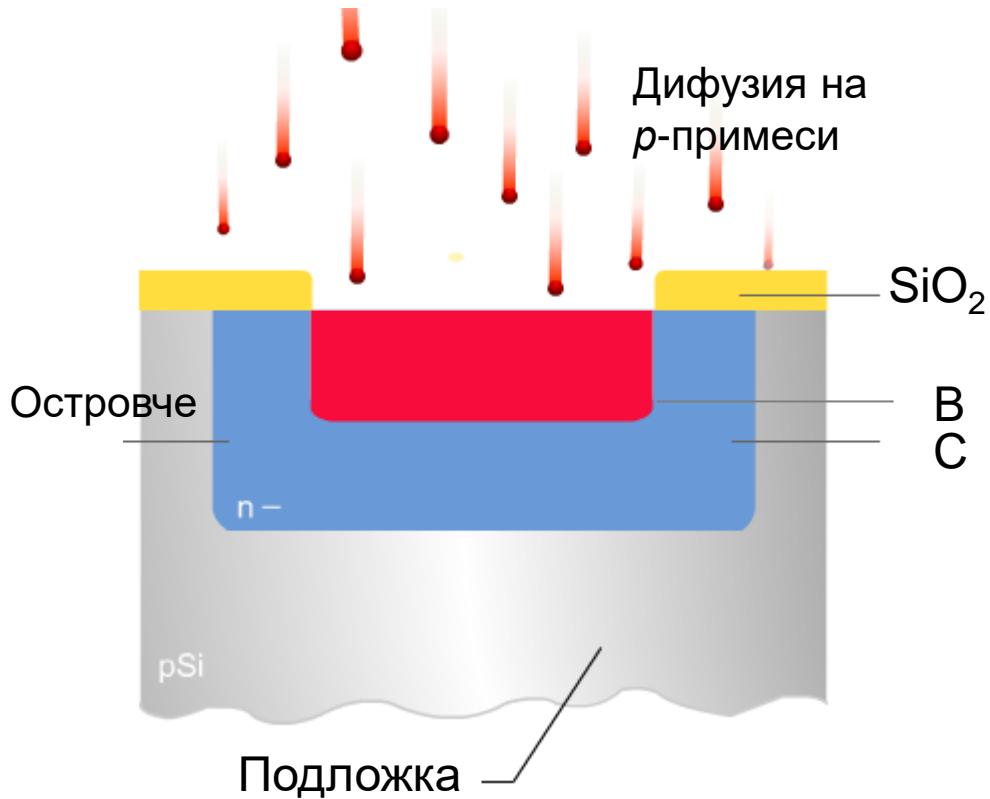
Пластината ( $p$  подложка) се поставя в пещ, през която при висока температура се пропуска газ от силициеви атоми и донорни примеси (  $P$  или  $As$  ). Върху подложката нараства тънък слой от монокристален силиций (наречен епитетаксиален слой). Процесът се нарича **епитаксия**. След това пластината чрез окисление се покрива със слой от  $\text{SiO}_2$  .

# Формиране на островче



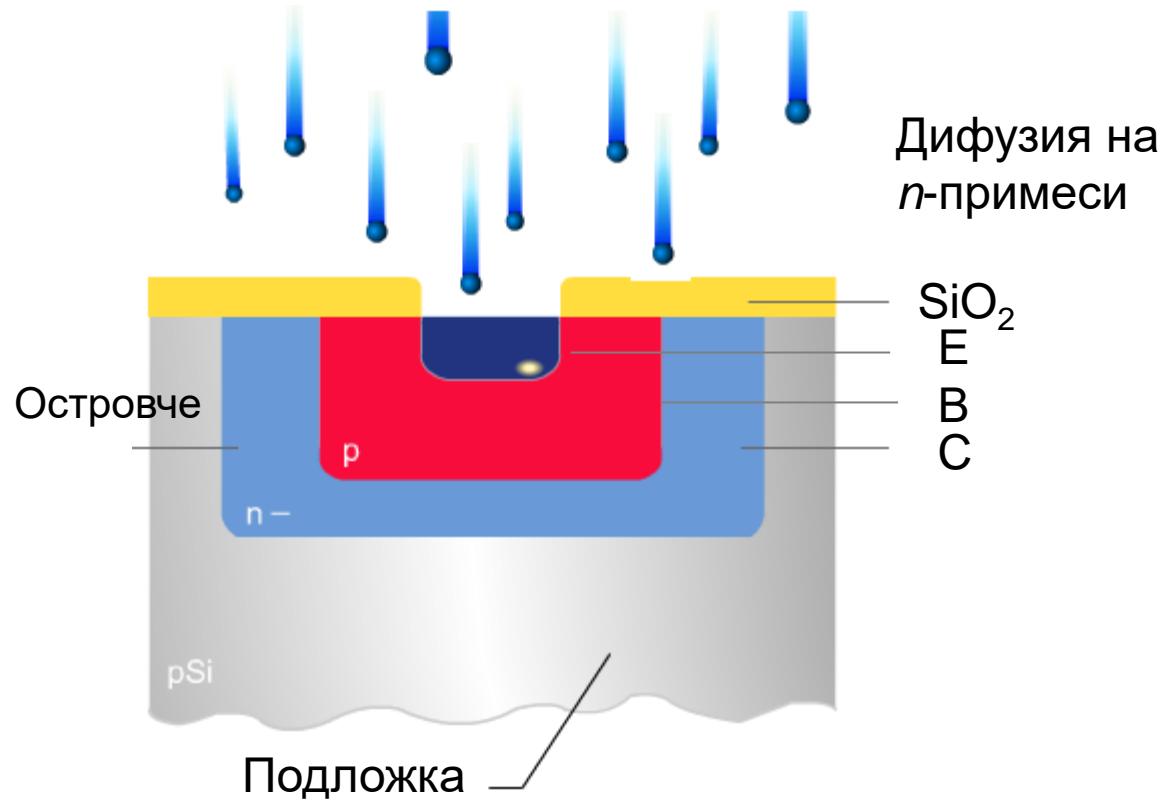
Част от  $\text{SiO}_2$  се еizza, при което се открива част от епитаксиалния слой. След това пластината се поставя в пещ и атоми на акцепторни примеси (*B* или *Ga*) навлизат чрез дифузия в епитаксиалния слой. Така се формира *n* - тип островче.

# Формиране на базата



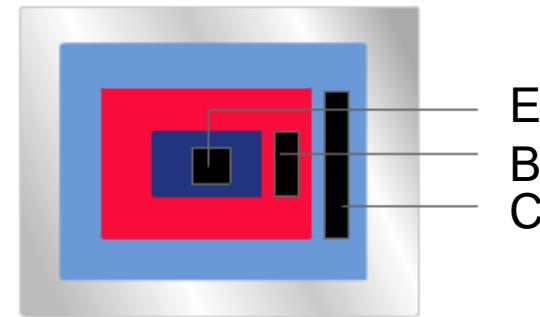
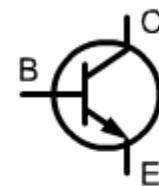
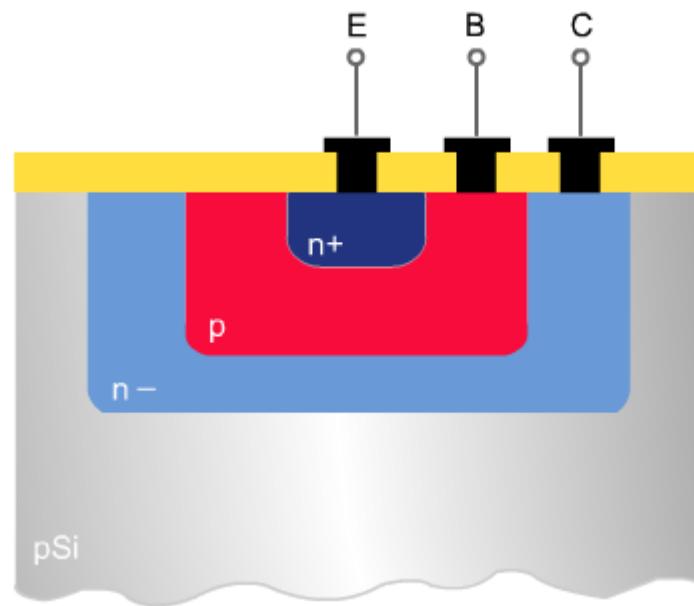
Процеси на окисление, фотолитография, ецване и легиране се използват многократно за формиране различни области от транзистора. За базата се отваря прозорец в *n*-епитаксиалния слой и се извършва дифузия на акцепторни примеси.

# Формиране на емитера



За емитера се отваря прозорец в *p*-базата и се извършва дифузия с донорни примеси за формиране на *n*-област.

# Изводи

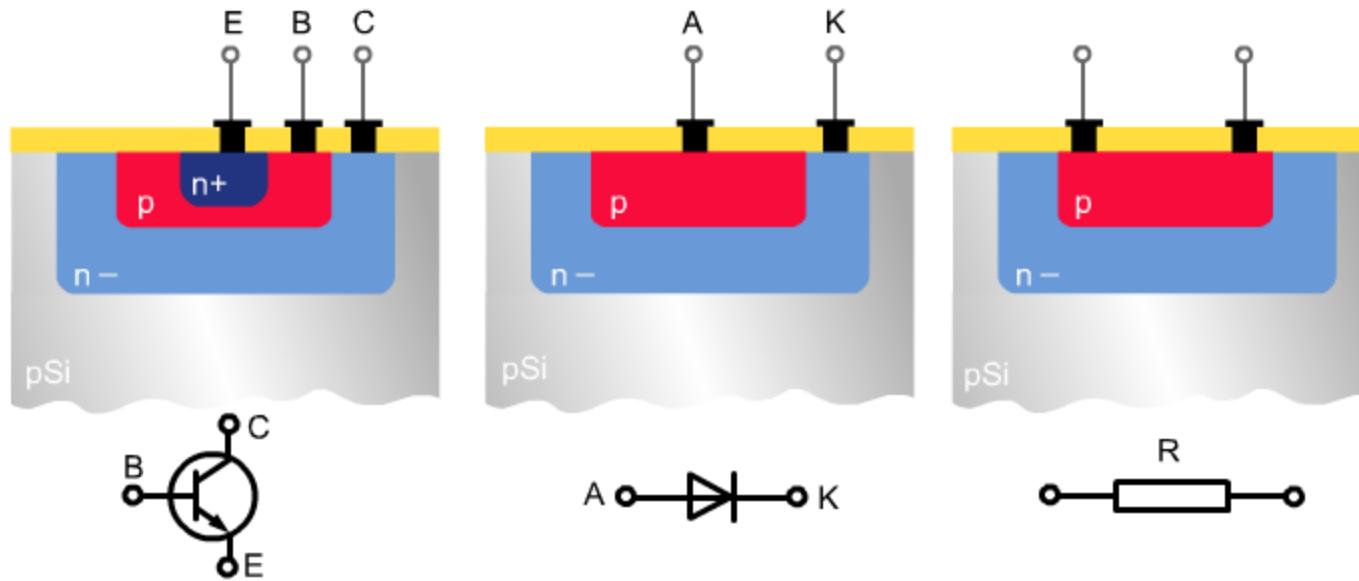


Поглед отгоре

Вертикален разрез  
на структурата

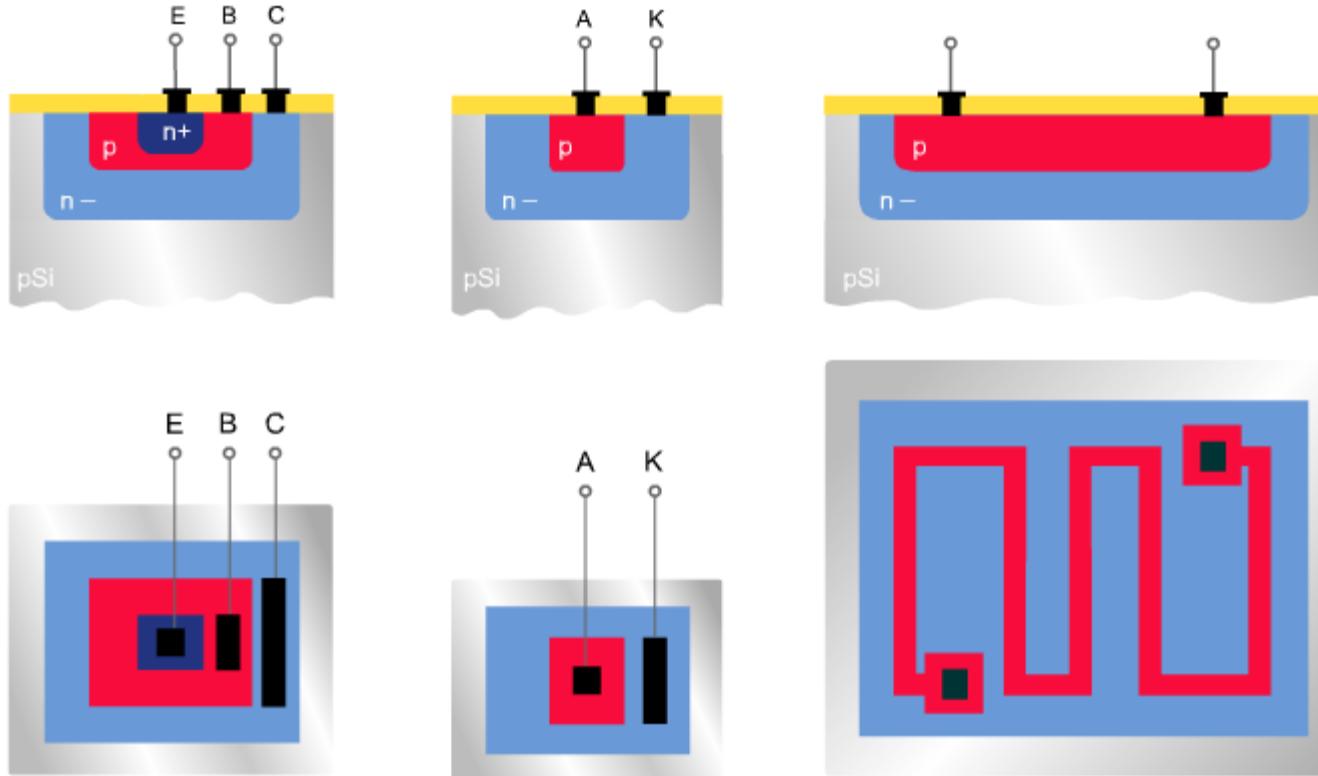
Изводите за емитера, базата и колектора се формират с метализация.

# Пасивни компоненти



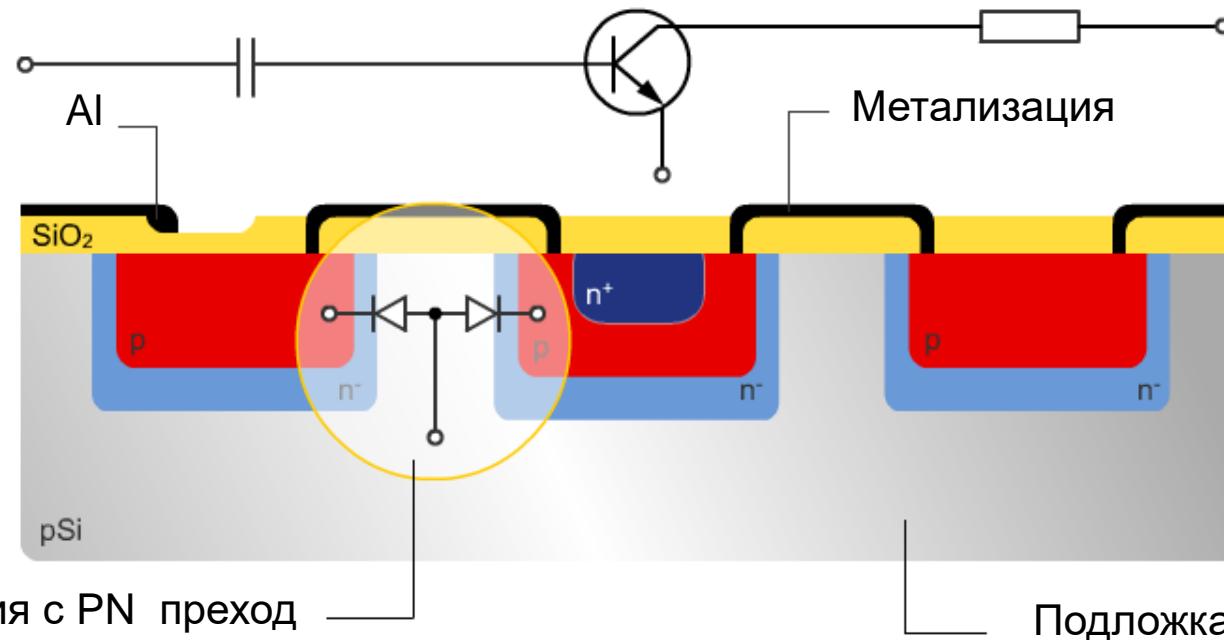
Едновременно с транзисторите, се формират и пасивните компоненти, за които се използват част от операциите, както е показано на фигурата. Тъй като процесите за оптимизирани за получаване на добри параметри на транзистора, това налага ограничения върху стойностите на пасивните елементи.

# Пасивни компоненти



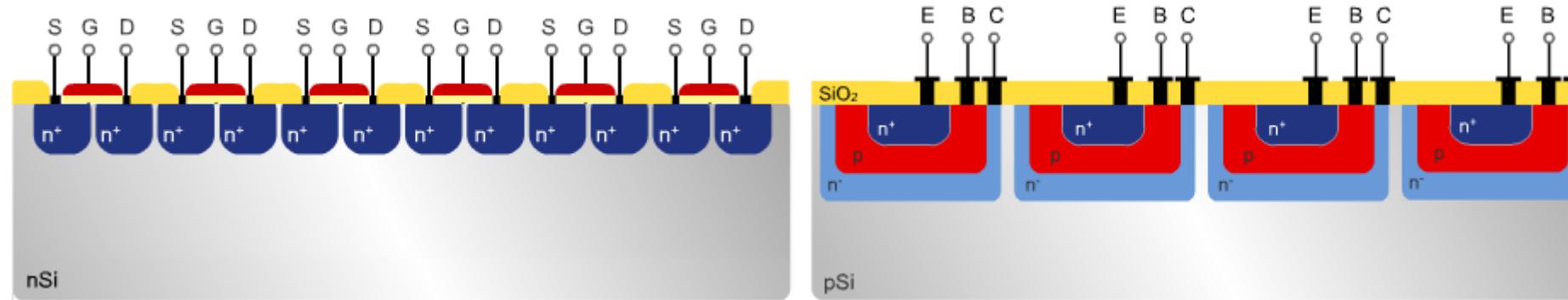
Пасивни компоненти с големи стойности на съпротивлението и капацитета им заемат значителна площ от повърхността на чипа. По тази причина такива резистори, кондензатори и бубини обикновено не се интегрират.

# Изолация с PN преход



Елементите се свързват помежду си с метални междусъединения върху окиса. За електрическата им изолация се използва обратно-включен *рп*-преход. За целта подложката се свързва към най-отрицателното напрежение в схемата. През получения обеднен слой не тече ток, което осигурява ефективна изолация.

# Сравнение на биполярни и MOS ИС

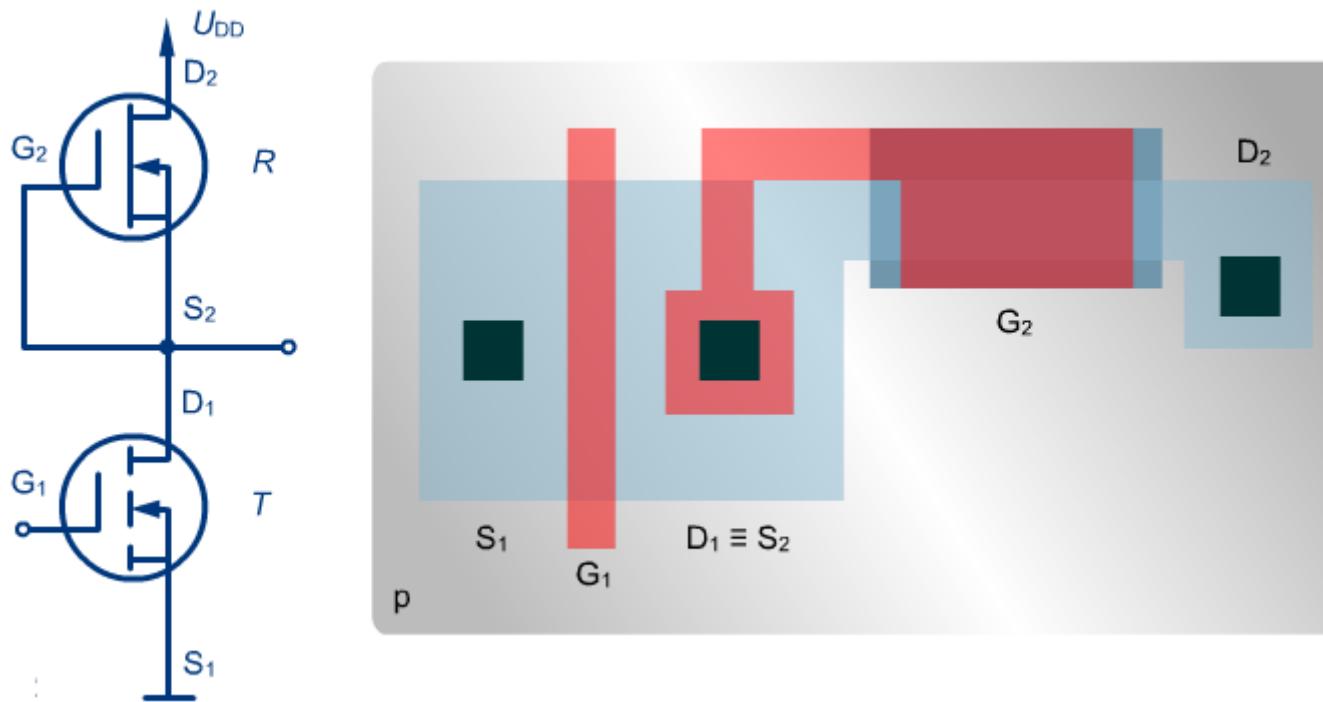


MOS ИС се произвеждат с по-малък брой операции спрямо биполярните ИС.

MOS транзисторите се самоизолират от подложката, докато в биполярните ИС се изисква изолация за всеки елемент.

Поради тази причина MOS ИС имат много по-голяма степен на интеграция (съдържат по-голям брой транзистори в чипа) спрямо биполярните.

# Сравнение на биполярни и MOS ИС



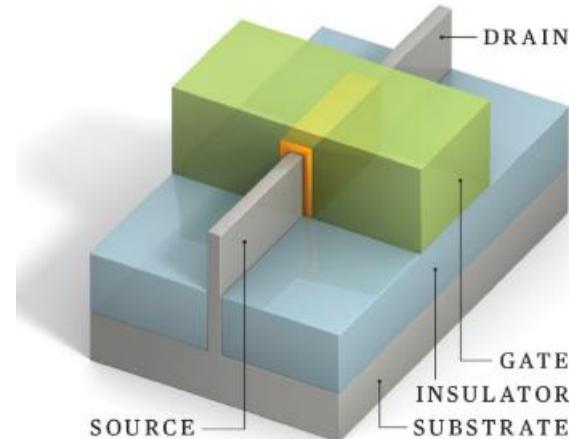
В MOS технологията пасивните компоненти заемат много по-малка площ спрямо тези в биполярните схеми. MOS транзистор (с вграден канал) може да се използва като резистор, а гейтовият капацитет служи за кондензатор с по-голяма стойност за единица площ.

По тази причина **всички съвременни ИС** със свръхвисока степен на интеграция използват **MOS технология**.

# Закон на Мур – докога?

Считаше се, че законът на Мур за CMOS ще приключи при размери под 100 nm, защото тогава ще трябва да се разсейва по-голяма мощност във W/cm<sup>2</sup>, от тази на ракетна дюза. И индустрията обяви това за загубена битка.

Решението беше намерено с изобретяването на **FinFET** транзистора – 3-D структура на транзистор.

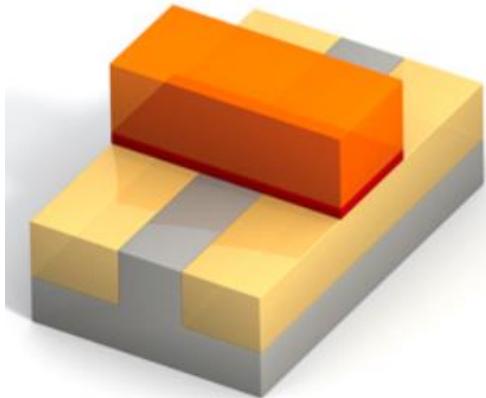


Chenming Hu, Berkeley University

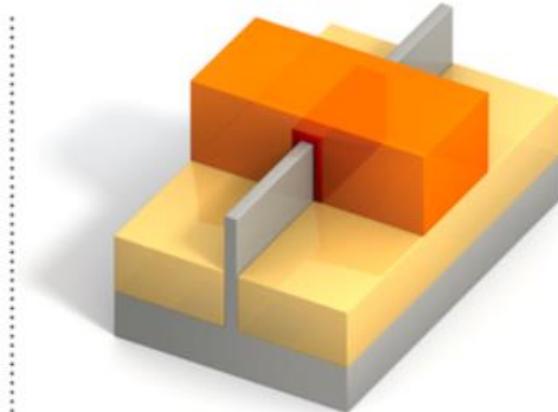
Всеки транзистор има S,D, проводящ канал, който ги свързва и G, който управлява тока в канала. При FinFET, каналът се издига над повърхността на чипа – като перка на акула, позволявайки на гейта да се увие около него от три страни, което дава по-голям контрол върху тока.

FinFET помага законът на Мур да продължи да действа за десетилетия и да не приключи на 25 nm, въпреки че смъртта му все още редовно се прогнозира.

# Какво е *FinFET*?



Планарен 2-D транзистор

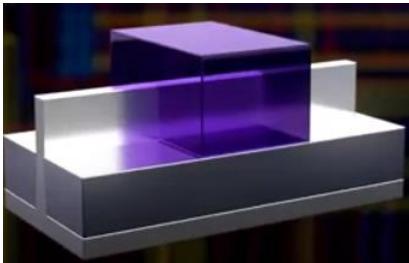


3-D FinFET транзистор

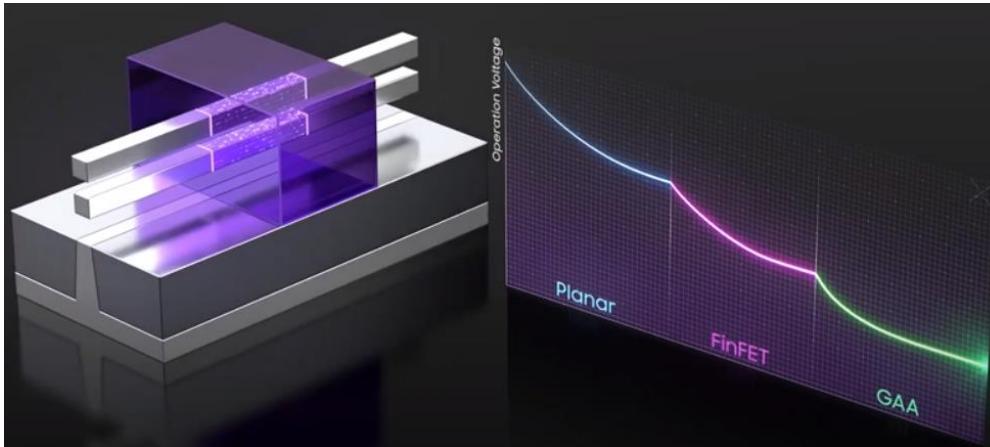
<https://www.youtube.com/watch?v=Jctk0DI7YP8>

Сега говорим за ултра голяма степен на интеграция – Ultra Large Scale Integration (ULSI), за интеграция върху цяла пластина – Wafer-Scale Integration (WSI), за цяла система в един чип – System-on-a Chip (SOC), за тримерни ИС – Tree-dimensional ICs (3-D ICs)

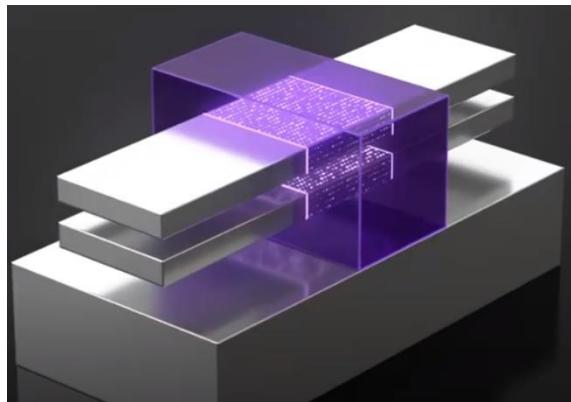
# Какво са GAA и MBCFET?



FinFET



GAA  
Gate All Around



MBCFET  
Multy Bridge Channel FET



МБСFЕТ са съвместими с FinFET като подобряват параметрите без да се увеличава площта. Осигуряват решения за високотехнологични проекти като изкуствен интелект, автономно шофиране, 5G и др.

<https://www.youtube.com/watch?v=3otqUu-7WUQ>