

# Специфікація на пристрій

## 1. Загальний опис та блок-схема пристрою.

Пристрій, що буде розроблений в рамках даного курсу, являє собою генератор сигналу з двійковою кутовою модуляцією — Binary angle modulation (BAM) — котра є аналогом широтно-імпульсної модуляції сигналу, з функцією виведення відомостей про сигнал, що генерується, на VGA-дисплей.

Загальна блок-схема пристрою наведена на Рисунку 1.

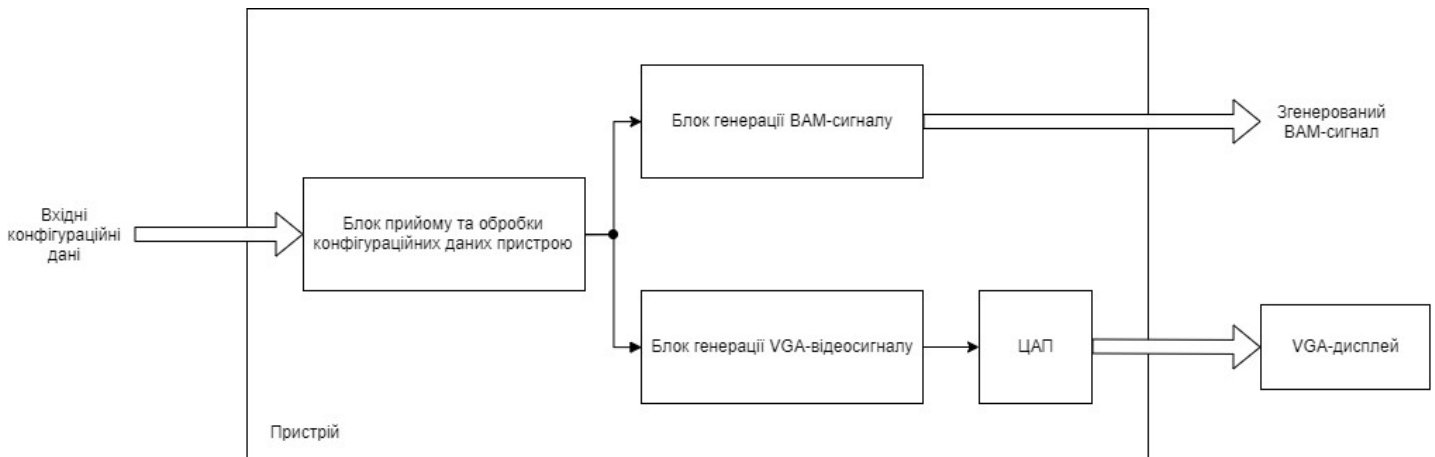


Рисунок 1 — Загальна блок-схема пристрою.

## 2. Внутрішня структура пристрою.

Детальне влаштування пристрою наведено на Рисунку 2.

Як можна бачити з блок-схеми, пристрій складається з:

- Блоку прийому та обробки конфігураційних даних пристрою — на вхід якого приходять сигнали, що являють собою значення параметрів роботи пристрою — сигнал увімкнення/вимкнення пристрою, значення коефіцієнту заповнення BAM-сигналу, що генеруватиметься, значення коефіцієнту ділення вхідної тактової частоти для подальшого тактування модуля BAM, сигнали дозволу «захоплення» введених конфігураційних параметрів коефіцієнту заповнення та коефіцієнту ділення тактової частоти, сигнал перемикання вибраного для налаштувань та відображення параметрів каналу, сигнал увімкнення/вимкнення генерації BAM-сигналу на вибраному каналі. Даний блок також виконує функцію позбавлення від «брязкоту контактів» при «захопленні» та збереженні введених конфігураційних параметрів;
- Блоку генерації BAM-сигналу — котрий реалізує генерацію BAM-сигналу з заданими користувачем параметрами. Частота згенерованого BAM-сигналу визначається частотою тактового сигналу модуля генерації BAM-сигналу. За допомогою модуля подільника вхідної тактової частоти, є можливість зміни

даного значення, шляхом ділення вихідної тактової частоти сигналу на значення, що конфігурується користувачем;

- Блоку генерації VGA-відеосигналу — котрий складається з пам'яті знакогенератора, пам'яті дисплея, модуля генерації сигналів VGA-інтерфейсу — значень яскравості RGB-кольорів, сигналів вертикальної та горизонтальної синхронізації, а також модуля подільника вихідної тактової частоти до значення, передбаченого «таймінгами» обраного режиму відображення;
- Цифро-аналогового перетворювача — який перетворює вхідні цифрові значення яскравості відповідних кольорів на відповідні аналогові значення, які використовуються при підключенні до VGA-дисплею;

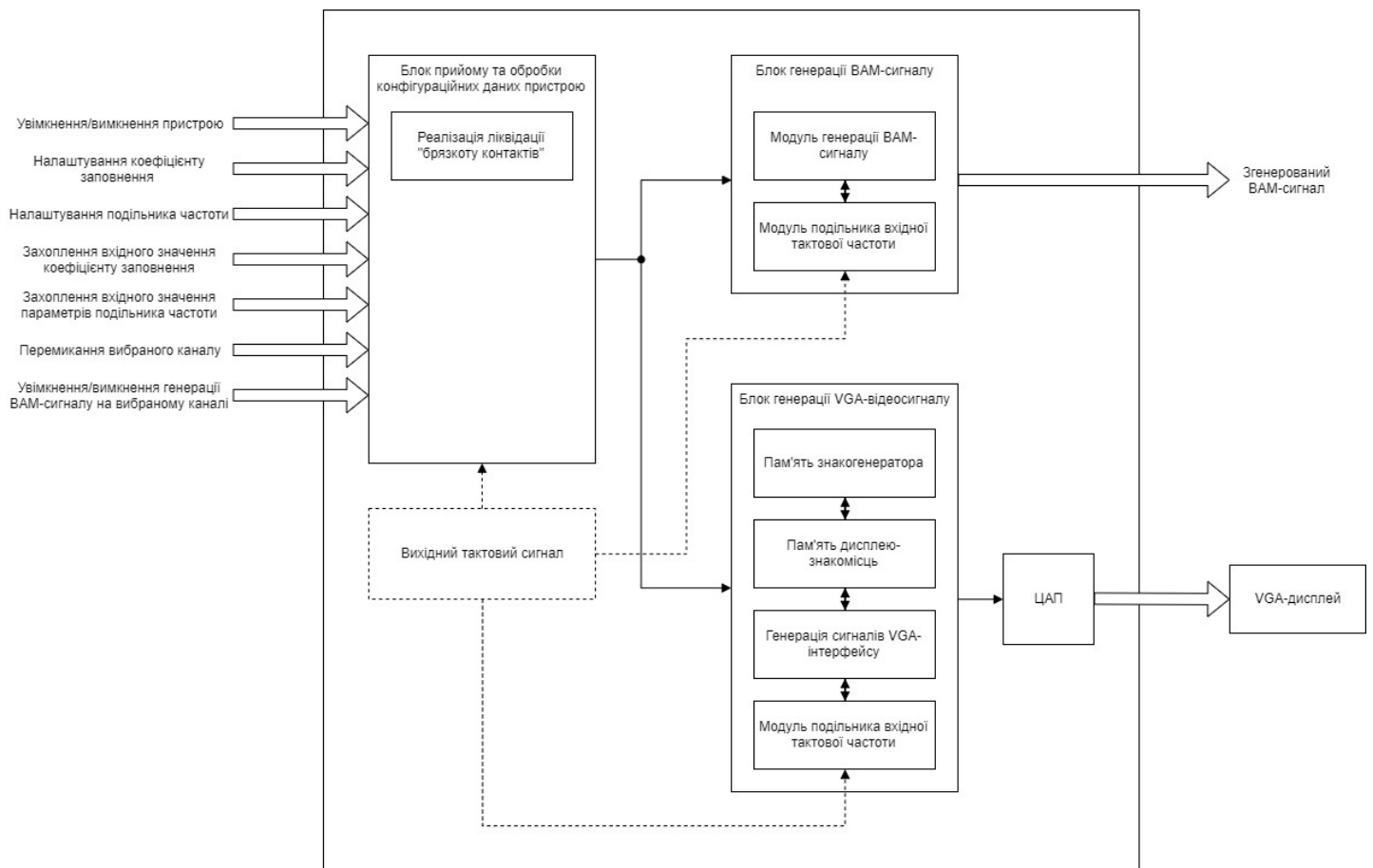


Рисунок 2 — Внутрішня структура пристрою.

### 3. Опис портів вводу-виводу.

Вхідні порти пристрою:

- Увімкнення/вимкнення пристрою — 1 розряд — перемикач-джампер;
- Налаштування коефіцієнту заповнення — 8 розрядів — перемикачі-джампери;
- Налаштування параметрів подільника частоти сигналу тактування для модуля BAM — 3 розряди — перемикачі-джампери;

- Захоплення вхідного значення коефіцієнту заповнення — 1 розряд — тактова кнопка (з самоповерненням);
- Захоплення вхідного значення параметрів подільника частоти сигналу тактування для модуля ВАР — 1 розряд — тактова кнопка;
- Перемикання вибраного каналу для налаштування параметрів генерації ВАР-сигналу та відображення їх на дисплей — 1 розряд — тактова кнопка;
- Увімкнення/вимкнення генерації ВАР-сигналу на вибраному каналі — 1 розряд — тактова кнопка;

Вихідні порти пристрою:

- 8 каналів згенерованого ВАР-сигналу;
- Сигнали VGA-інтерфейсу для підключення до монітору — аналогові: R, G, B, цифрові: сигнали вертикальної та горизонтальної синхронізації;

#### **4. Характеристики в часовій та частотній області.**

Вихідна частота тактового сигналу, що здійснює тактування пристрою — 50 МГц.

За допомогою модуля подільника частоти відбувається її ділення відповідно до заданих користувачем параметрів, для отримання тактового сигналу, що буде використовуватись модулем ВАР.

За допомогою відповідного подільника частоти, здійснюється також її ділення до значення, що передбачається параметрами-«таймінгами» VGA — 25 МГц.

#### **5. Очікувана кількість логічних елементів.**

Очікувана кількість логічних елементів, необхідних для реалізації описаного вище функціоналу — 300-400 одиниць.

#### **6. Тип корпусу.**

Cyclone II EP2C35F672C6 — FineLine BGA 672-pin package.

#### **7. Принцип та порядок тестування.**

- Перевірка функції вмикання-вимикання роботи пристрою;
- Перевірка функції «захоплення» заданих користувачем значень коефіцієнту заповнення сигналу відповідного каналу;
- Перевірка функції «захоплення» заданого користувачем значення коефіцієнту ділення вхідної тактової частоти модуля ВАР;
- Перевірка функції вибору каналу генерації ВАР-сигналу, параметри якого конфігуруватимуться;
- Перевірка генерації ВАР-сигналу на активних каналах;
- Перевірка функції активації-деактивації генерації ВАР-сигналу на вибраному каналі;

- Перевірка правильності відображення параметрів сигналу, що генерується, на VGA-дисплеї;

## **8. Опис рішень, що були прийняті в процесі роботи над проектом.**

Отримана у підсумку реалізація володіє наступними особливостями: перш за все, з метою зменшення складності реалізації, було прийнято рішення скоротити кількість каналів модуля ВАР з восьми до одного, чого цілком достатньо для демонстрації роботи пристрою. Відповідно, прибрано було також вхід перемикання вибраного каналу для налаштування параметрів генерації ВАР-сигналу та відображення їх на дисплей. Також було прийнято рішення не реалізовувати блок ліквідації «брязкоту контактів», так як, як показала практика, при демонстрації можна обійтися без даного блоку. Подільник вхідної тактової частоти, що зображений в блоці генерації ВАР-сигналу, був реалізований не у вигляді модуля, а у вигляді звичайного лічильника у top-модулі. Також було додатково реалізовано функцію виведення зображення на дисплей, працездатність чого було випробувано при виведенні тестового зображення з роздільною здатністю 128x160 пікселів.

Таким чином, в кінцевій реалізації наявні входи: увімкнення/вимкнення пристрою (1 розряд), скидання (1 розряд), увімкнення/вимкнення генерації ВАР-сигналу (1 розряд), вибору режиму — відображення тексту/зображення, входи налаштування параметрів переддільника (3 розряди), входи налаштування duty cycle для модулю ВАР (8 розрядів).

Виходи — вихід ВАР-сигналу (1 розряд), вихід індикації активного режиму модуля ВАР (1 розряд), вихід індикації стану пристрою (увімкнений/вимкнений) (1 розряд), вихід індикації процесу захоплення (latching'у) вхідних конфігураційних даних (1 розряд), а також виходи VGA-сигналів: R, G, B — 8-розрядні, VGA\_CLK, VGA\_HS, VGA\_VS, VGA\_SYNC, VGA\_BLANK — однорозрядні.

## Компіляція проекту в середовищі Quartus II

Результати компіляції проекту наведені на Рисунку 3.1.

| Flow Summary                       |   |
|------------------------------------|---|
| Flow Status                        | Successful - Mon Jan 20 13:57:10 2020           |
| Quartus II 64-Bit Version          | 13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition |
| Revision Name                      | vga_project                                     |
| Top-level Entity Name              | vga_top   |
| Family                             | Cyclone II                                      |
| Device                             | EP2C35F672C6                                    |
| Timing Models                      | Final   |
| Total logic elements               | 1,011 / 33,216 ( 3 % )                          |
| Total combinational functions      | 1,010 / 33,216 ( 3 % )                          |
| Dedicated logic registers          | 147 / 33,216 ( < 1 % )                          |
| Total registers                    | 147   |
| Total pins                         | 52 / 475 ( 11 % )                               |
| Total virtual pins                 | 0   |
| Total memory bits                  | 96 / 483,840 ( < 1 % )                          |
| Embedded Multiplier 9-bit elements | 0 / 70 ( 0 % )                                  |
| Total PLLs                         | 0 / 4 ( 0 % )                                   |

Рисунок 3.1 — Результати компіляції проекту в середовищі Quartus II.

Як можна бачити з вищенаведеного рисунку, для реалізації описаного функціоналу знадобилось 1011 логічних елементів, з яких 1010 — комбінаційні функції, 147 — регістри.

Більш детальна інформація про використання ресурсів наведена в вікні «Resource section» звіту з компіляції.

| Table of Contents  |   | Fitter Resource Usage Summary   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
|--|---|---|--|--|----------|-------|---|------------------------|------------------------|---|-----------------------------------|-----|---|------------------|---|---|----------------------------------|-----|---|--|--|---|---|--|---|----------------------|-----|---|----------------------|-----|---|------------------------|-----|---|------------------|---|---|--|--|---|--------------------------|--|---|----------------|-----|---|--------------------|-----|---|--|--|---|--------------------|------------------------|---|------------------------------|------------------------|---|------------------|-------------------|---|--|--|---|--|--------------------|----|--------------|---|
| <ul style="list-style-type: none"> <li>Incremental Compilation Section</li> <li>Pin-Out File</li> <li>Resource Section <ul style="list-style-type: none"> <li>Resource Usage Summary</li> <li>Partition Statistics</li> <li>Input Pins</li> <li>Output Pins</li> <li>I/O Bank Usage</li> <li>All Package Pins</li> <li>Output Pin Default Load For Reported TCO</li> <li>Resource Utilization by Entity</li> <li>Delay Chain Summary</li> <li>Pad To Core Delay Chain Fanout</li> <li>Control Signals</li> <li>Global &amp; Other Fast Signals</li> <li>Non-Global High Fan-Out Signals</li> <li>RAM Summary</li> </ul> </li> <li>Logic and Routing Section</li> <li>Device Options</li> <li>Operating Settings and Conditions</li> <li>Messages</li> <li>Suppressed Messages</li> </ul> |   | <table> <tr> <th></th> <th>Resource</th> <th>Usage</th> </tr> <tr> <td>1</td> <td>▼ Total logic elements</td> <td>1,011 / 33,216 ( 3 % )</td> </tr> <tr> <td>1</td> <td>-- Combinational with no register</td> <td>864</td> </tr> <tr> <td>2</td> <td>-- Register only</td> <td>1</td> </tr> <tr> <td>3</td> <td>-- Combinational with a register</td> <td>146</td> </tr> <tr> <td>2</td> <td></td> <td></td> </tr> <tr> <td>3</td> <td>▼ Logic element usage by number of LUT inputs</td> <td></td> </tr> <tr> <td>1</td> <td>-- 4 input functions</td> <td>477</td> </tr> <tr> <td>2</td> <td>-- 3 input functions</td> <td>207</td> </tr> <tr> <td>3</td> <td>-- &lt;=2 input functions</td> <td>326</td> </tr> <tr> <td>4</td> <td>-- Register only</td> <td>1</td> </tr> <tr> <td>4</td> <td></td> <td></td> </tr> <tr> <td>5</td> <td>▼ Logic elements by mode</td> <td></td> </tr> <tr> <td>1</td> <td>-- normal mode</td> <td>785</td> </tr> <tr> <td>2</td> <td>-- arithmetic mode</td> <td>225</td> </tr> <tr> <td>6</td> <td></td> <td></td> </tr> <tr> <td>7</td> <td>▼ Total registers*</td> <td>147 / 34,593 ( &lt; 1 % )</td> </tr> <tr> <td>1</td> <td>-- Dedicated logic registers</td> <td>147 / 33,216 ( &lt; 1 % )</td> </tr> <tr> <td>2</td> <td>-- I/O registers</td> <td>0 / 1,377 ( 0 % )</td> </tr> <tr> <td>8</td> <td></td> <td></td> </tr> <tr> <td>9</td> <td>Total LABs: partially or completely used</td> <td>80 / 2,076 ( 4 % )</td> </tr> <tr> <td>10</td> <td>Virtual pins</td> <td>0</td> </tr> </table> |  |  | Resource | Usage | 1 | ▼ Total logic elements | 1,011 / 33,216 ( 3 % ) | 1 | -- Combinational with no register | 864 | 2 | -- Register only | 1 | 3 | -- Combinational with a register | 146 | 2 |  |  | 3 | ▼ Logic element usage by number of LUT inputs |  | 1 | -- 4 input functions | 477 | 2 | -- 3 input functions | 207 | 3 | -- <=2 input functions | 326 | 4 | -- Register only | 1 | 4 |  |  | 5 | ▼ Logic elements by mode |  | 1 | -- normal mode | 785 | 2 | -- arithmetic mode | 225 | 6 |  |  | 7 | ▼ Total registers* | 147 / 34,593 ( < 1 % ) | 1 | -- Dedicated logic registers | 147 / 33,216 ( < 1 % ) | 2 | -- I/O registers | 0 / 1,377 ( 0 % ) | 8 |  |  | 9 | Total LABs: partially or completely used | 80 / 2,076 ( 4 % ) | 10 | Virtual pins | 0 |
|  | Resource                                      | Usage   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 1  | ▼ Total logic elements                        | 1,011 / 33,216 ( 3 % )  |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 1  | -- Combinational with no register             | 864   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 2  | -- Register only                              | 1   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 3  | -- Combinational with a register              | 146   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 2  |   |   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 3  | ▼ Logic element usage by number of LUT inputs |   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 1  | -- 4 input functions                          | 477   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 2  | -- 3 input functions                          | 207   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 3  | -- <=2 input functions                        | 326   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 4  | -- Register only                              | 1   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 4  |   |   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 5  | ▼ Logic elements by mode                      |   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 1  | -- normal mode                                | 785   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 2  | -- arithmetic mode                            | 225   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 6  |   |   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 7  | ▼ Total registers*                            | 147 / 34,593 ( < 1 % )  |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 1  | -- Dedicated logic registers                  | 147 / 33,216 ( < 1 % )  |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 2  | -- I/O registers                              | 0 / 1,377 ( 0 % )   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 8  |   |   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 9  | Total LABs: partially or completely used      | 80 / 2,076 ( 4 % )  |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
| 10   | Virtual pins                                  | 0   |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |
|  |   | * Register count does not include registers inside RAM blocks or DSP blocks.  |  |  |          |       |   |                        |                        |   |                                   |     |   |                  |   |   |                                  |     |   |  |  |   |   |  |   |                      |     |   |                      |     |   |                        |     |   |                  |   |   |  |  |   |                          |  |   |                |     |   |                    |     |   |  |  |   |                    |                        |   |                              |                        |   |                  |                   |   |  |  |   |  |                    |    |              |   |

Рисунок 3.2 — Доступні для перегляду вкладки вікна «Resource section».

The screenshot displays a complex Verilog HDL circuit simulation for a VGA project. The circuit is titled "vga\_project:1". It features several key components and signal paths:

- Inputs:** .CLOCK\_50, KEY[2:0], SW[13:0], and VGA\_CLK are shown as primary inputs.
- Core Logic Blocks:**
  - clock\_25:** A clock divider block.
  - bam\_duty\_cycle[7..0]:** A block for duty cycle control.
  - bam\_pre scaler\_mode[5..3]:** A block for pre-scaler control.
  - bam\_decoder\_mode[5..3]:** A block for decoder control.
  - vga\_gen.vga\_gen\_inst:** A green block for generating VGA signals.
  - BWtarm\_inst:** A green block for BWtarm control.
  - vga\_rgb.vga\_rgb\_inst:** A large green block for RGB signal processing.
- Multiplexers (MUX2:1):** Multiple 2-to-1 multiplexers are used to route signals between different parts of the circuit.
- Logic Gates:** AND and OR gates are used for signal combination and control.
- Outputs:** The circuit outputs VGA signals including VGA\_CLK, VGA\_SYNC, VGA\_HS, VGA\_VS, and EDQ signals.
- Signal Labels:** Various signals are labeled throughout the circuit, such as "bam\_enable", "vga\_redraw", and "vga\_redraw\_led-0".

The circuit is a detailed implementation of a VGA interface, likely for a microcontroller or FPGA-based system.

Рисунок 3.3 — Схема в RTL Viewer.