



UNIVERZITET U BEOGRADU
ELEKTROTEHNIČKI FAKULTET

KATEDRA ZA ELEKTRONIKU

Predmet: Uvod u projektovanje VLSI sistema

Projekat: DA konvertor – generator signala (trougao, četvrtke)

Autori:

Stefan Vukašinović 466/2013

Jelena Urošević 99/2013

Mentor:

doc. dr Jelena Popović Božović

Sadržaj

1. UVOD.....	3
1.1. Kratak opis funkcionalnosti komponente	3
1.2. Periferije.....	3
1.3. Kratak opis problematike realizacije.....	3
2. LTC2607 – DA Konvertor sa I ² C interfejsom	4
3. DC934A – Pločica na kojoj se nalazi LTC2607 DA konvertor.....	5
4. Kratko uputstvo za povezivanje ploče sa periferijama	6
5. Mikroarhitektura HDL koda	6
5.1. Kratak opis funkcionalnosti sistema I mikroarhitekture top-level dizajna	6
5.2. Komponenta generator_signala.....	8
5.3. Komponenta generator_cetvrtki.....	9
5.4. Komponenta generator_trouglova.....	10
5.5. Komponenta kontroler	11
6. Rezultati simulacija u Modelsim ALTERA okruženju	12
7. Rezultati testiranja na razvojnoj ploči.....	13
8. Zaključak.....	13
9. LITERATURA	13

1. UVOD

1.1. Kratak opis funkcionalnosti komponente

Na kanalu DA konvertora se generiše izlazni analogni signal. Oblik izlaznog napona (četvrtke, trougao) se bira pomoću prekidača. Faktor ispunjenosti impulsa (duty ratio) pravougaonog signala, odnosno procenat trajanja uzlaznog dela trougaonog signala, se kontroliše pomoću dva tastera i može da se kreće između 0 i 100%.

1.2. Periferije

- DA konvertor(LTC2607)
- 2 x taster
- 1 x prekidač

1.3. Kratak opis problematike realizacije

Potrebno je realizovati u VHDL-u (*Verilog Hardware Description Language*) komponentu (DAKonvertor_generatorSignala) koja će komunicirati sa periferijom (DA konvertor-LTC2607) prema definisanom protokolu. Komponenta treba da šalje odbirke na ulaz DA konvertora sa određenom učestanošću tako da se na izlazu DA konvertora dobije analogni signal (četvrtke, trougao). U sadržaju su detaljno opisani protokol pomoću kojeg je ostvarena komunikacija sa DA konvertorom-LTC2607, kompletna mikroarhitektura HDL koda, kao i rezultati testiranja na razvojnoj ploči i rezultati simulacija.

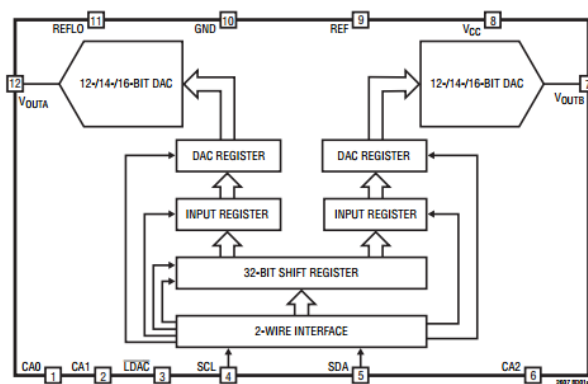
2. LTC2607 – DA Konvertor sa I²C interfejsom

U ovom odeljku će ukratko biti objašnjenje šta je potrebno za uspešnu komunikaciju sa integrisanom pločicom DA konvertora (LTC2607) pomoću I²C protokola. Za detaljno uputstvo za LTC2607, pogledajte [1].

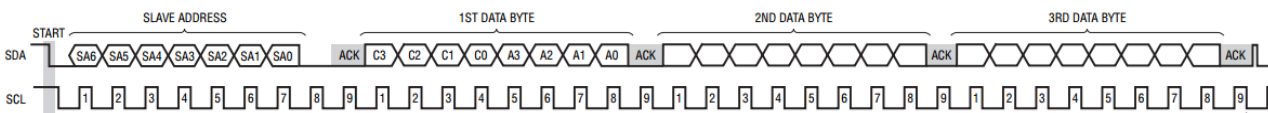
Sa blok dijagrama (*sl.1*) se može videti koji signali su nam dostupni. Za realizaciju komponente DAKonvertor_generatorSignala najrelevantniji signali su **SDA** (*Serial Data Bidirectional Pin*) i **SCL** (*Serial Clock Input Pin*). Preko ova dva pina se šalju podaci i taktni signal respektivno. Kako I²C radi na 100KHz ili 400KHz, frekvencija kojom se šalje signal takta na liniju **SCL** je jednoznačno određen. Za realizaciju ovog projekta izabrana je frekvencija od 100KHz. S obzirom da je reč o serijskom ulaznom pinu za prenos podataka (**SDA**), potrebno je serijski slati bit po bit svakog odbirka koji se šalju na ulaz LTC2607 - DA konvertora.

Vremenski dijagrami signala **SDA** i **SCL** kao i redosled kojim je potrebno slati podatke na **SDA** prikazani su na *sl.2*. Vremenske karakteristike se mogu naći u detaljnom opisu komponente [1]. Po završetku slanja svakog bajta informacije potrebno je da master oslobodi liniju SDA (HIGH Z) kako bi periferija odgovorila da li je uspešno prihvaćen poslednji bajt informacije (LOW) ili nije (HIGH). U prvom bajtu informacije se šalje Slejv adresa kojom se adresira LTC2607-DA konvertor (na samoj pločici DC934A na kojoj se nalazi LTC2607 pomoću jumper-a je moguće podesiti stanja pinova CA0,CA1 i CA2 koji definišu određenu slejv adresu). Tabela mogućih kombinacija pinova CA0,CA1 i CA2 se može videti u detaljnom opisu komponente LTC2607 [1]. Drugi bajt informacije sadrži komandne i adresne bite pomoću kojih se specificira željena komanda i adresira se jedan od dva dostupna DA konvertora koji se nalaze na pločici LTC2607. Pogledati [1] za detaljan opis mogućih komandi za DA konvertor. Treći i četvrti bajt informacije sadrži 16-bitni podatak koji predstavlja odbirak čija analogna vrednost se prikazuje na izlazu DA konvertora.

BLOCK DIAGRAM



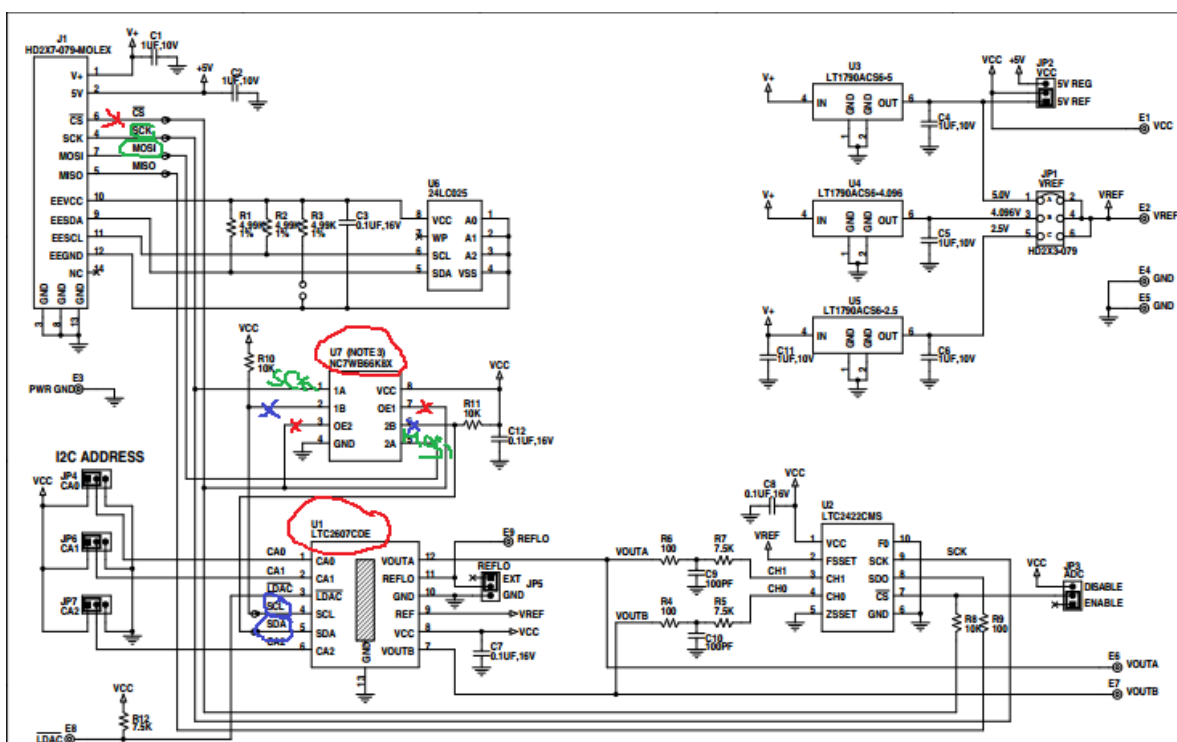
Slika 1. Blok dijagram komponente LTC2607



Slika 2. Vremenski dijagrami signala SDA i SCL

3. DC934A – Pločica na kojoj se nalazi LTC2607 DA konvertor

Na sl.3. je prikazana šema pločice DC934A. Na linije SCK I MOSI se povezuju signali SDA I SCL koji se vode na ulaz LTC2607-DA konvertora. Da bi ovi signali zaista bili povezani potrebno je signalom CS=1 (chip select) kratko spojiti **SCK** sa **SCL** i **MOSI** sa **SDA** pomoću komponente NC7WB66K8X. Jumpere koji određuju stanje pinova CA0-CA2 (JP4,JP6 i JP7) podesiti tako da adresiraju deo koji je određen slejv adresom koja se šalje preko SDA u prvom bajtu informacije. JP1 određuje V_{REF} , dok se sa JP2 podešava V_{CC} . Detaljan opis komponente I svih dostupnih pinova može se pronaći na [2].



Slika 3. Blok šema pločice DC934A

4. Kratko uputstvo za povezivanje ploče sa periferijama

Od periferija su potrebna: 2x tastera, 1x prekidač (+1 za reset) i DC934A (pločica na kojoj se nalazi LTC2607-DA konvertor).

Ploča De1-SoC [3] koristi sistemski signal takta frekvencije 50MHz. Potrebno je povezati 2 tastera na ploči sa signalima **napred** i **nazad** pomoću kojih se kontroliše *duty cycle*. Dugme za signal **reset** je pogodno povezati na neki od prekidača. Potrebno je povezati signal **prekidač** na još jedan prekidač pomoću kojeg se bira oblik izlaznog napona. Izlazni signali **CS**, **SDA** i **SCL** se povezuju na GPIO portove koji se vode na **CS**, **SCK** i **MOSI** pinove periferije DC934A.

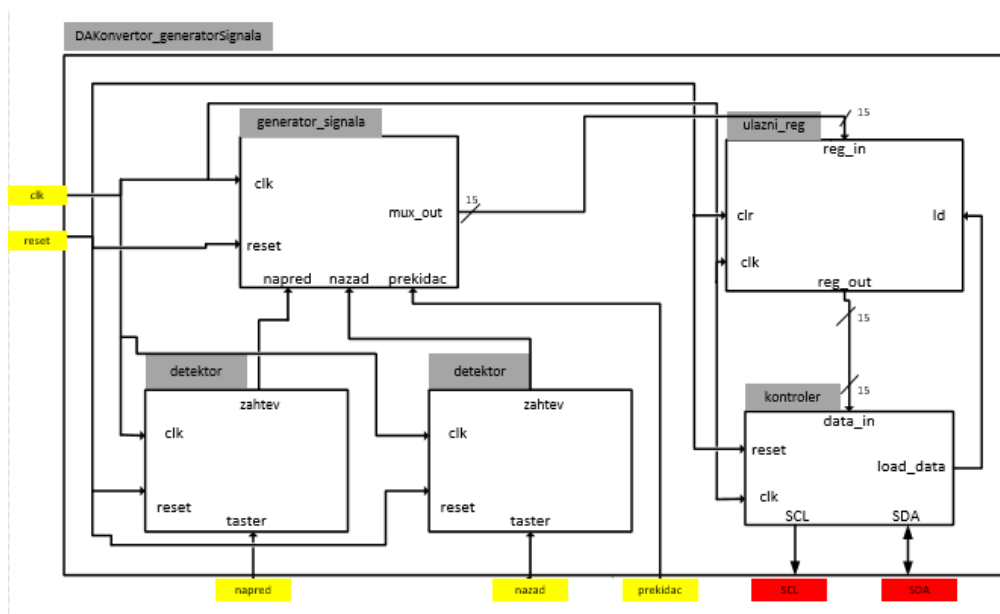
Povezivanje pinova unutar DC934A pločice:

Odabrati $V_{REF}=2.5V$ (JP1) i $V_{CC}=5V$ REG (JP2). Pin **V+** povezati na GPIO port ploče na 3.3V. Time smo postavili $V_{CC}=3.3V$. CA0-CA2 postaviti na GND (JP4,JP6 i JP7).

5. Mikroarhitektura HDL koda

5.1. Kratak opis funkcionalnosti sistema i mikroarhitekture top-level dizajna

Radi bolje preglednosti i olakšanja pri testiranju, komponenta **DAKonvertor_generatorSignala** koja predstavlja top-level dizajn sistema, realizovana je iz nekoliko nezavisnih celina koje funkcionišu kao jedinstven sistem. Mikroarhitektura komponente **DAKonvertor_generatorSignala** prikazana je na sl.4.



Slika 4. Blok šema komponente **DAKonvertor_generatorSignala**

Na izlazu **mux_out** komponente generator_signala nalazi se 16-bitna vrednost, koja predstavlja odbirak koji se šalje na ulaz DA konvertora. Odbirak se čuva u ulaznom registru (ulazni_reg) komponente kontroler pomoću koje se ostvaruje komunikacija sa LTC2607 DA-konvertorom prema definisanom I²C protokolu. Kada je kontroler spreman da obradi sledeći odbirak I pošalje ga na ulaz DA konvertora, on signalizira prihvatnom registru (ulazni_reg), koji propušta 16-bitni podatak na ulaz **data_in** komponente kontroler. Izlazni signali top-level dizajna **SDA** i **SCL**, vode se direktno na pinove pločice DC934A i zadovoljavaju tražene vremenske oblike (sl.2.).

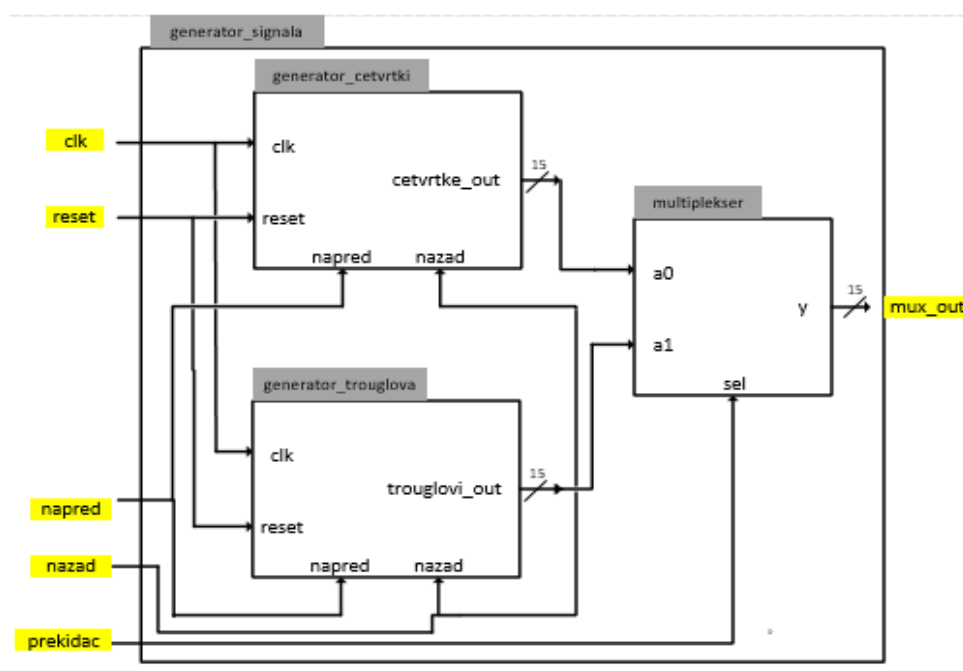
Sistemska signal takta frekvencije 50MHz se vodi na sve module, a kako različiti moduli rade na različitim frekvencijama, u okviru svakog modula, pomoću internih brojača je skaliran sistemski signal takta tako da odgovara potrebama svakog modula ponaosob.

1. Tabelarni prikaz signala I njihovih opisa

Signal	Opis	Ulazni/Izlazni
clk	Sistemska signal takta	ulazni
reset	Signal reset	ulazni
napred	Taster za povećanje faktora ispunjenosti za 10%	ulazni
nazad	Taster za smanjenje faktora ispunjenosti za 10%	ulazni
prekidač	Prekidač koji služi za promenu oblika izlaznog signala(cetvrtke/trougao)	ulazni
SDA	Serial Data Bidirectional Pin – serijski pin za slanje odbiraka na ulaz LTC2607-DA konvertora	izlazni
SCL	Serial Clock In – serijski pin za signal takta na kojem radi LTC2607-DA konvertor	izlazni

5.2. Komponenta generator_signala

Komponenta `generator_signala` (sl.5.) sastoji se iz tri dela: `generator_cetvrtki`, `generator_trouglova` i `multiplekser`. Na izlazima **cetvrtke_out** i **trouglovi_out** se generišu odbirci 16-bitnog signala koji se šalju na ulaz DA konvertora. Učestanost kojom se generišu odbirci zavisi od učestanosti na kojoj radi LTC2607-DA konvertor i mora biti oko 40x manja. Na izlazu **mux_out** se nalazi multipleksirana vrednost 16-bitnog odbirka u zavisnosti od položaja prekidača koja se šalje ostatku sistema.



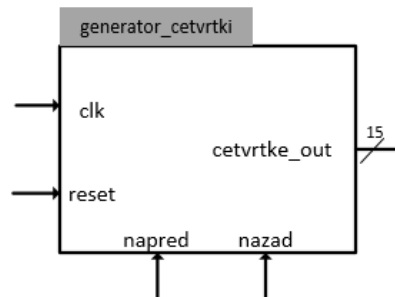
Slika 5. Blok šema komponente `generator_signala`

2. Tabelarni prikaz signala i njihovih opisa

Signal	Opis	Ulazni/Izlazni
clk	Sistemska signal takta	ulazni
reset	Signal reset	ulazni
napred	Taster za povećanje faktora ispunjenosti za 10%	ulazni
nazad	Taster za smanjenje faktora ispunjenosti za 10%	ulazni
prekidač	Prekidač koji služi za promenu oblika izlaznog signala(cetvrtke/trougao)	ulazni
mux_out	16-bitni multipleksirani odbirak koji se šalje na LTC2607-DA konvertor	izlazni

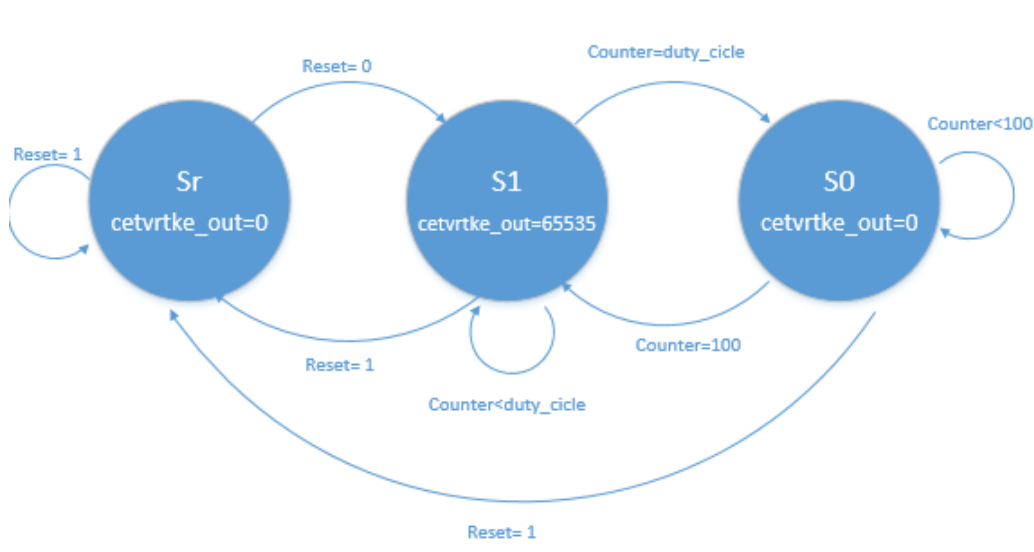
5.3. Komponenta generator_cetvrtki

Generator_cetvrtki je sekvencijalna komponenta koja generiše 16-bitni izlaz, koji predstavlja odbirak koji se preko multipleksera šalje na ulaz DA konvertora. Faktor ispunjenosti signala na izlazu D/A konvertora se može podesavati pomoću tastera **napred** i **nazad** u koracima od po 10%. Blok šema je prikazana na sl.6.



Slika 6. Simbol komponente generator_cetvrtki

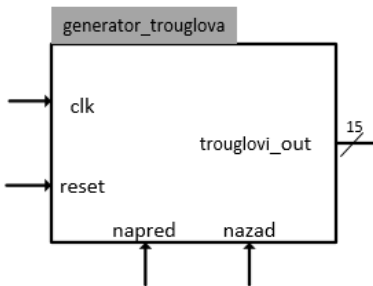
Generator_cetvrtki je realizovan kao mašina stanja prikazana na sl.7. Masina ima tri stanja: **sr**, **s0** i **s1**. Stanje **sr** predstavlja stanje reseta. Po ukidanju signala reseta, masina prelazi u stanje **s1** u kojem ostaje 50% perioda. U tom stanju, na izlazu **cetvrtke_out** se generisu sve jedinice (na ulaz D/A konvertora se dovodi maksimalna 16-bitna vrednost=65535). Ostatak perioda masina se nalazi u stanju **s0** u kojem se na 16-bitnom izlazu generisu sve nule. Ukoliko je u toku perioda pritisnut taster **napred** ili **nazad**, taj događaj se pamti u posebnoj promenljivoj, i na kraju periode se postavlja nova vrednost faktora ispunjenosti.



Slika 7. Dijagram stanja za komponentu generator_cetvrtki

5.4. Komponenta generator_trouglova

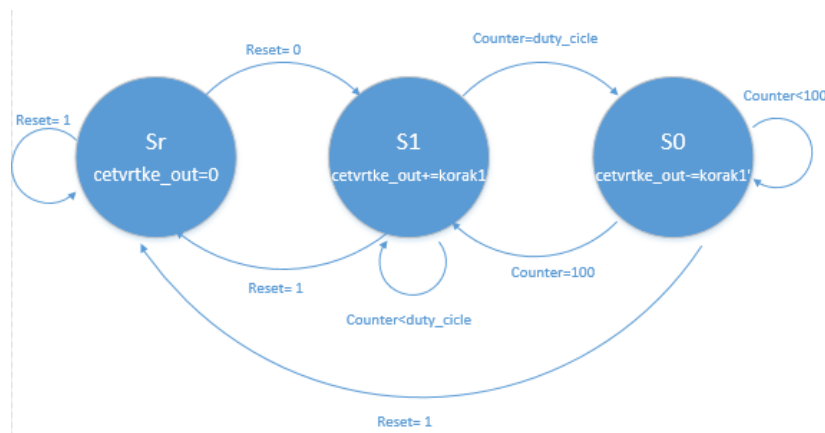
Generator_trouglova je sekvencijalna komponenta koja generiše 16-bitni izlaz, koji predstavlja odbirak koji se preko multipleksera šalje na ulaz DA konvertora. Faktor ispunjenosti signala na izlazu D/A konvertora se može podesavati pomoću tastera **napred** i **nazad** u koracima od po 10%. Blok šema je prikazana na sl.8.



Slika 8. Simbol komponente generator_trouglova

Generator_trouglova je realizovan kao mašina stanja prikazana na Sl. 9. Mašina ima tri stanja: **sr**, **s0** i **s1**. Stanje **sr** predstavlja stanje reseta. Po ukidanju signala reseta, mašina prelazi u stanje **s1** u kojem ostaje 50% perioda (faktor ispunjenosti je 50%). U stanju **s1**, izlaz se inkrementira na uzlaznu ivicu signala takta, koja je skalirana tako da zadovolji frekvenciju odabiranja DA konvertora. Konstantni korak inkrementiranja je određen faktorom ispunjenosti.

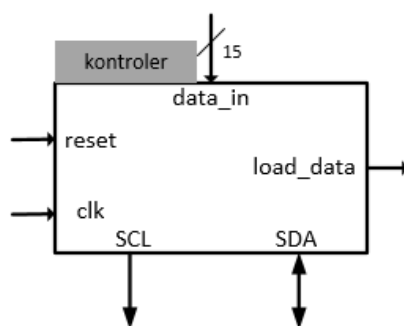
Ostatak perioda mašina se nalazi u stanju **s0** u kojem se izlaz dekrementira na isti način kao što se vrši inkrementiranje u stanju **s1**. Ukoliko je u toku perioda pritisnut taster napred ili nazad, taj događaj se pamti u posebnoj promenljivoj, i na kraju periode se postavlja nova vrednost faktora ispunjenosti.



Slika 9. Dijagram stanja za komponentu generator_trouglova

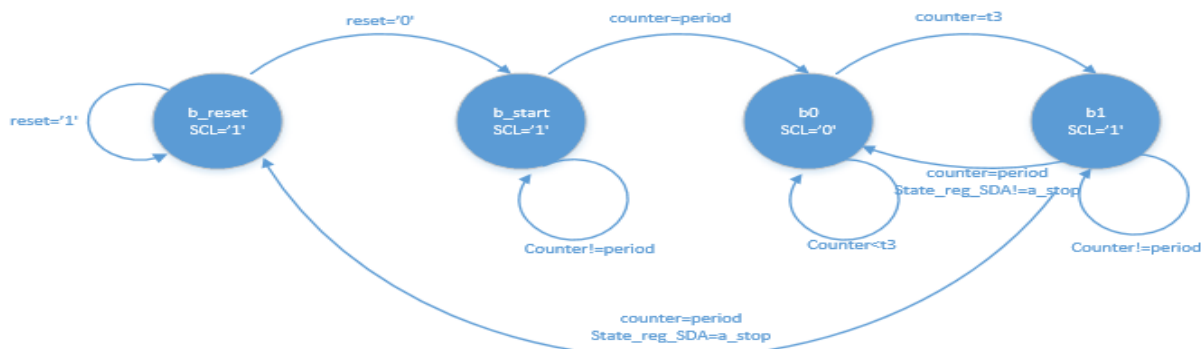
5.5. Komponenta kontroler

Kontroler je sekvencijalna komponenta koja ostvaruje komunikaciju izmedju modula generator_signala i LTC2607-D/A konvertora sa I²C protokolom. Kontroler prihvata odbirke koji su poslani sa modula generator_signala I generiše izlazne signale **SCL** i **SDA** tako da zadovolje definisani protokol. Kada je kontroler spreman da prihvati sledeći odbirak, kontroler aktivira signal **load_data** koji se šalje na **ulazni_reg** i označava da je spreman da prihvati 16-bitni podatak. **Ulazni_reg** odgovara tako što postavlja 16-bitni podatak na ulaz kontrolera **data_in**. Blok šema je prikazana na sl.10.

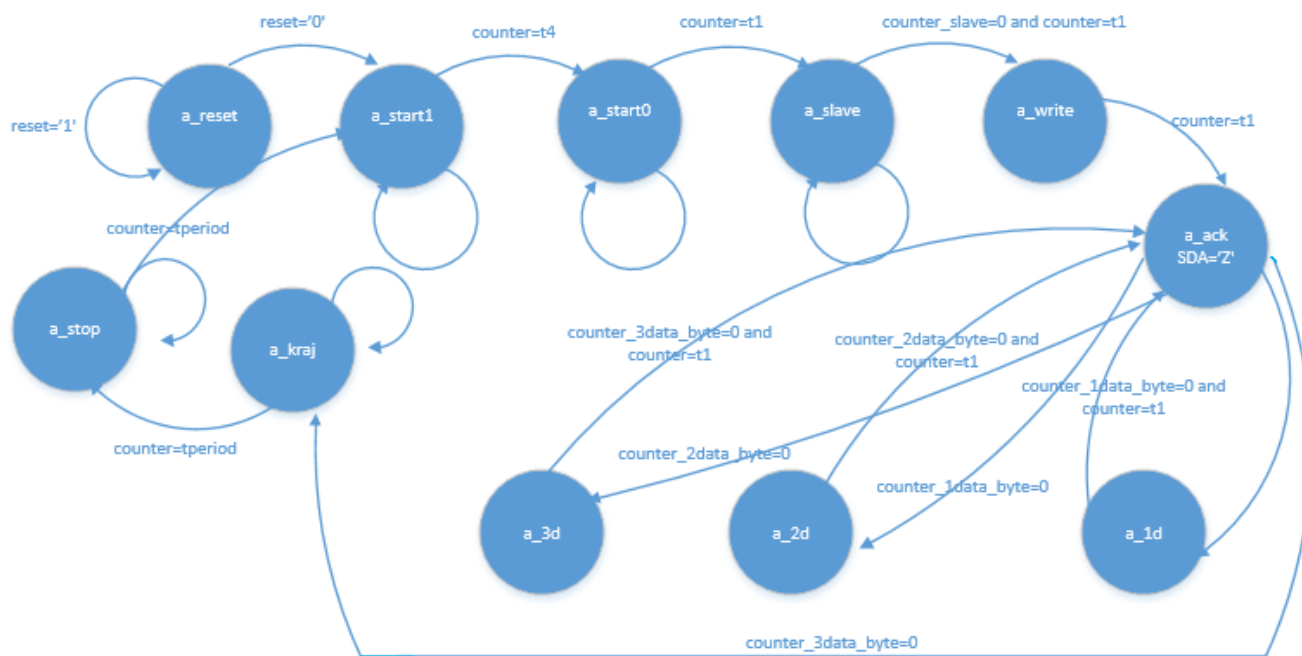


Slika 10. Simbol komponente kontroler

Kontroler je realizovan iz dve kompleksne mašine stanja, po jedna za svaki od izlanih signala **SCL** i **SDA**. Ove mašine stanja imaju onoliko stanja koliko je potrebno da se ispoštuje I²C protokol kao i komunikacija sa LTC2607 DA konvertorom. Mašina stanja koja generiše izlaz **SDA** je mnogo kompleksnija i sastoji se od 11 stanja kojima su obuhvaceni svi potrebni procesi kako bi odbirak koji se šalje na ulaz D/A konvertora bio ispravno upisan. Mašina stanja koja generise izlaz **SCL** ima samo 4 stanja. Na sl. 11.i sl.12. su prikazane mašine stanja za **SCL** i za **SDA** na kojoj su označeni bitni signali koji dovode do promene stanja.



Slika 11. Dijagram stanja za SCL



Slika 12. Dijagram stanja za SDA

6. Rezultati simulacija u Modelsim ALTERA okruženju

U ovom odeljku su prikazani samo neki od rezultata simulacije.

Rezultat simulacije za generator_cetvrtki su prikazani na sl.13. Rezultati simulacije za generator_trouglova nisu prikazani ali su gotovo identični, samo se razlikuju u izlaznom signalu trouglovi_out čija se vrednost inkrementira na svaku uzlaznu ivicu skaliranog signala takta.

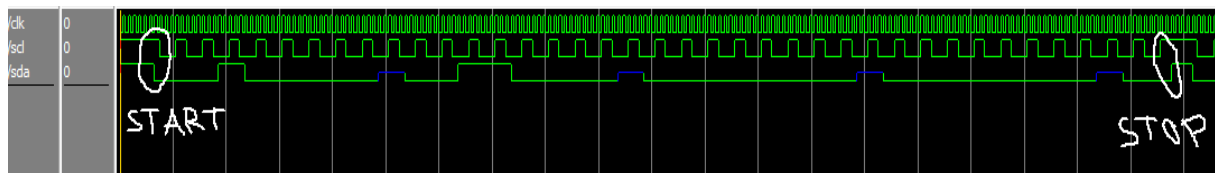
Može se primetiti da se u slučaju pritisnutog tastera, na kraju perioda izlaznog signala generator_cetvrtki, menja vrednost faktora ispunjenosti (duty cycle).

tst/cik	0																
tst/napred	0																
tst/nazad	0																
tst/reset	0																
t/1/state_reg	s0	s1	s0	s1	s0	s1	s0	s1	s0	s1	s0	s1	s0	s1	s0	s1	s0
t/1/duty_cide	60	50	60	70	80	90	80	70	60	50	60	70	80	90	80	70	60
cetvrtke_out	0	65535	0	65535	0	65535	0	65535	0	65535	0	65535	0	65535	0	65535	0

Slika 13. Rezultati simulacije za generator_cetvrtki

Rezultat simulacije za modul DAKonvertor_generatorSignala prikazan je na sl.14. Na slici je prikazan proces slanja jednog odbirka 16-bitnog signala preko linije SDA na ulaz DA konvertora.

U prvom bajtu informacije se šalje slejv adresa SA[6..0]=0010000 I osmi bit je W=0 koji predstavlja bit za upis. Drugi bajt informacije predstavlja komanda CA[3..0]=0011 I adresa A[3..0]=0000 kojom se adresira 1 od 2 DA konvertora unutar LTC2607. Treći I četvrti bajt informacije predstavljaju 16-bitni odbirak koji je jednak 0 u ovom primeru (data_in[15..0]=00..0).



Slika 14. Rezultat simulacije za modul DAKonvertor_generatorSignala

7. Rezultati testiranja na razvojnoj ploči

Uputstvo za korišćenje ploče DE1-SoC može se naći na [3].

Rezultati se mogu videti na linku:

<https://www.youtube.com/watch?v=OLrM-BcWTdk&feature=youtu.be>

8. Zaključak

U ovom radu realizovan je sistem za generisanje analognog signala pomocu DA konvertora u VHDL jeziku za modelovanje hardvera. Odbirci izlaznog signala se šalju na pločicu DA konvertora sa učestanošću koju diktira I²C protokol. Funkcionalnost projektovane komponente odgovara generator signala sa promenljivim oblikom signala I faktorom ispunjenosti. Arhitektura realiyovanog sistema je fleksibilna za modifikacije u slučaju da je potrebno generisati novi oblik izlaznog napona ili promeniti frekvenciju izlaznog signala.

9. LITERATURA

- [1] http://tnt.etf.bg.ac.rs/~oe4upv/materijali/projekti/DAC_LTC2607.pdf
- [2] http://tnt.etf.bg.ac.rs/~oe4upv/materijali/projekti/DAC_plocica_dc934af.pdf
- [3] http://tnt.etf.bg.ac.rs/~oe4upv/materijali/projekti/DE1-SoC_User_manual_reve.pdf

