TRƯỜNG ĐẠI HỌC BÁCH KHOA ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỎ CHÍ MINH KHOA ĐIỆN – ĐIỆN TỬ

৵⋯☆⋯≪



IMPLEMENT LOGIC GATES USING CMOS TECHNOLOGY Môn: THIẾT KẾ VI MẠCH

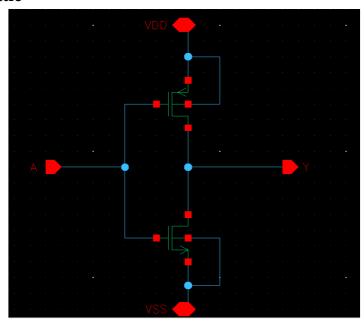
Giảng Viên Hướng Dẫn: TRẦN HOÀNG QUÂN

1. NOT

1.1. Bảng sự thật

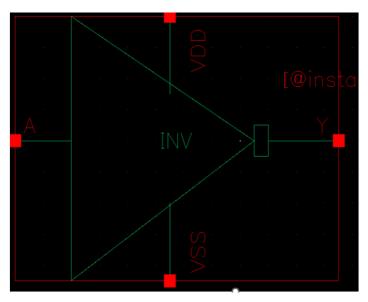
A	Y
0	0
0	0
1	0
1	1

1.2. Schematic



Hình 1.1 Sơ đồ nguyên lí cổng NOT

1.3. Symbol

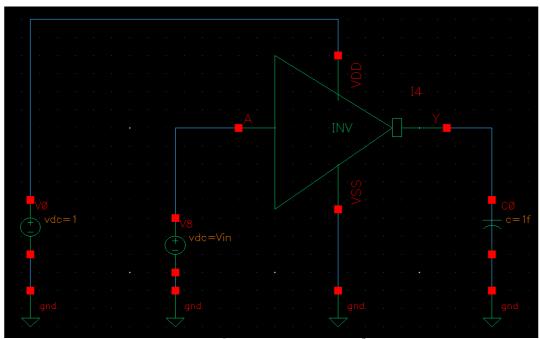


Hình 1.2 Ký hiệu cổng NOT

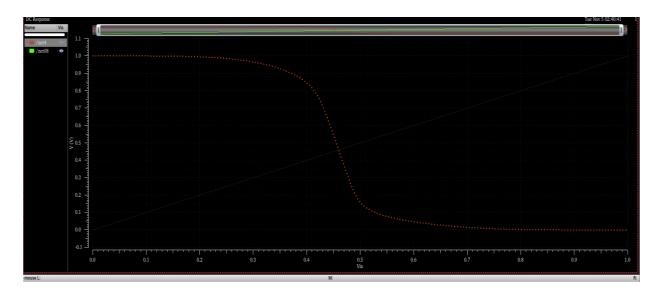
1.4 MÔ PHỎNG ĐÁP ỨNG DC CỔNG NOT

Sử dụng ADEL để thực hiện mô phỏng đáp ứng DC của cổng NOT, thực hiện cấp tín hiệu input dạng xung RAMP tầm điện áp thay đổi từ 0 đến 1V và khảo sát đáp ứng ngõ ra.

Thông số	Giá trị
$ m V_{dd}$	1V
C_{load}	1 fF
V_{A}	1V
$V_{B=}V_{in}$	0V-1V



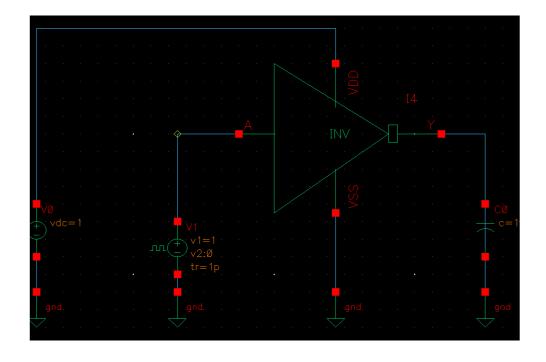
Hình 1.3 Sơ đồ mô phỏng DC cổng NOT



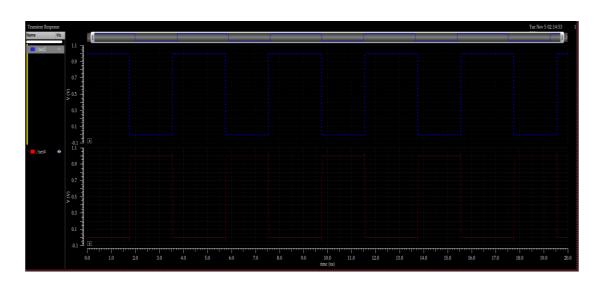
Hình 1.4. Dạng sóng Vout đáp ứng DC

1.5 MÔ PHỔNG ĐÁP ỨNG TRANSIENT CỔNG NOT

	In1	In2
Voltage 1	0	0
Voltage 2	1	1
Period	4n	2n
Delay time	0.65n	0.8n
Rise time	1p	1p
False time	1p	1p
Pulse width	2n	1n

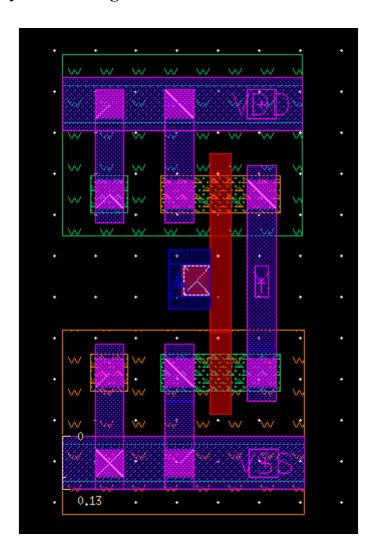


Hình 1.5. Sơ đồ mô phỏng đáp ứng Transient cổng NOT



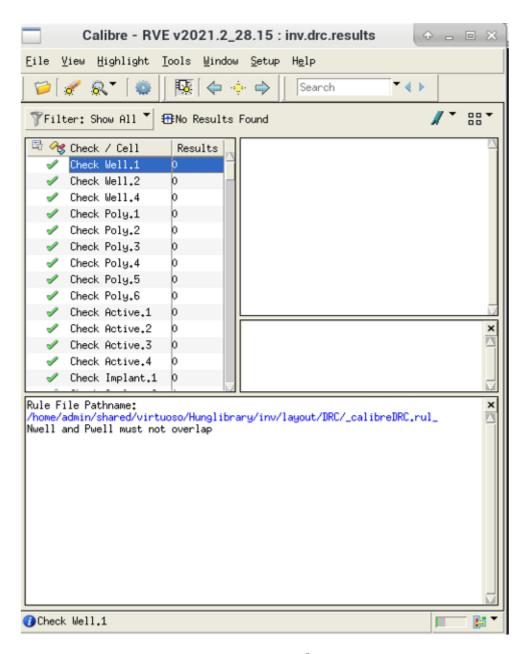
Hình 1.6. Mô phỏng Transient của cổng NOT

1.6 Layout 1.6.1 Vẽ Layout cho cổng NOT



Hình 1.7. Layout của cổng NOT

1.4.1 Check DRC



Hình 1.8 Check DRC cổng NOT

1.6.3. Check LVS

Eile Edit Options Windows

REPORT FILE NAME: inv.lvs.report LAYOUT NAME: /home/admin/shared/virtuoso/Hunglibrary/inv/layout/LVS/inv.sp ('inv') SOURCE NAME: /home/admin/shared/virtuoso/Hunglibrary/inv/layout/LVS/inv.src.net ('inv') RULE FILE: /home/admin/shared/virtuoso/Hunglibrary/inv/layout/LVS/_callbreLVS,rul_ RULE FILE TITLE: LYS Rule File for FreePIMK45 CREATION TIME: Thu Nov 7 08:42:25 2024 CREATION TIME: Thu Nov 7 08:42:25 2024 USER NAME: admin /home/admin/shared/virtuoso/Hunglibrary/inv/layout/LVS admin /home/admin/shared/virtuoso/Hunglibrary/inv/layout/LVS admin /home/admin/shared/virtuoso/Hunglibrary/inv/layout/LVS CALIBRE VERSION: v2021.2_28.15 Tue May 4 15:24:23 PDT 2021
OVERALL COMPARISON RESULTS # ##################################

Result Layout Source
CORRECT inv inv

o LVS Setup: LVS COMPONENT TYPE PROPERTY element LVS COMPONENT SUBTYPE PROPERTY model // IVS PIN Momer pondenory

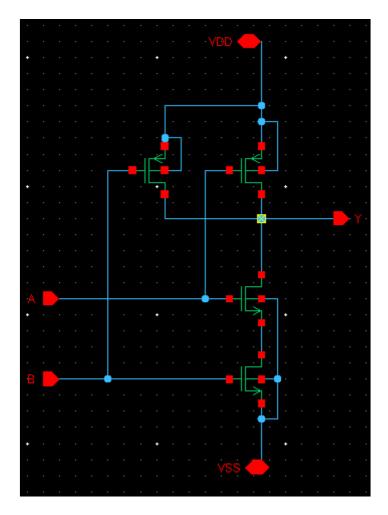
Hình 1.9 Check LVS cổng NOT

2. NAND2

2.1 Bảng sự thật

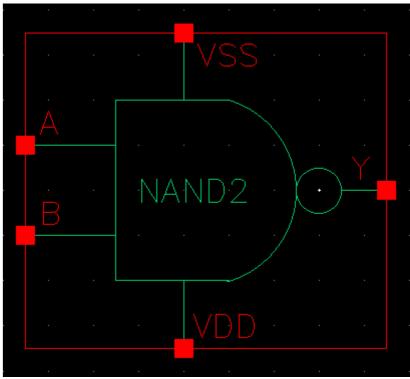
A	В	Y
0	0	1
0	1	1
1	0	1
1	1	0

2.2 Schematic



Hình 2.1: Sơ đồ nguyên lí cổng NAND2

2.3 Symbol



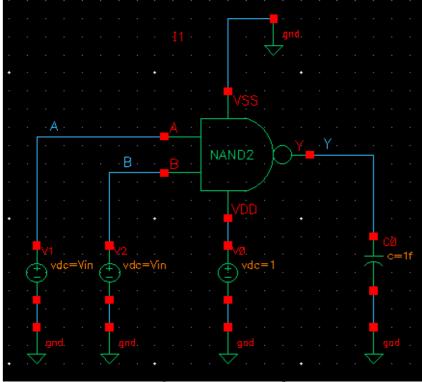
Hình 2.2: Ký hiệu cổng NAND2

2.4 MÔ PHỎNG ĐÁP ỨNG DC CỔNG NAND2

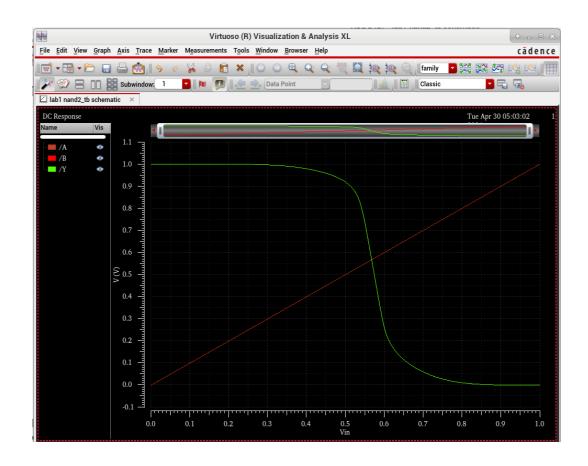
Sử dụng ADEL để thực hiện mô phỏng đáp ứng DC của cổng NAND2, thực hiên cấp tín hiệu input dạng xung RAMP tầm điện áp thay đổi từ 0 đến 1V và khảo sát đáp ứng ngõ ra.

Thông số	Giá trị
$ m V_{dd}$	1V
C _{load}	1 fF
V_{in1}	0V-1V
V_{in2}	0V-1V

2.4.1 Thực hiện đo điện áp ngõ ra tại các giá trị Vin sau:



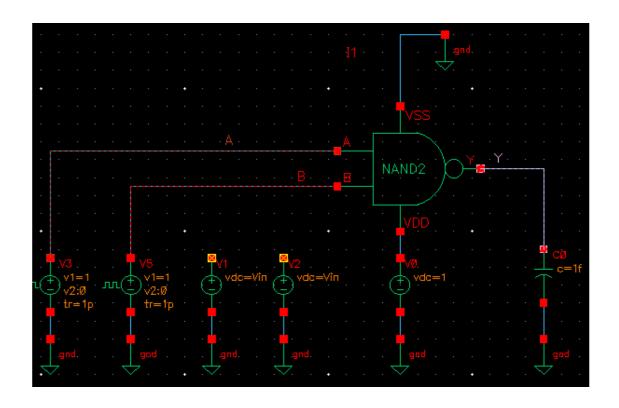
Hình 2.3: Sơ đồ mô phỏng DC cổng NAND2



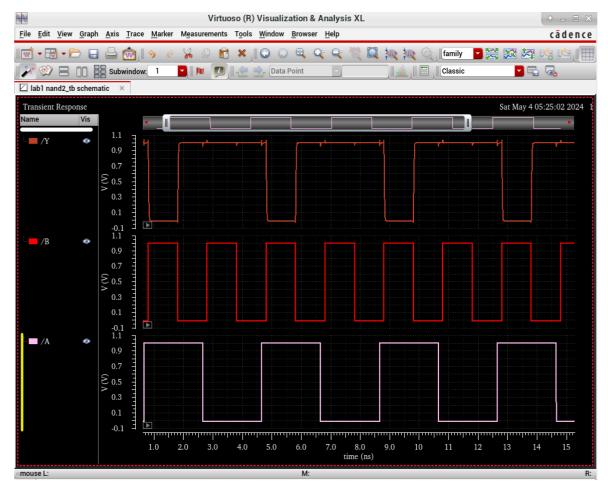
Hình 2.4: Dạng sóng Vout đáp ứng DC

2.5 MÔ PHỔNG Đ<u>ÁP ỨNG TRANSIENT CỔNG N</u>AND2

	In1	In2
Voltage 1	0	0
Voltage 2	1	1
Period	4n	2n
Delay time	0.65n	0.8n
Rise time	1p	1p
False time	1p	1p
Pulse width	2n	1n

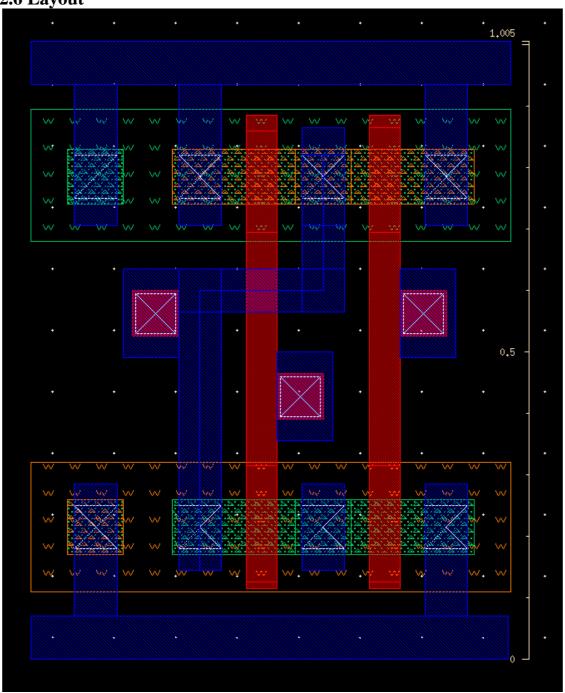


Hình 2.5: Sơ đồ mô phỏng đáp ứng Transient cổng NAND2

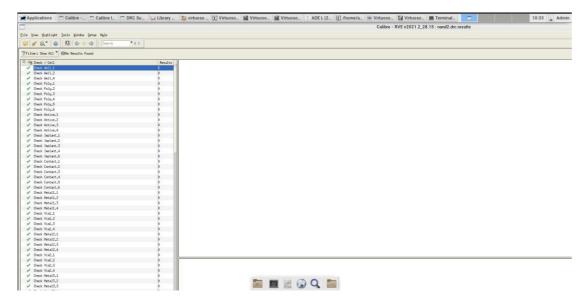


Hình 2.6: Mô phỏng Transient của cổng NAND2

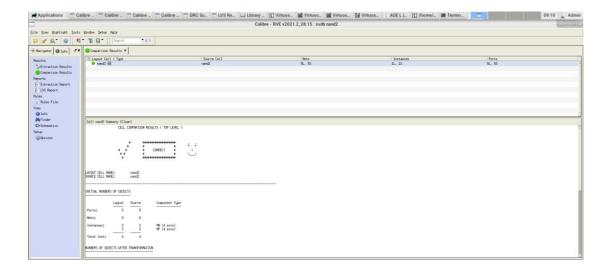
2.6 Layout



Hình 2.7: Layout cổng NAND2



Hình 2.8 Check DRC



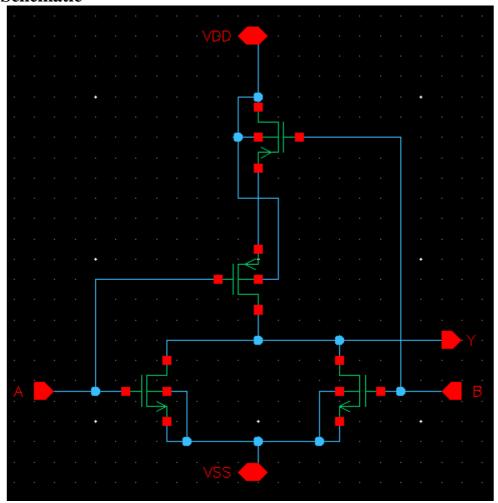
Hình 2.9: Check LVS

3. NOR2

3.1 Bảng sự thật

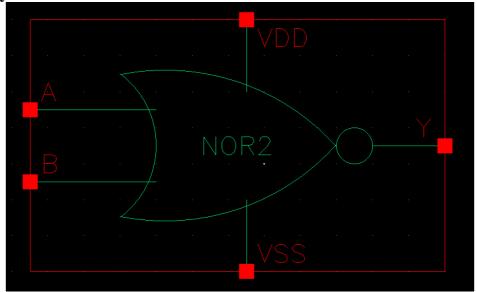
A	В	Y
0	0	1
0	1	0
1	0	0
1	1	0

3.2 Schematic



Hình 3.1: Sơ đồ nguyên lí cổng NOR2

3.5 Symbol



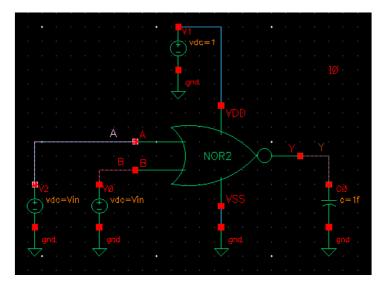
Hình 3.2: Ký hiệu cổng NOR2

3.5 MÔ PHỔNG ĐÁP ỨNG DC CỔNG NOR2

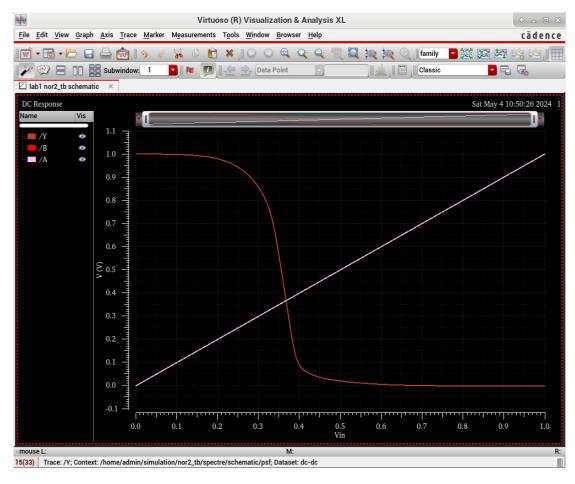
Sử dụng ADEL để thực hiện mô phỏng đáp ứng DC của cổng NOR2, thực hiên cấp tín hiệu input dạng xung RAMP tầm điện áp thay đổi từ 0 đến 1V và khảo sát đáp ứng ngõ ra.

Thông số	Giá trị
$ m V_{dd}$	1V
C_{load}	1 fF
V_{in1}	0V-1V
V_{in2}	0V-1V

• Thực hiện đo điện áp ngõ ra tại các giá trị Vin sau:



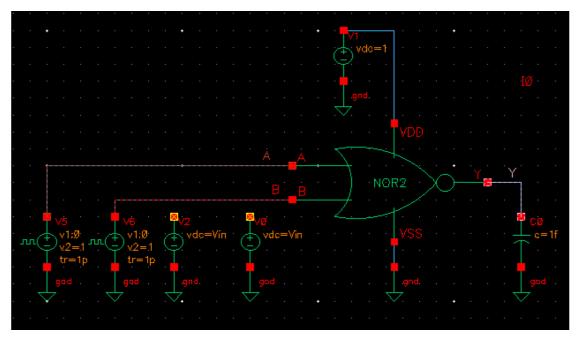
Hình 3.3: Sơ đồ mô phỏng DC cổng NOR2



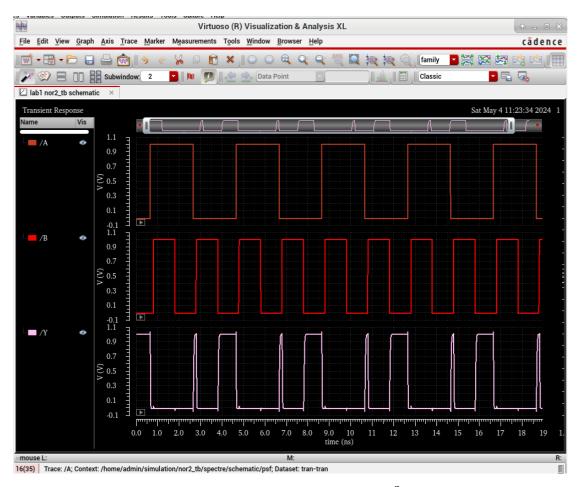
Hình 3.4: Dạng sóng Vout đáp ứng DC

3.5 MÔ PHỎNG ĐÁP ỨNG TRANSIENT CÔNG NOR2

	In1	In2
Voltage 1	0	0
Voltage 2	1	1
Period	4n	2n
Delay time	0.65n	0.8n
Rise time	1p	1p
False time	1p	1p
Pulse width	2n	1n

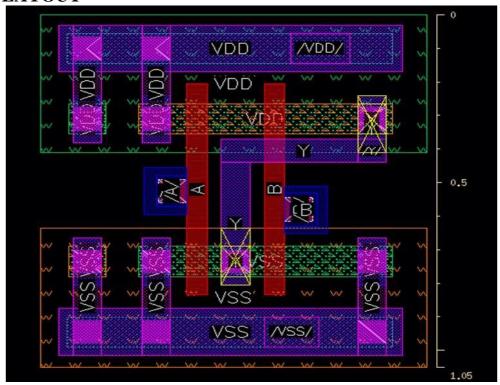


Hình 3.5: Sơ đồ mô phỏng đáp ứng Transient cổng NOR2

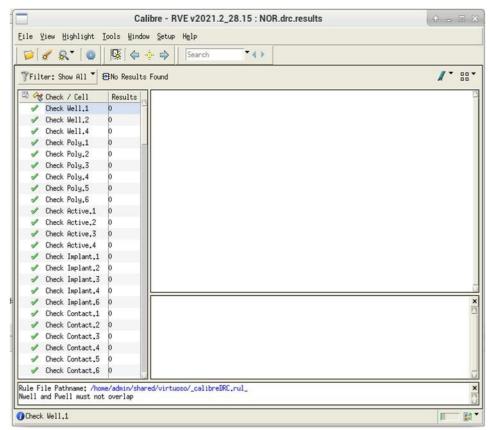


Hình 3.6: Mô phỏng Transient của cổng NOR2

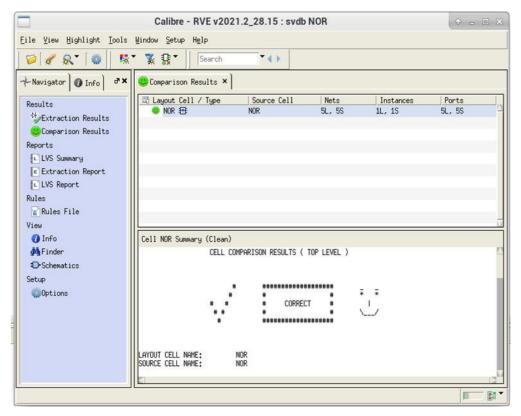
3.6 LAYOUT



Hình 3.7: Layout của cổng NOR2



Hình 3.8: Check DRC cổng NOR2



Hình 3.9: Check LVS cổng NOR2