|  |
| --- |
| ĐẠI HỌC BÁCH KHOA HÀ NỘI  **TRƯỜNG ĐIỆN – ĐIỆN TỬ**  logo_128  **THIẾT KẾ VLSI**  **Đề tài:**  **THIẾT KẾ BỘ GIẢI MÃ SỬ DỤNG THUẬT TOÁN VITERBI**  Sinh viên thực hiện: Ngô Minh Đắc 20213870  Vũ Tuấn Minh 20214015  Nguyễn Việt Thành 20211016  Nhóm: 20  Ngành: Điện tử Viễn thông – K66  Giảng viên hướng dẫn: TS. Nguyễn Vũ Thắng  Hà Nội, 1-2025 |

# MỤC LỤC

[MỤC LỤC 2](#_Toc188508811)

[DANH MỤC HÌNH ẢNH iv](#_Toc188508812)

[DANH MỤC BẢNG BIỂU v](#_Toc188508813)

[1. Cơ sở lý thuyết 1](#_Toc188508814)

[1.1 Điều chế 1](#_Toc188508815)

[1.2 Giải điều chế 1](#_Toc188508816)

[2. Khối top module 4](#_Toc188508817)

[2.1. Sơ đồ khối 4](#_Toc188508818)

[2.2. Chức năng 4](#_Toc188508819)

[2.3. Đầu vào đầu ra 4](#_Toc188508820)

[3. Module khối control 5](#_Toc188508821)

[3.1. Sơ đồ khối 5](#_Toc188508822)

[3.2. Chức năng 5](#_Toc188508823)

[3.3. Đầu vào đầu ra 5](#_Toc188508824)

[3.4. Sơ đồ máy trạng thái FSM 6](#_Toc188508825)

[4. Module khối extract\_bit 7](#_Toc188508826)

[4.1. Sơ đồ khối 7](#_Toc188508827)

[4.2. Chức năng 7](#_Toc188508829)

[4.3. Đầu vào đầu ra 7](#_Toc188508830)

[4.4. Lưu đồ thuật toán 8](#_Toc188508831)

[5. Module khối branch\_metric 9](#_Toc188508832)

[5.1. Sơ đồ khối branch\_metric 9](#_Toc188508833)

[5.2. Chức năng 9](#_Toc188508834)

[5.3. Đầu vào, đầu ra 9](#_Toc188508835)

[5.4. Lưu đồ thuật toán 10](#_Toc188508836)

[6. Module khối add\_compare\_select 11](#_Toc188508837)

[6.1. Sơ đồ khối 11](#_Toc188508838)

[6.2. Chức năng 11](#_Toc188508839)

[6.3. Đầu vào, đầu ra 12](#_Toc188508840)

[6.4. Lưu đồ thuật toán 13](#_Toc188508841)

[7. Module memory 14](#_Toc188508842)

[7.1. Sơ đồ khối 14](#_Toc188508843)

[7.2. Chức năng 14](#_Toc188508844)

[7.3. Đầu vào, đầu ra 14](#_Toc188508845)

[8. Module traceback\_output\_decision 15](#_Toc188508846)

[8.1. Sơ đồ khối 15](#_Toc188508847)

[8.2. Chức năng 15](#_Toc188508848)

[8.3 Đầu vào, đầu ra 16](#_Toc188508849)

[8.4. Máy trạng thái FSM 17](#_Toc188508850)

[9. Kết quả đạt được 17](#_Toc188508851)

# DANH MỤC HÌNH ẢNH

*Hình 1. Sơ đồ khối hệ thống Điều chế 1*

*Hình 2. Sơ đồ FSM 2*

*Hình 3. Sơ đồ FSM dạng lưới 2*

*Hình 4. Lưu đồ Hamming Distance 3*

*Hình 5. Sơ đồ khối top 4*

*Hình 6. Sơ đồ khối control 5*

*Hình 7. Sơ đồ máy trạng thái cho khối control 6*

*Hình 8. Sơ đồ khối extract\_bit 7*

*Hình 9. Lưu đồ thuật toán khối extract\_bit 8*

*Hình 10. Sơ đồ khối branch\_metric 9*

*Hình 11. Lưu đồ thuật toán khối branch\_metric 10*

*Hình 12. Sơ đồ khối add\_compare\_select 11*

*Hình 13. Lưu đồ thuật toán khối add\_compare\_select 13*

*Hình 14. Sơ đồ khối memory 14*

*Hình 15. Sơ đồ khối traceback\_output\_decision 15*

*Hình 16. Máy trạng thái FSM khối traceback\_output\_decision 17*

*Hình 17. Kết quả Direct Test 18*

*Hình 18. Kết quả Sysnthesis 19*

*Hình 19. Kết quả Layout 20*

*Hình 20. Kết quả DRC Check 21*

*Hình 21. Kết quả Connectivity Check 21*

# DANH MỤC BẢNG BIỂU

*Bảng 1. Bảng trạng thái của hệ thống 1*

*Bảng 2. Bảng Hamming Distance 3*

*Bảng 3. Đầu vào, đầu ra khối top 4*

*Bảng 4. Đầu vào, đầu ra khối control 5*

*Bảng 5. Đầu vào, đầu ra khối extract\_bit 7*

*Bảng 6. Khoảng cách Hamming giữa các nút 9*

*Bảng 7. Đầu vào, đầu ra khối branch\_metric 9*

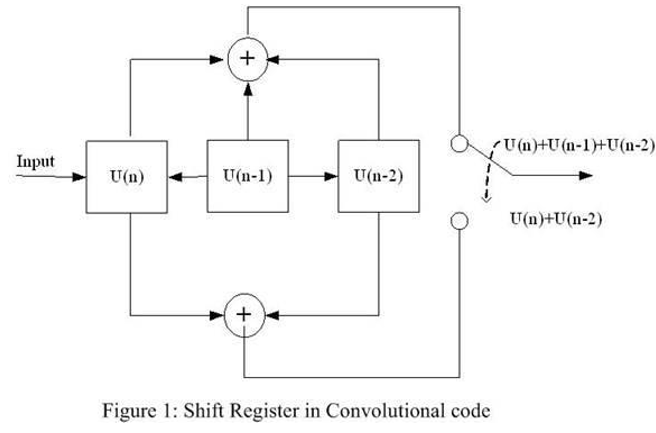
*Bảng 8. Đầu vào, đầu ra khối add\_compare\_select 12*

*Bảng 9. Đầu vào, đầu ra khối memory 14*

*Bảng 10. Đầu vào, đầu ra khối traceback\_output\_decision 16*

# 1. Cơ sở lý thuyết

## 1.1 Điều chế



*Hình 1. Sơ đồ khối hệ thống Điều chế*

## 1.2 Giải điều chế

C1 = 1 + x + x^2

C2 = 1 + x^2

Trạng thái của hệ thống là gộp của 2 thanh ghi U(n-1) và U(n-2) tương ứng S1S2

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Input | S1 | S2 | C1 | C2 | S1’ | S2’ |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 |

*Bảng 1: Bảng trạng thái của hệ thống*

- State Diagram:

A black background with white rectangles and numbers

Description automatically generated

*Hình 2. Sơ đồ FSM*

A black background with a black square

Description automatically generated with medium confidence

*Hình 3. Sơ đồ FSM dạng lưới*

- Qua sơ đồ dịch chuyển trạng thái, ta có thể đưa ra nhận xét sau:

+ Để dịch chuyển tới trạng thái 00, 01 bit đầu vào phải có giá trị là 0 (khác trạng thái trước)

+ Để dịch chuyển tới trạng thái 10, 11 bit đầu vào phải có giá trị là 1 (khác trạng thái trước)

=> Không thể phân biệt dịch chuyển trạng thái thông qua bit đầu vào mà phải lưu lại từng trạng thái dẫn dịch chuyển đến trạng thái đang xét

\* Ký hiệu Hamming Distance cho các dịch chuyển:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Trước\Sau | 00 | 10 | 01 | 11 |
| 00 | HD1 (00) | HD2 (11) |  |  |
| 10 |  |  | HD3 (10) | HD4 (01) |
| 01 | HD5 (11) | HD6 (00) |  |  |
| 11 |  |  | HD7 (01) | HD8 (10) |

*Bảng 2: Bảng Hamming Distance*

- Từ đó có thể dễ dàng tính sẵn độ sai khác bit (Hamming Distance) của các dịch chuyển với các trường hợp 2 bit đầu tương ứng 00, 01, 10, 11:

A diagram of a number

Description automatically generated

*Hình 4. Lưu đồ Hamming Distance*

# 2. Khối top module

## 2.1. Sơ đồ khối

A white background with black text

Description automatically generated

Hình 5. Sơ đồ khối top

## 2.2. Chức năng

Module Viterbi\_decoder đóng vai trò là top module trong khối thiết kế, có chức năng khởi tạo các khối module bé hơn và thực hiện kết nối tín hiệu giữa các khối này với nhau. Việc sử dụng khối top module giúp tách biệt các phần khác nhau của hệ thống, làm cho việc thiết kế và kiểm tra trở nên dễ dàng hơn, và cho phép các phần tử khác nhau của hệ thống được phát triển và kiểm tra độc lập.

## 2.3. Đầu vào đầu ra

Bảng 3: Đầu vào, đầu ra khối Top

|  |  |  |  |
| --- | --- | --- | --- |
| Tên chân | Số bit | I/O | Chức năng |
| clk | 1 | I | Sườn lên của tín hiệu clk điều khiển và thực hiện lệnh trong mạch tuần tự |
| rst | 1 | I | Tín hiệu thiết lập lại các giá trị ban đầu |
| en | 1 | I | Là tín hiệu báo hiệu bắt đầu quá trình giải mã |
| i\_data | 16 | I | Data đầu vào 16bit cần giải mã |
| o\_data | 8 | O | Data đầu ra 8bit đã giải mã xong |
| o\_done | 1 | O | Tín hiệu báo hiệu giải mã xong |

# 3. Module khối control

## 3.1. Sơ đồ khối

A white background with black text

Description automatically generated

Hình 6. Sơ đồ khối control

## 3.2. Chức năng

Khối control trong viterbi decoder chứa logic và các trạng thái để thực hiện các chức năng điều khiển hoạt động của các khối đã nêu ở trên thông qua đầu ra là tín hiệu điều khiển, nó giúp cho bộ giải mã có thể hoạt động được đúng với chức năng đã đề ra.

## 3.3. Đầu vào đầu ra

Bảng 4: Đầu vào đầu ra khối control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tên chân | Số bit | I/O | Reg | Chức năng |
| en | 1 | I |  | Tín hiệu để báo hiệu một đầu vào nhận được mới đã sẵn sàng để được giải mã. |
| clk | 1 | I |  | Sườn dương của tín hiệu clk điều khiển hoạt động mạch tuần tự |
| rst | 1 | I |  | Tín hiệu thiết lập lại trạng thái ban đầu |
| en\_extract | 1 | O | reg | Tín hiệu điều khiển khối extract\_bit hoạt động |
| en\_branch | 1 | O | reg | Tín hiệu điều khiển khối branch\_metric hoạt động |
| en\_add | 1 | O | reg | Tín hiệu điều khiển khối add\_compare\_select hoạt động |
| en\_memory | 1 | O | reg | Tín hiệu điều khiển khối memory hoạt động |
| en\_traceback | 1 | O | reg | Tín hiệu điều khiển khối traceback\_output\_decision hoạt động |

## 3.4. Sơ đồ máy trạng thái FSM

A screenshot of a cell phone

Description automatically generated

Hình 7. Sơ đồ máy trạng thái cho khối control

# 4. Module khối extract\_bit

## 4.1. Sơ đồ khối

## 

Hình 8. Sơ đồ khối extract\_bit

## 4.2. Chức năng

Khối extract\_bit có chức năng chia data đầu vào 16 bit thành từng cặp 2 bit một để gửi đi cho quá trình giải mã tiếp theo. Việc sử dụng một đầu ra 2 bit giúp giảm số lượng đầu ra và logic cần thiết trong mạch, dẫn đến tiết kiệm diện tích mạch và tài nguyên phần cứng. Đồng thời số lượng đầu ra ít hơn có thể giảm độ phức tạp của mạch, làm cho việc thiết kế, kiểm tra và bảo trì dễ dàng hơn.

## 4.3. Đầu vào đầu ra

Bảng 5: Đầu vào, đầu ra khối extract\_bit

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tên chân | Số bit | I/O | Reg | Chức năng |
| en\_extract | 1 | I |  | Tín hiệu điều khiển khối extract\_bit hoạt động |
| clk | 1 | I |  | Sườn dương của tín hiệu clk điều khiển hoạt động mạch tuần tự |
| rst | 1 | I |  | Tín hiệu thiết lập trạng thái ban đầu |
| i\_data | 16 | I |  | Data đầu vào 16bit cần giải mã |
| o\_Rx | 2 | O | reg | Hai bit đưa vào các khối tiếp theo để giải mã |

## 4.4. Lưu đồ thuật toán

A diagram of a flowchart

Description automatically generated

Hình 9. Lưu đồ thuật toán khối extract\_bit

# 5. Module khối branch\_metric

## 5.1. Sơ đồ khối branch\_metric

A white background with black text

Description automatically generated

Hình 10. Sơ đồ khối branch\_metric

## 5.2. Chức năng

Khối branch\_metric có chức năng nhận tín hiệu từ khối extract\_bit, chứa các logic để tính độ sai khác của 2 bit đầu vào với đầu ra giữa các nút(Hamming) và cho ra 6 đầu ra 2 bit để sử dụng cho khối Add\_compare\_select.

Bảng 6: Khoảng cách hamming giữa các nút

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Nút | 00 | 10 | 01 | 11 |
| 00 | HD1 | HD2 | - | - |
| 10 | - | - | HD3 | HD4 |
| 01 | HD5 | HD6 | - | - |
| 11 | - | - | HD7 | HD8 |

## 5.3. Đầu vào, đầu ra

Bảng 7. Đầu vào, đầu ra khối Branch\_matric

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tên chân | Số bit | I/O | Reg | Chức năng |
| rst | 1 | I |  | Tín hiệu thiết lập lại trạng thái ban đầu |
| en\_branch | 1 | I |  | Tín hiệu điều khiển khối branch\_metric hoạt động |
| i\_Rx | 2 | I |  | Hai bit đầu vào thực hiện giải mã |
| HD1-HD5 | 2 | O | Reg | Độ sai khác giữa đầu vào và đầu ra tại nút 00 |
| HD2-HD6 | 2 | O | Reg | Độ sai khác giữa đầu vào và đầu ra tại nút 10 |
| HD3-HD7 | 2 | O | Reg | Độ sai khác giữa đầu vào và đầu ra tại nút 01 |
| HD4-HD8 | 2 | O | Reg | Độ sai khác giữa đầu vào và đầu ra tại nút 11 |

## 5.4. Lưu đồ thuật toán

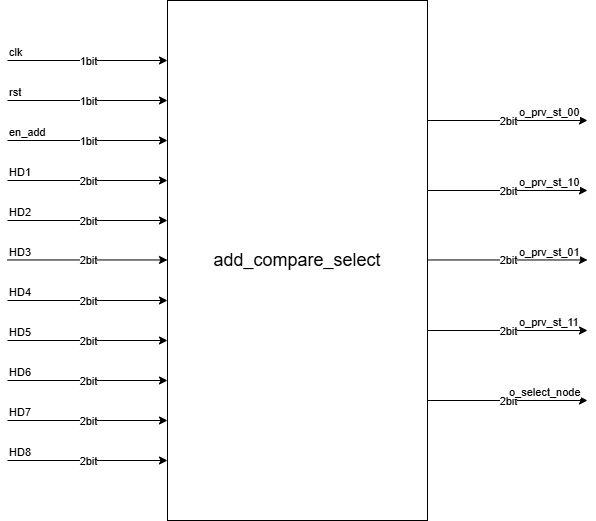
A diagram of a algorithm

Description automatically generated

Hình 11. Lưu đồ thuật toán khối branch\_metric

# 6. Module khối add\_compare\_select

## 6.1. Sơ đồ khối



Hình 12. Sơ đồ khối add\_compare\_select

## 6.2. Chức năng

Khối add\_compare\_select nhận các tín hiệu khoảng cách hamming từ khối branch\_metric, có chức năng tính toán so sánh và lựa chọn ra tổng hamming nhỏ nhất tại các nút và các nút dịch chuyển tới nút đó, đồng thời gửi các giá trị đó tới khối memory và giá trị nút có hamming nhỏ nhất tới khối traceback\_output\_decision.

## 6.3. Đầu vào, đầu ra

Bảng 8. Đầu vào, đầu ra khối add\_compare\_select

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tên chân | Số bit | I/O | reg | Chức năng |
| clk | 1 | I |  | Sườn dương của tín hiệu clk điều khiển hoạt động mạch tuần tự |
| rst | 1 | I |  | Tín hiệu thiết lập lại trạng thái ban đầu |
| en\_add | 1 | I |  | Tín hiệu điều khiển khối add\_compare\_select |
| HD1-HD5 | 2 | I |  | Khoảng cách hamming tại nút 00 |
| HD2-HD6 | 2 | I |  | Khoảng cách hamming tại nút 10 |
| HD3-HD7 | 2 | I |  | Khoảng cách hamming tại nút 01 |
| HD4-HD8 | 2 | I |  | Khoảng cách hamming tại nút 11 |
| o\_prv\_st\_00 | 2 | O | reg | Nút trước khi chuyển sang nút 00 |
| o\_prv\_st\_10 | 2 | O | reg | Nút trước khi chuyển sang nút 10 |
| o\_prv\_st\_01 | 2 | O | reg | Nút trước khi chuyển sang nút 01 |
| o\_prv\_st\_11 | 2 | O | reg | Nút trước khi chuyển sang nút 11 |
| o\_select\_node | 2 | O | reg | Nút có tổng khoảng cách hamming nhỏ nhất |

## 6.4. Lưu đồ thuật toán

A screenshot of a computer

Description automatically generated

Hình 13. Lưu đồ thuật toán khối add\_compare\_select

# 7. Module memory

## 7.1. Sơ đồ khối

A black and white background with white rectangles

Description automatically generated

Hình 14. Sơ đồ khối memory

## 7.2. Chức năng

Khối memory có chức năng lưu trữ sự dịch chuyển của các nút tại từng thời điểm khác nhau và lưu thành tập hợp 4 thanh ghi với 8 phần tử để sử dụng cho khối traceback\_output\_decision.

## 7.3. Đầu vào, đầu ra

*Bảng 9. Đầu vào, đầu ra khối memory*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tên chân | Số bit | I/O | reg | Chức năng |
| clk | 1 | I |  | Sườn dương của tín hiệu clk điều khiển hoạt động mạch tuần tự |
| rst | 1 | I |  | Tín hiệu thiết lập lại trạng thái ban đầu |
| en\_memory | 1 | I |  | Tín hiệu điều khiển khối memory hoạt động |
| i\_prv\_st\_00 | 2 | I |  | Nút đi đến nút 00 |
| i\_prv\_st\_10 | 2 | I |  | Nút đi đến nút 10 |
| i\_prv\_st\_01 | 2 | I |  | Nút đi đến nút 01 |
| i\_prv\_st\_11 | 2 | I |  | Nút đi đến nút 11 |
| o\_bck\_prv\_st\_00 | 2 | O | reg | Nút đi đến nút 00 |
| o\_bck\_prv\_st\_10 | 2 | O | reg | Nút đi đến nút 10 |
| o\_bck\_prv\_st\_01 | 2 | O | reg | Nút đi đến nút 01 |
| o\_bck\_prv\_st\_11 | 2 | O | reg | Nút đi đến nút 11 |

# 8. Module traceback\_output\_decision

## 8.1. Sơ đồ khối

A screen shot of a computer

Description automatically generated

Hình 15. Sơ đồ khối traceback\_output\_decision

## 8.2. Chức năng

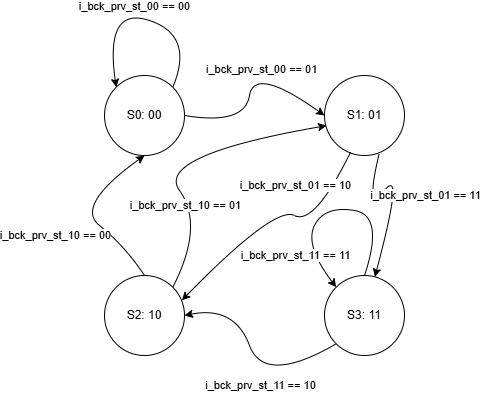
Khối traceback\_output\_decision nhận các tín hiệu trạng thái trước đấy của từng nút từ khối memory và tín hiệu chọn nút có hamming nhỏ nhất của khối add\_compare\_select, có chức năng truy suất lại đường đi tối ưu nhất để để đưa ra 8 bit giải mã và tín hiệu đã hoàn thành giải mã.

## 8.3 Đầu vào, đầu ra

Bảng 10. Đầu vào, đầu ra khối traceback\_output\_decision

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tên chân | Số bit | I/O | reg | Chức năng |
| clk | 1 | I |  | Sườn dương của tín hiệu clk điều khiển hoạt động mạch tuần tự |
| rst | 1 | I |  | Tín hiệu thiết lập lại trạng thái ban đầu |
| en\_traceback | 1 | I |  | Tín hiệu điều khiển khối Traceback hoạt động |
| i\_bck\_prv\_st\_00 | 2 | I |  | Nút đi đến nút 00 tại một thời điểm |
| i\_bck\_prv\_st\_10 | 2 | I |  | Nút đi đến nút 10 tại một thời điểm |
| i\_bck\_prv\_st\_01 | 2 | I |  | Nút đi đến nút 01 tại một thời điểm |
| i\_bck\_prv\_st\_11 | 2 | I |  | Nút đi đến nút 11 tại một thời điểm |
| i\_select\_node | 2 | I |  | Nút có khoảng cách hamming nhỏ nhất |
| o\_data | 8 | O | reg | Data đã giải mã xong |
| o\_done | 1 | O | reg | Tín hiệu báo hiệu đã traceback xong 8bit |

## 8.4. Máy trạng thái FSM

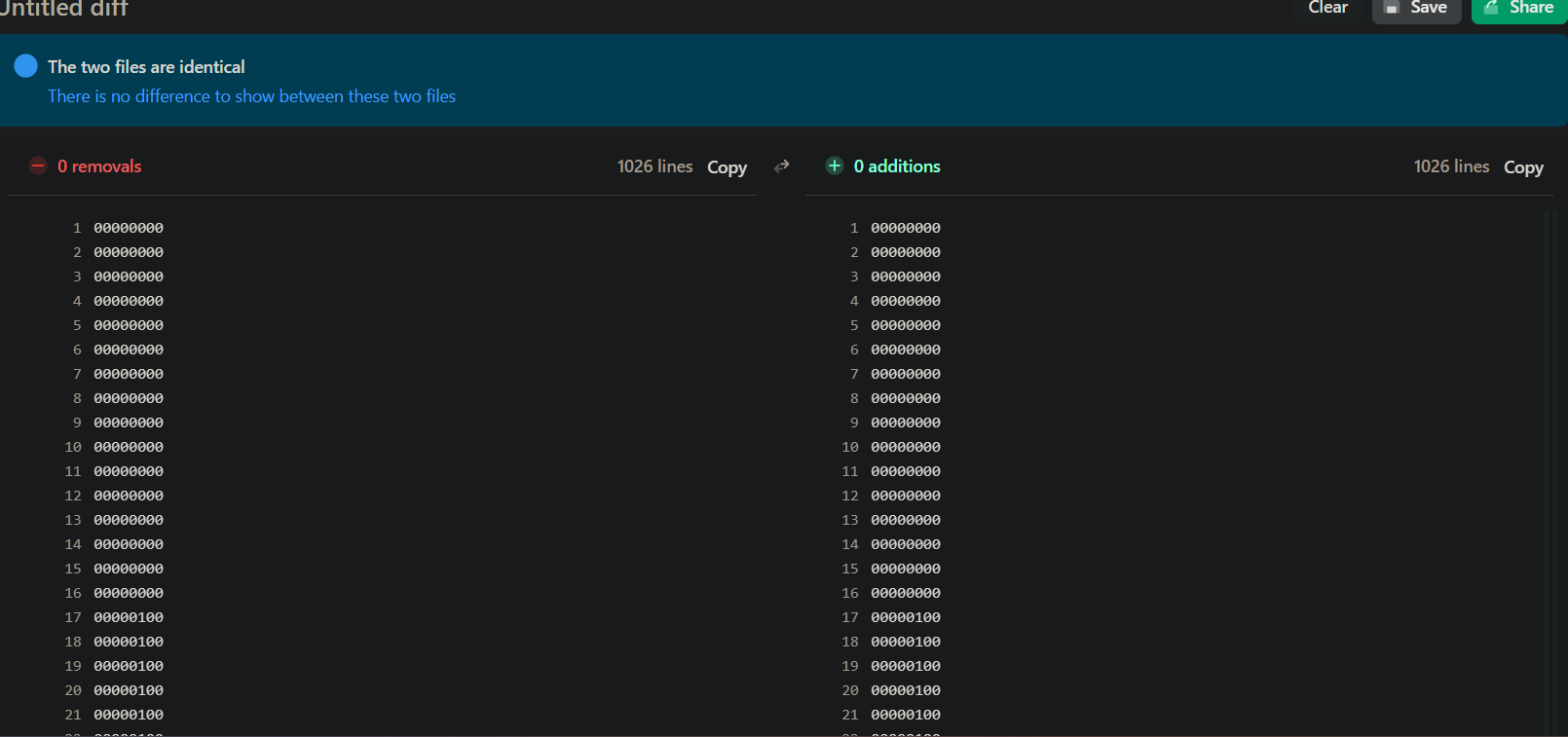


Hình 16. Máy trạng thái FSM khối traceback\_output\_decision

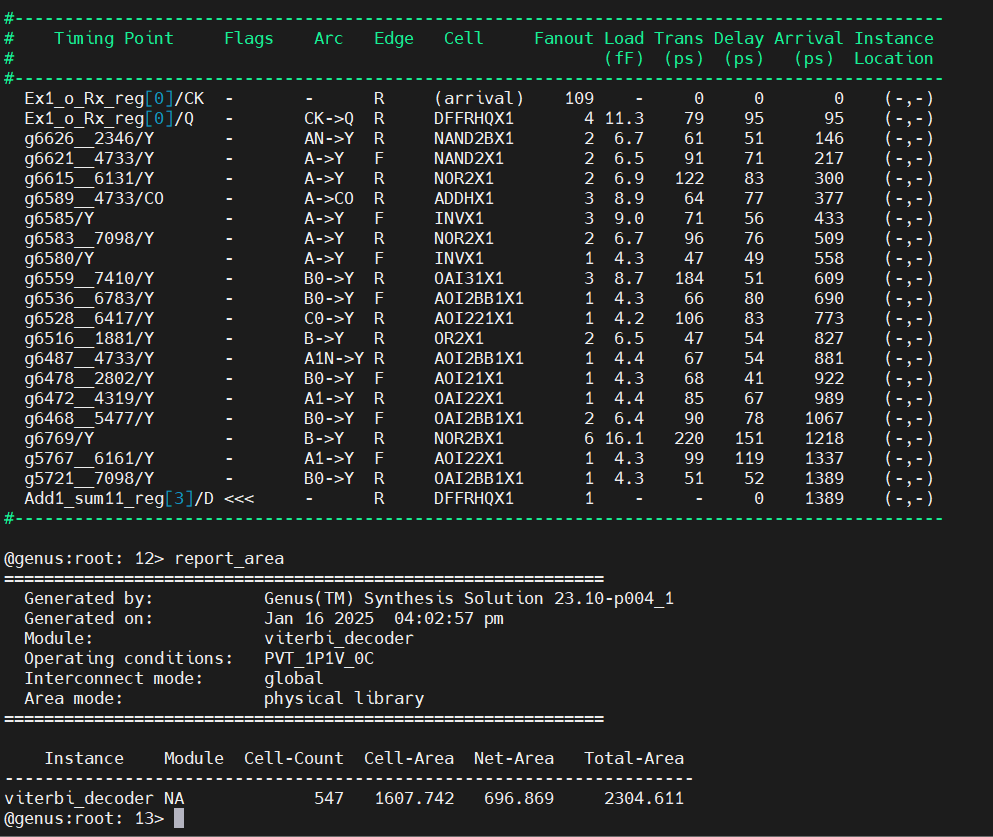
# 9. Kết quả đạt được

**Hệ thống được triển khai, tổng hợp, bố trí sử dụng EDA tools của Cadence**

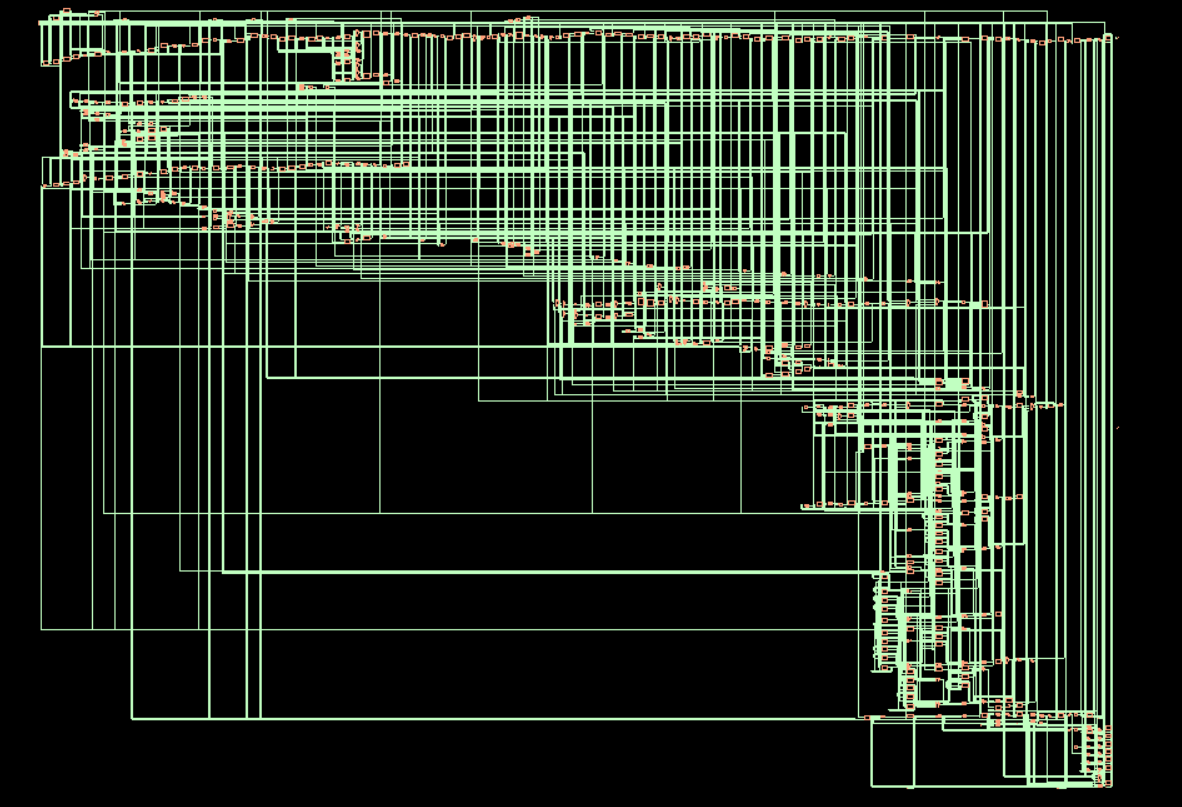
* **Gedit:** RTL Design
* **Genus:** Synthesis
* **Innovus:** Physical Design

****

*Hình 17. Kết quả Direct Test*

**

*Hình 18. Kết quả Synthesis*

**

*Hình 19. Kết quả Layout*

*A computer screen with text and numbers

Description automatically generated*

*Hình 20. Kết quả DRC Check*

*A computer screen with numbers and letters

Description automatically generated*

*Hình 21. Kết quả Connectivity Check*