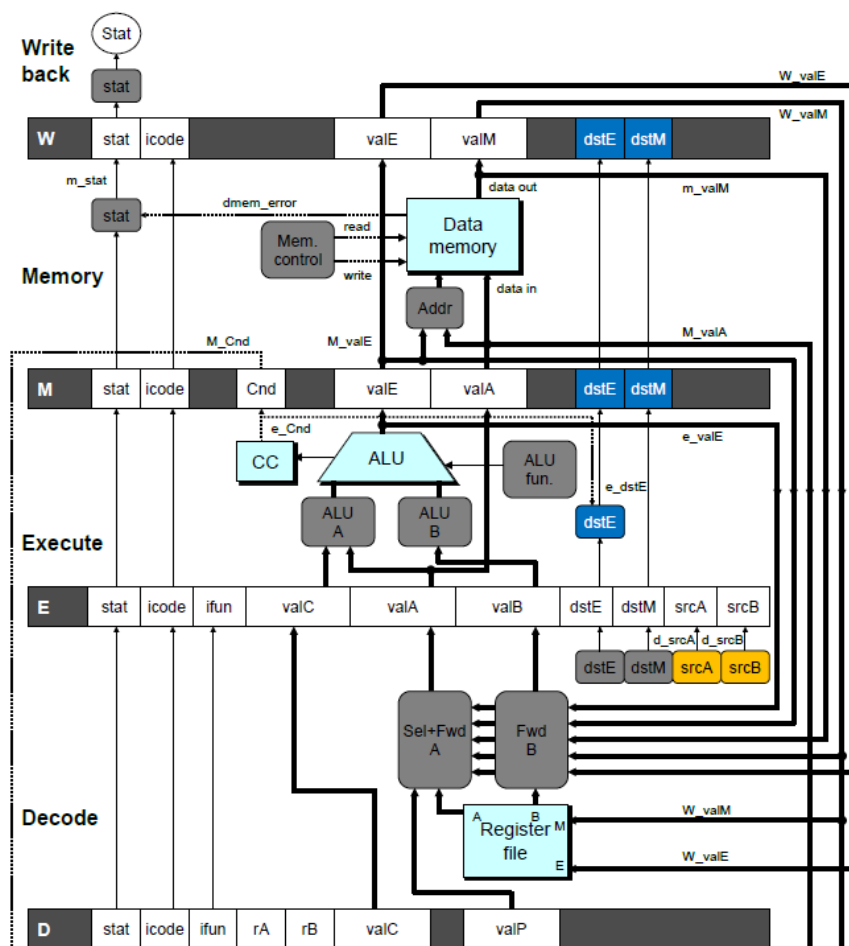


第四章习题补充

(2016期中) 第四题 (15 分)

这是一款 Y86-32 流水线处理器的结构图 (局部)，请以此为基础，依次回答下列问题。



1、该处理器设计采用了前递 (forwarding) 技术，一定程度上解决了数据相关的问题，在上图中体现在 Sel+FwdA 和 FwdB 部件上。前者输出的信号会存到流水线寄存器 E 的 valA 域 (即 E_valA 信号)，请补全该信号의 HCL 语言描述。

```
int E_valA = [
    D_icode in { ICALL, IJXX } : _____ ; # ①
    d_srcA == e_dstE : _____ ; # ②
    d_srcA == M_dstM : _____ ; # ③
```

```

d_srcA == M_dstE : M_valE      ;
d_srcA == W_dstM : W_valM      ;
...

```

```

];

```

2、如果在该处理器上运行下面的程序，每条指令在不同时钟周期所处的流水线阶段如下表所示。在这种情况下，哪条指令的执行结果会有错误？写出该指令的地址：_____。

demo1.ys

0x000: irmovl \$128, %edx

0x006: irmovl \$3, %ecx

0x00c: rmmovl %ecx, 0(%edx)

0x012: irmovl \$10, %ebx

0x018: mrmovl 0(%edx), %eax

0x01e: addl %ebx, %eax

0x020: halt

1	2	3	4	5	6	7	8	9	10	11	12
F	D	E	M	W							
	F	D	E	M	W						
		F	D	E	M	W					
			F	D	E	M	W				
				F	D	E	M	W			
					F	D	E	M	W		
						F	D	E	M	W	
							F	D	E	M	W

3、如需检测出这个情况，需要增加逻辑电路，用 HCL 语言表达如下：

E_icode in {IMRMOVL, IPOPL} && _____ in { _____ }

4、当新增的电路检测出这个情况后，应对各流水线寄存器进行不同的设置，以便在尽可能少影响性能的前提下解决该问题。请填写下表，可选的设置包括 normal/bubble/stall 三种。

F	D	E	M	W

5、如果遇到下面程序代码所展示的情况，该处理器运行时仍然存在问题。因此，还需要新增检测电路。当新增的电路检测出这个情况后，应对各流水线寄存器进行不同的设置，以便在尽可能少影响性能的前提下解决该问题。请填写下表，可选的设置包括 normal/bubble/stall 三种。

demo2.ys

...

0x018: rmmovl %ecx, 0(%edx)

0x01e: irmovl \$10, %ebx

0x024: popl %esp

0x026: ret

F	D	E	M	W

(2018期中) 第四题 (20 分)

请分析32位的Y86 ISA中新加入的一组条件返回指令: `cretXX`, 其格式如下。

`cretXX`

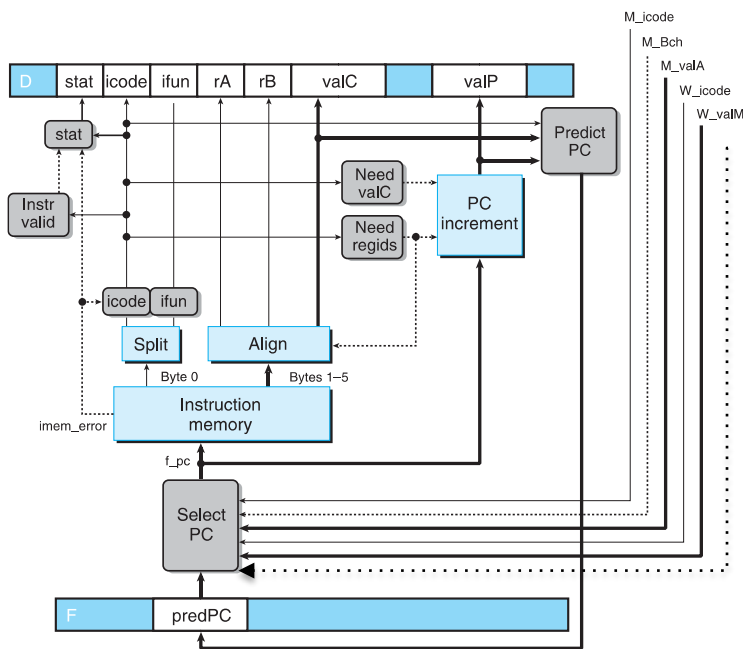
9	fun
---	-----

类似`cmovXX`, 该组指令只有当条件码 (Cnd) 满足时, 才执行函数返回; 如果条件不满足, 则顺序执行。

1. 若在教材所描述的SEQ处理器上执行这条指令, 请按下表补全每个阶段的操作。需说明的信号可能会包括: `icode`, `ifun`, `rA`, `rB`, `valA`, `valB`, `valC`, `valE`, `valP`, `Cnd`; the register file `R[]`, data memory `M[]`, Program counter `PC`, condition codes `CC`。其中对存储器的引用必须标明字节数。如果在某一阶段没有任何操作, 请填写none指明。

Stage	<code>cretXX</code> Offset
Fetch	
Decode	
Execute	
Memory	
Write back	
PC update	

2. 为了执行`cretXX`指令, 我们需要改进教材所描述的PIPE处理器, 在W (Write Back) 阶段引入流水线寄存器_____, 并将其连接到PC选择器 (Select PC) 以便有条件地更新PC。假设改进后的处理器总是预测函数返回条件不满足, 则如果返回条件满足时, 一共会错误取指_____条指令。



3. 在2中改进的PIPE处理器上执行cretXX指令时，发生预测错误时的判断条件和各级流水线寄存器的控制信号应如何设置？

Condition	Trigger
Mispredicted cret	(= ICRETXX &&) (= ICRETXX &&)

Condition	F	D	E	M	W
Mispredicted cret				normal	normal

4. PIPE 处理器上处理器上执行如下代码片段，

```
0x000:  xorl %eax, %eax
0x002:  popl %esp
0x004:  cretne
```

(1) 是否会发生 load-use 和 misprediction cret 组合的 hazard 情况？
答：

(2) 如果此时“popl %esp”在流水线的 Execute 阶段，请问此时，各级流水线寄存器的控制信号应如何设置？

Condition	F	D	E	M	W
Combination				normal	normal