

Bài tập:

Chương 1.

1.1. Có 3 bộ xử lý P1, P2 và P3 có cùng một tập lệnh. P1, P2, P3 có tốc độ xung nhịp tương ứng là 3GHz, 2.5GHz, 4GHz và có CPI lần lượt là 1.5, 1.0, 2.2.

- Tính số triệu lệnh thực hiện trên 1 giây của từng bộ xử lý.
- Nếu mỗi bộ xử lý thực hiện chương trình mất 10s, tìm số chu kỳ và số lệnh tương ứng.
- Nếu chúng ta muốn giảm 30% thời gian thực hiện, dẫn đến tăng CPI thêm 20%. Khi đó tốc độ xung nhịp cho mỗi bộ xử lý tương ứng cần thiết là bao nhiêu?

1.2. Có hai bộ xử lý có cùng tập lệnh. Tập lệnh được chia thành 4 lớp theo CPI (A, B, C, và D). P1 có tốc độ xung nhịp là 2.5 GHz và CPI tương ứng với các lớp lệnh là 1, 2, 3, 3; P2 có tốc độ xung nhịp là 3 GHz và CPI tương ứng với các lớp lệnh là 2, 2, 2, 2. Có chương trình với số lệnh là 10^6 lệnh, trong đó 10% lệnh lớp A, 20% lệnh lớp B, 50% lệnh lớp C, và 20% lệnh lớp D.

- Bộ xử lý nào thực hiện nhanh hơn?
- CPI trung bình cho mỗi bộ xử lý?
- Tìm số chu kỳ cần thiết cho mỗi bộ xử lý?

Chương 2.

2.1. Hãy vẽ sơ đồ mạch logic thực hiện phương trình Boole sau:

$$Y = ((\bar{A} + B).C) \oplus (\overline{B + C})$$

Chương 4.

4.1. Giả sử i, j, k là các biến số nguyên có dấu 8-bit. Cho đoạn chương trình sau:

$i = -93;$

$j = -78;$

$k = i + j;$

- Hãy tìm biểu diễn của i và j dưới dạng nhị phân theo mã bù hai.
- Tính k theo nhị phân và cho biết kết quả của k nhận được dưới dạng thập phân. Giải thích tại sao có kết quả đó.

4.2. Biểu diễn các số thực sau đây về dạng số dấu phẩy động IEEE754-2008 32-bit:

a) - 46.5

b) + 1/32

Bài tập chương 5:

Câu 5.1. Cho đoạn chương trình hợp ngữ trên MIPS như sau:

```
lui    $s0, 0x4050
ori    $s0, $s0, 251
sll    $s1, $s0, 4
add    $s2, $s0, $s1
andi   $s3, $s1, 0x0FE7
```

Hãy xác định giá trị nội dung của các thanh ghi \$s0, \$s1, \$s2, \$s3 theo dạng Hexa sau khi thực hiện đoạn chương trình trên.

5.1. Chuyển các câu lệnh C sau đây về dạng hợp ngữ MIPS. Giả thiết rằng các biến f, g, h, i, j được gán tương ứng trong các thanh ghi \$s0, \$s1, \$s2, \$s2, \$s3, \$s4; A và B là hai mảng dữ liệu các phần tử số nguyên 32-bit có địa chỉ cơ sở tương ứng nằm trong các thanh ghi \$s6 và \$s7.

- a. $f = -g - A[4]$
- b. $B[8] = A[i-j]$

5.2. Hãy viết lời giải thích cho các lệnh của các đoạn chương trình hợp ngữ MIPS dưới đây, rồi chuyển đoạn chương trình sang câu lệnh C tương ứng. Lời giải thích cho hợp ngữ cần sát với ý nghĩa của câu lệnh C. Giả thiết rằng các biến f, g, h, i, j được gán tương ứng trong các thanh ghi \$s0, \$s1, \$s2, \$s2, \$s3, \$s4; A và B là hai mảng dữ liệu các phần tử số nguyên 32-bit có địa chỉ cơ sở tương ứng nằm trong các thanh ghi \$s6 và \$s7.

a.

```
sll    $s2, $s4, 1
add    $s0, $s2, $s3
add    $s0, $s0, $s1
```

b.

```
sll    $t0, $s0, 2
add    $t0, $s6, $t0
sll    $t1, $s1, 2
add    $t1, $s7, $t1
lw     $t3, 0($t0)
addi   $t2, $t0, 4
lw     $t4, 0($t2)
```

```

add    $t5, $t3, $t4
sw     $t5, 0($t1)

```

5.3. Cho đoạn chương trình vòng lặp viết bằng hợp ngữ của MIPS sau đây:

```

        addi    $t1, $zero, 8
        add     $s2, $zero, $zero
LOOP:   slt     $t2, $zero, $t1
        beq     $t2, $zero, DONE
        addi    $s2, $s2, 3
        sll     $s2, $s2, 1
        addi    $t1, $t1, -1
        j       LOOP
DONE:

```

- Tính số lệnh được thực hiện khi chạy đoạn chương trình trên.
- Xác định giá trị thanh ghi \$s2 sau khi thực hiện đoạn chương trình trên.

5.4. Cho đoạn chương trình vòng lặp viết bằng hợp ngữ của MIPS sau đây:

```

LOOP:   slt     $t2, $zero, $t1
        bne     $t2, $zero, ELSE
        j       DONE
ELSE:   addi    $s2, $s2, 2
        addi    $t1, $t1, -1
        j       LOOP
DONE:

```

- Giả thiết các thanh ghi \$t1, \$s2 được khởi tạo các giá trị ban đầu là $t1 = 18$, $s2 = 0$, hãy xác định giá trị thanh ghi \$s2 sau khi thực hiện đoạn chương trình trên.
- Với vòng lặp hợp ngữ trên, giả sử thanh ghi \$t1 được khởi tạo giá trị bằng N (với N nguyên dương), hãy xác định khi thực hiện đoạn chương trình trên thì có bao nhiêu lệnh được thực hiện?

5.5. Cho đoạn mã C sau đây:

```

while (i < 10) {
    M[i] = a + i;
    i += 1;
}

```

Hãy dịch đoạn mã C ở trên thành đoạn mã hợp ngữ của MIPS với số lệnh tối thiểu (*yêu cầu không sử dụng lệnh giả*). Trong đó M là mảng dữ liệu các phần tử 32-bit. Giả thiết rằng các giá trị i, a nằm thanh ghi \$s0, \$s1 tương ứng, thanh ghi \$s2 chứa địa chỉ cơ sở của mảng M. (*Lưu ý: các lệnh của hợp ngữ cần viết lời giải thích*).

5.6. Cho M là mảng các phần tử số nguyên có dấu 32-bit, có địa chỉ cơ sở nằm trong thanh ghi \$s1 và số phần tử của mảng M được cho trong thanh ghi \$s2. Viết đoạn chương trình hợp ngữ MIPS (*yêu cầu không sử dụng lệnh giả*) để tìm phần tử lớn nhất của mảng M cất vào thanh ghi \$t0 theo thuật giải viết bằng C dưới đây. (*Lưu ý: lời giải thích cho các lệnh hợp ngữ cần mô tả sát với thuật giải*).

```
max = M[0];
for (i=1; i < n; i++) {
    if ( M[i] > max ) max = M[i];
}
```

Bài tập chương 7:

7.1. Tăng số lượng từ gấp 4 lần: Cho chip nhớ SRAM 4K x 8 bit, thiết kế mô-đun nhớ 16K x 8 bit.

7.2. Tăng số lượng từ gấp 8 lần: Cho chip nhớ SRAM 4K x 8 bit, thiết kế mô-đun nhớ 32K x 8 bit

7.3. Thiết kế kết hợp: Cho chip nhớ SRAM 4K x 4 bit, thiết kế mô-đun nhớ 8K x 8 bit

7.4. Hãy xem xét các trường hợp tăng số lượng từ nhớ gấp 3 lần, 5, 6, 7 lần

7.5. Giả thiết rằng máy tính có địa chỉ bộ nhớ chính là 32-bit và đánh địa chỉ cho từng byte nhớ. Bộ nhớ cache 128KiB tổ chức theo kiểu ánh xạ liên kết tập hợp 4-line. Cache có tất cả là 1024 Set từ S0 đến S1023..

a. Tính số bit cho các trường địa chỉ khi truy nhập cache ?

b. Xác định byte nhớ có địa chỉ 0x003D02AF được ánh xạ vào Set nào của cache ?

7.6. Máy tính dùng 32 bit địa chỉ để đánh địa chỉ cho bộ nhớ theo byte; bus dữ liệu để kết nối với bộ nhớ chính là 32 bit. Hãy cho biết

a. Số byte nhớ tối đa được đánh địa chỉ ? Địa chỉ đầu và địa chỉ cuối dưới dạng Hexa ?

b. Hãy cho biết các byte nhớ có địa chỉ sau đây 0x0FE12C3D, 0x10ABCD06 được bố trí ở băng nhớ nào ?

7.7. Cho máy tính với 64Kbytes bộ nhớ chính được đánh địa chỉ theo byte, bộ nhớ cache gồm 32 lines được tổ chức ánh xạ trực tiếp, kích thước mỗi line là 8 bytes.

a. Xác định số bit của các trường địa chỉ: Tag, Line, Word

b. Chỉ ra mỗi byte nhớ của bộ nhớ chính có địa chỉ cho dưới đây được nạp vào line nào của cache:

0001 0001 0001 1011

1100 0011 0011 0100

1101 0000 1101 1101

1010 1010 1010 1010

c. Giả thiết byte nhớ có địa chỉ 0001 1010 0001 1010 được nạp vào cache, hãy chỉ ra địa chỉ theo dạng nhị phân của những byte nhớ khác cùng được nạp với byte nhớ đó trong cùng line.