

## UART RX

### SEGNALI DI I/O, DI COMANDO E DI STATO

I segnali di I/O sono di colore blu, quelli di comando arancione e quelli di stato fucsia.

### SIP00

Il blocco SIP00 si occupa di sovraccampionare l'ingresso del blocco ricevitore, che corrisponde al canale trasmissivo della UART; da specifiche è richiesto un sovraccampionamento pari ad 8 campioni per tempo di simbolo  $T_{symbol}$ , dunque SIP00 dovrà campionare dopo un periodo  $T_{sample0}$  pari a:

$$T_{sample0} = T_{symbol}/8 = 130.25 = 130 \text{ Tclk.}$$

### SIP01

Il blocco SIP01 riceve dal votatore ciascun campione del frame e, terminata la ricezione, fornisce in uscita il dato corrispondente su 8 bit; a differenza di SIP00, SIP01 campiona dopo un periodo pari a  $T_{symbol}$ , dunque:

$$T_{sample1} = T_{symbol} = 1042 \text{ Tclk}$$

### CONTATORI CNT0 E CNT1

Al fine di abilitare correttamente le due SIPO quando necessario, vengono utilizzati due contatori le cui uscite rappresentano il segnale di enable della SIPO corrispondente.

### VOTERO

Il votatore è un blocco combinatorio che implementa la cosiddetta "funzione di maggioranza": dati 3 bit in ingresso (gli ultimi tre campioni letti da SIP00), l'uscita fornisce il valore assunto dalla maggioranza degli ingressi.

Tale blocco è necessario a rendere il ricevitore più resistente ad eventuale rumore che potrebbe presentarsi sul canale trasmissivo, infatti anche se uno dei tre bit forniti risultasse errato (es. "010", "110"), l'uscita assume comunque il valore corretto per maggioranza.

Per evitare ulteriormente l'influenza del rumore, il ricevitore non inizia la ricezione in corrispondenza di una transizione "1->0", ma quando SIPO0 legge uno stream di dati nell'ordine "00001111"; per convalidare la corretta ricezione dello stream, il comparatore CMP0 riceve in ingresso la word fornita da SIPO0 e la confronta con il valore atteso (in esadecimale 0x0F): l'uscita START\_RX commuta ad "1" se il confronto va a buon fine.

## RILEVAZIONE DELLO STOP BIT

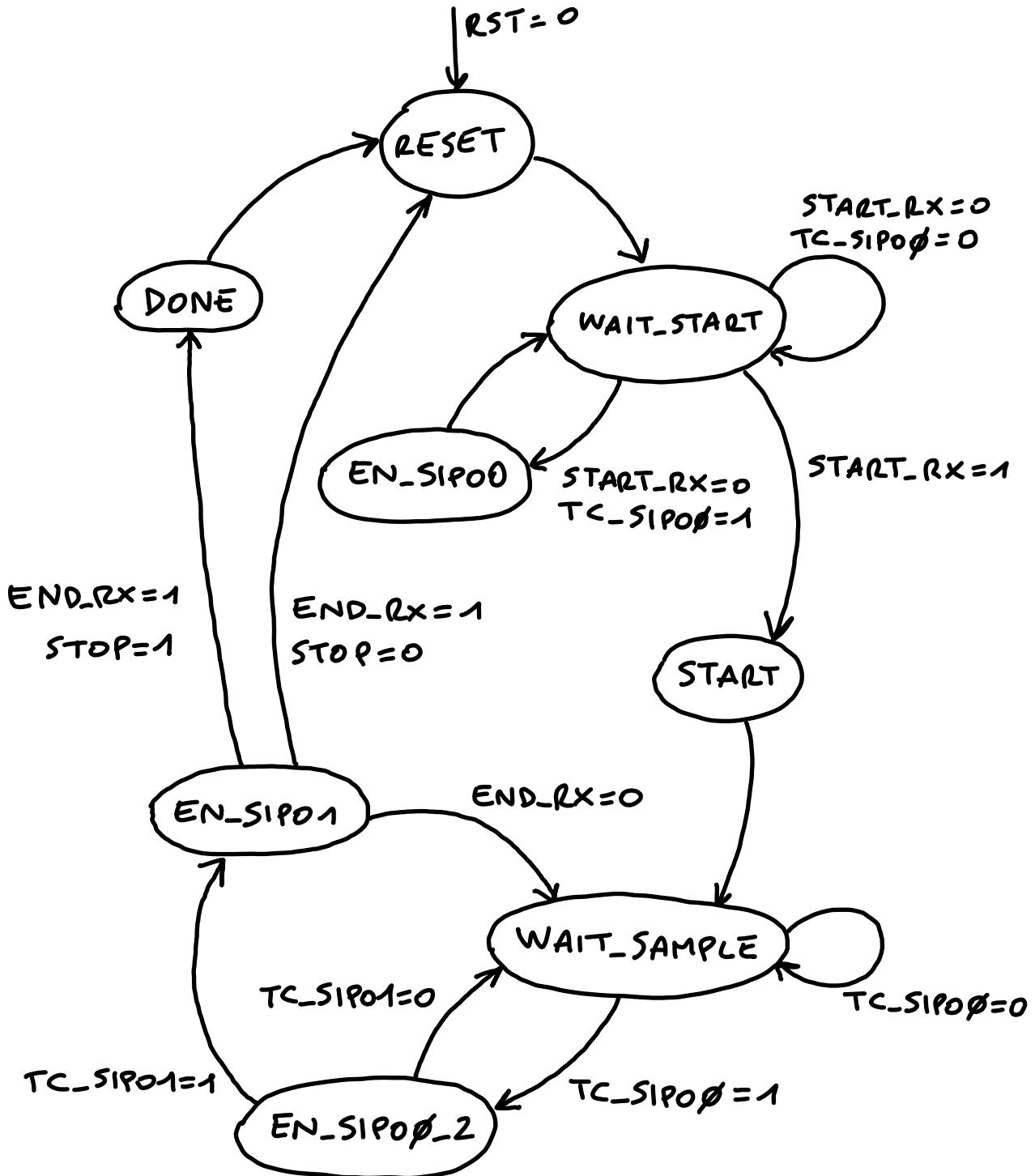
Prima di terminare la ricezione, è necessario controllare che l'ultimo bit fornito dal votatore sia effettivamente lo stop bit: il segnale di stato STOP permette di effettuare questo controllo; se durante la verifica STOP risultasse a "0", il frame non è stato inviato correttamente e la Control Unit riporta il ricevitore in stato di reset.

## TERMINE DELLA RICEZIONE

Dopo il reset, SIPO0 e SIPO1 hanno tutte le uscite inizializzate a "1"; quando inizia una nuova ricezione, il primo bit letto da SIPO1 sarà lo start bit "0", che gradualmente verrà shiftato verso destra facendo posto ai bit successivi: dato che SIPO1 ha l'uscita PO su 9 bit, l'intera word sarà ricevuta quando lo start bit "0" viene campionato dall'ultimo registro di SIPO1.

L'uscita dell'ultimo registro di SIPO1 inoltre, è collegata attraverso un inverter al segnale END\_RX: quindi, nel momento in cui END\_RX commuta ad "1", SIPO1 ha letto lo start bit e tutta la word, ma non lo stop bit, di conseguenza il controllo su END\_RX (e su STOP, per verificare che lo stop bit sia "1") viene effettuato quando la CU si riporta nello stato di abilitazione di SIPO1, per dare tempo al ricevitore di leggere anche lo stop bit e, in caso positivo, terminare la ricezione.

# PALLOGRAMMA



## STRUTTURA VOTATORE

INGRESSI  $DIN(0), DIN(1), DIN(2)$

USCITA DOUT

$$\begin{cases} \text{SE } DIN(0) = 0 \rightarrow DOUT = DIN(1) \text{ AND } DIN(2) \\ \text{SE } DIN(0) = 1 \rightarrow DOUT = DIN(1) \text{ OR } DIN(2) \end{cases}$$

