

# Lab02 FPGA 基础实验：4-bit Adder

w1049

## 目录

1 实验目的	1
2 原理分析	1
3 功能实现	1
4 功能仿真	2
4.1 仿真激励文件 . . . . .	2
4.2 仿真结果 . . . . .	2
5 上板验证	2
5.1 修改代码 . . . . .	2
5.2 管脚约束 . . . . .	2
5.3 实验结果 . . . . .	3
6 总结与反思	3

## 1 实验目的

1. 掌握 Xilinx 逻辑设计工具 Vivado 的基本操作
2. 掌握使用 Verilog HDL 进行简单的逻辑设计
3. 使用功能仿真
4. 约束文件的使用和直接写法
5. 生成 Bitstream 文件
6. 上板验证

## 2 原理分析

四位全加器可由四个一位全加器级联而成，一位全加器由两个半加器（或直接用简单的逻辑门）级联而成。

## 3 功能实现

想要把两个变量相与时，可以调用模块 `and`，也可以直接使用 `assign` 配合运算符 `&`。实验指导书中使用的是调用模块的方法，一位全加器代码如下：

```

and (c1, a, b),
    (c2, b, ci),
    (c3, a, ci);

xor (s1, a, b),
    (s, s1, ci);

or (co, c1, c2, c3);

```

四位全加器只需要调用四次一位全加器即可，编写时需注意数组下标：

```

adder_1bit a1 (.a(a[0]), .b(b[0]), .ci(ci), .s(s[0]), .co(ct[0])),
    a2 (.a(a[1]), .b(b[1]), .ci(ct[0]), .s(s[1]), .co(ct[1])),
    a3 (.a(a[2]), .b(b[2]), .ci(ct[1]), .s(s[2]), .co(ct[2])),
    a4 (.a(a[3]), .b(b[3]), .ci(ct[2]), .s(s[3]), .co(co));

```

## 4 功能仿真

### 4.1 仿真激励文件

本次仿真测试的是组合逻辑，不需要时钟，只需要在不同时间改变输入信号。

### 4.2 仿真结果

运行仿真后，调整波形图的显示，可以看到波形如图 1。

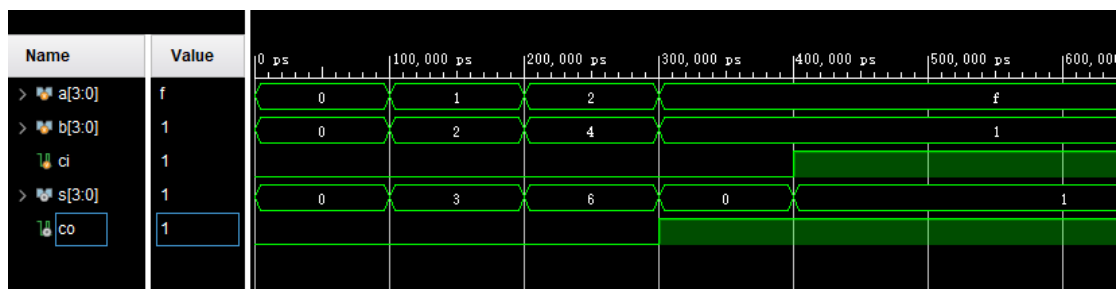


图 1: 四位全加器仿真波形

## 5 上板验证

### 5.1 修改代码

创建顶层文件 Top.v，将全加器与实验提供的 LED、七段数码管显示模块连接。像 Lab01 一样，还需要添加相应代码来使用板上时钟。

### 5.2 管脚约束

实验指导书中提供了约束代码，直接写进约束文件即可。

### 5.3 实验结果

上板后我进行了两次测试，结果分别是图2、图3，可见全加器功能与逻辑功能一致。板上数码管显示的数字是十六进制的。

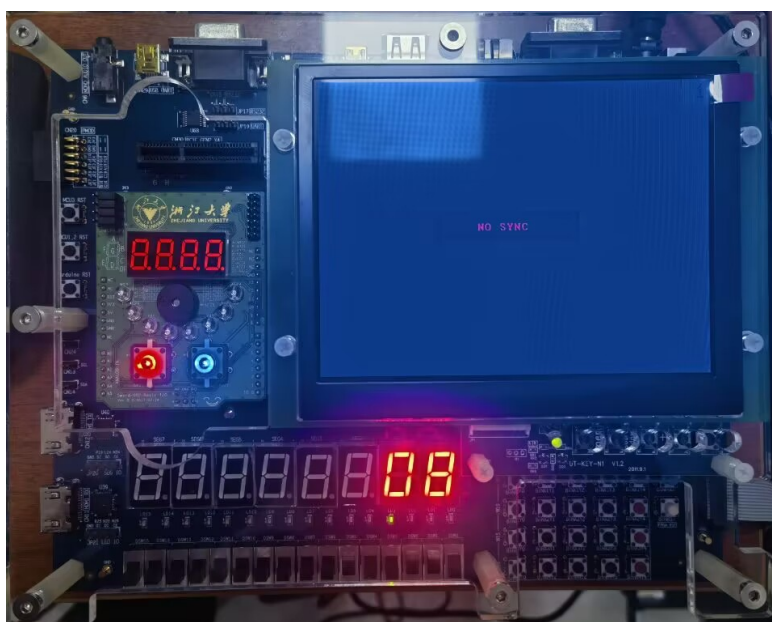


图 2: 全加器测试 1,  $2 + 6 = 8$

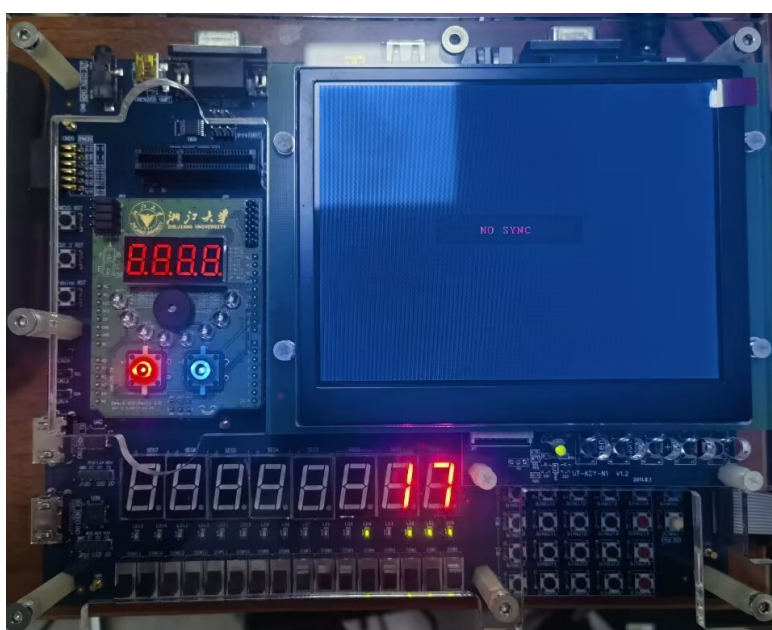


图 3: 全加器测试 2,  $14 + 9 = 17H$

## 6 总结与反思

在上次实验的基础上，本次实验完成得十分迅速。