



## RELATÓRIOS - EXERCÍCIOS

### SD122 - Circuito Digital I

**ORIENTADOR(A)** Felipe Gustavo de Freitas **Rocha**

**RESIDENTE** André Francisco Ribeiro **Bezerra**

**DATA DE ENTREGA** 10 de dezembro de 2025 (prazo máximo)

A-101	<input checked="" type="checkbox"/>	A-102-1	<input checked="" type="checkbox"/>	A-102-2	<input checked="" type="checkbox"/>
A-103-1	<input checked="" type="checkbox"/>	A-104	<input checked="" type="checkbox"/>	A-105	<input checked="" type="checkbox"/>
A-106	<input checked="" type="checkbox"/>	A-107-1	<input checked="" type="checkbox"/>	A-107-2	<input checked="" type="checkbox"/>
A-108	<input type="checkbox"/>	A-109	<input type="checkbox"/>	A-110	<input type="checkbox"/>
A-111-1	<input type="checkbox"/>	A-111-2	<input type="checkbox"/>	A-112	<input type="checkbox"/>
A-113	<input type="checkbox"/>	A-114	<input type="checkbox"/>	A-115	<input type="checkbox"/>

## SUMÁRIO

A-101 - Circuitos Combinacionais (MUX)	2
<b>A-102-1 - Conversores de Código</b>	<b>3</b>
A-102-2 - Conversores de Código	4
A-103-1 - Codificadores	6
A-104 - Decodificadores	7
A-105 - Multiplexadores	8
A-106 - Demultiplexadores	12
A-107-1 - Decodificador	13
A-107-2 - Mux	14
A-108 - Meio somador e Somador Completo	15
A-109-1 - Somador com carry look-ahead	16
A-109-2 - Somador com carry look-ahead	16
A-110 - Somadores BCD	18
A-111-1 - Meio subtrator e subtrator completo	19
A-111-2 - Subtrator paralelo e Somador-subtrator	19
A-112 - Unidade Lógica e Aritmética (ALU)	21
A-113 - Aplicação da ULA e ULA comercial 78181	24
A-114 - Aritmética de Ponto Fixo e Flutuante	27
A-115 -	28
<b>A-11X -</b>	<b>29</b>

## REFERÊNCIAS

- [1] Emery, R.C. (1985). Digital Circuits: Logic and Design (1st ed.). CRC Press.  
<https://doi.org/10.1201/9781003065432>;
- [2] Brown, Stephen, and Zvonko Vranesic. Fundamentals of Digital Logic with Verilog Design. 3rd ed., McGraw-Hill, 2014.;
- [3] Digital Logic Design Using Verilog: Coding and RTL Synthesis by Vaibbhav Taraate (2nd ed. 2021) ;





## A-101 - Circuitos Combinacionais (MUX)

0 - 1

### Desenvolvimento

#### 1 Atividade

- ☒ Simular cada um dos tipos de descrição utilizados para implementar o mux 2:1.
- ☒ Modificar a descrição de forma a utilizar um vetor D[1:0] ao invés das entradas "a" e "b".
- ☒ Analisar os resultados: Os circuitos sintetizados em cada caso estão corretos? E os resultados das simulações?

### Testbench

Como testar o funcionamento de um Mux 2:1?

- ☒ Aplicar sinais com períodos diferentes a cada uma das entradas;
- ☒ Varrer os valores possíveis do sinal de seleção.
- ☒ • Complete o código fornecido para realizar as simulações:

```
1 module mux_tb();
2 reg [1:0] D;
3 reg sel;
4 wire y;
5
6 //inclua aqui a declaracao da instancia do dispositivo sob teste
7 //
8
9 always begin #1 D[0] = !D[0]; end
10 always begin #2 D[1] = !D[1]; end
11 always begin #4 sel = !sel; end
12
13 initial begin
14     sel = 1'b0;
15     D = 2'd0;
16     #8 $stop;
17 end
18
19 endmodule
```

## ANOTAÇÕES

### A-101: Circuitos Combinacionais (MUX) (prático)

> código nos arquivos de suporte enviados no formulário

#### REPOSITÓRIO DO GITHUB

[github.com/ci-digital-inatel/SD122-CIRC-DIGITAIS-I](https://github.com/ci-digital-inatel/SD122-CIRC-DIGITAIS-I)

