



RELATÓRIOS - EXERCÍCIOS

SD112 - Introdução a Verilog

DOCENTE Felipe Gustavo de Freitas **Rocha**

DISCENTE André Francisco Ribeiro **Bezerra**

DATA DE ENTREGA **07 de novembro de 2025 (prazo máximo)**

A-001	A-002	A-003
A-004	A-005	A-006
A-007	A-008	A-009
A-010	A-011	A-012
A-013	A-014	

Formulário para envio das Atividades

SUMÁRIO

REFERÊNCIAS	1
ANOTAÇÕES	2
A-001: Álgebra Booleana	3
A-002: Mintermos, Maxtermos e Mapas de Karnaugh	11
A-003: O inveror	16
A-004: Half Adder	20
A-005: Full Bit Adder	22
A-006: Declarações Processuais e Contínuas	25
A-007: Circuito simples de debounce	27
A-008: Reset Síncrono e Assíncrono	29
 A-009: Estilos de Código	31
A-010: Descrição RTL	33
A-011: Descrição Comportamental	35
A-012: Descrição Estrutural	37
A-013: Primitivas	39
A-014: Codificação de Síntese vs Simulação	41

REFERÊNCIAS

- [1] Digital Systems ; Authors, Ronald Tocci, Neal Widmer, Greg Moss ; Edition, 12 ; Publisher, Pearson Education, 2016 ; ISBN, 0134220145, 9780134220147;
- [2] Frank Vahid. 2010. Digital Design with RTL Design, Verilog and VHDL (2nd. ed.). Wiley Publishing,;

