# APB总线master接口

### 1 功能描述

APB总线master接口，可以作为连接APB总线与主模块进行数据传输，具有响应超时重启机制。

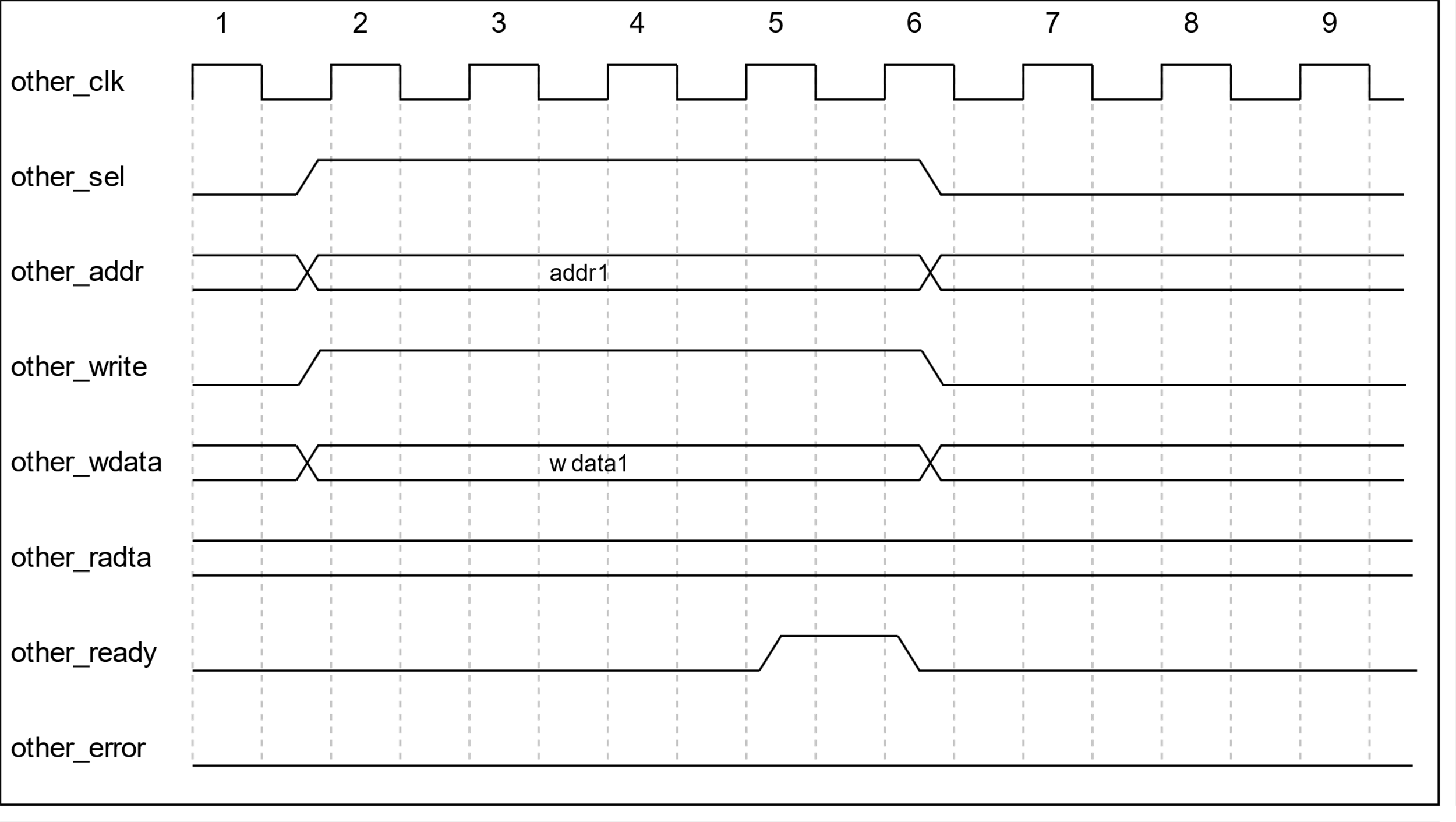
### 2 接口信号

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名 | 输入/输出 | 位宽/bit | 描述 |
| apb\_addr | O | APB\_ADDR\_WIDTH | - |
| apb\_clk | I | 1 | apb总线时钟 |
| apb\_penable | O | 1 | - |
| apb\_prot | O | 3 | - |
| apb\_psel | O | 1 | - |
| apb\_rdata | I | APB\_DATA\_WIDTH | - |
| apb\_ready | I | 1 | - |
| apb\_slverr | I | 1 | 输入方向slverr信号 |
| apb\_slverr | O | 1 | 输出方向slverr信号 |
| apb\_strb | O | APB\_DATA\_WIDTH/8 | - |
| apb\_wdata | O | APB\_DATA\_WIDTH | - |
| apb\_write | O | 1 | - |
| other\_addr | I | APB\_DATA\_WIDTH | - |
| other\_clk | O | 1 | 输出到其它模块时钟 |
| other\_error | I | 1 | 其它模块输入错误信号 |
| other\_error | O | 1 | 输出其它模块错误信号 |
| other\_prot | I | 3 | 输入保护信号 |
| other\_ready | O | 1 | 通知其它模块传输完成 |
| other\_rdata | O | APB\_DATA\_WIDTH | - |
| other\_sel | I | 1 | 选择接口进入工作状态 |
| other\_strb | I | APB\_DATA\_WIDTH/8 | - |
| other\_wdata | I | APB\_DATA\_WIDTH | - |
| other\_write | I | 1 | - |

### 3 数据通路

1. 其它模块设置sel信号为高电平以及传输控制信息；
2. Master接口在上升沿检测到sel信号为高电平进入传输状态，采样地址信息；将apb\_sel设置为高电平，apb\_penable设置为低电平；
3. Master在第二个周期将apb\_penable设置为高电平表示可以进行传输；
4. Master在第三个周期检测apb\_ready是否为高电平从而判断是否传输完成；
5. 如果传输完成将other\_ready设置为高电平，否则进入等待状态；
6. 如果等待超时则接口会直接将输出方向slverr信号设置为高电平，通知slave发生错误；同时将输出方向other\_error和other\_ready设置为高电平；

### 4 时序图



# APB总线slave接口

### 1 功能描述

APB总线slave接口，连接APB总线与从模块进行数据传输，具有响应超时重启机制。

### 2 接口信号

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名 | 输入/输出 | 位宽/bit | 描述 |
| apb\_addr | I | APB\_ADDR\_WIDTH | - |
| apb\_clk | I | 1 | apb总线时钟 |
| apb\_penable | I | 1 | - |
| apb\_prot | I | 3 | - |
| apb\_psel | I | 1 | - |
| apb\_rdata | O | APB\_DATA\_WIDTH | - |
| apb\_ready | O | 1 | - |
| apb\_slverr | I | 1 | 输入方向slverr信号 |
| apb\_slverr | O | 1 | 输出方向slverr信号 |
| apb\_strb | I | APB\_DATA\_WIDTH/8 | - |
| apb\_wdata | I | APB\_DATA\_WIDTH | - |
| apb\_write | I | 1 | - |
| other\_addr | O | APB\_DATA\_WIDTH | - |
| other\_clk | O | 1 | 输出到其它模块时钟 |
| other\_error | I | 1 | 其它模块输入错误信号 |
| other\_error | O | 1 | 输出其它模块错误信号 |
| other\_prot | O | 3 | 输入保护信号 |
| other\_ready | I | 1 | 通知其它模块传输完成 |
| other\_rdata | I | APB\_DATA\_WIDTH | - |
| other\_sel | O | 1 | 选择接口进入工作状态 |
| other\_strb | O | APB\_DATA\_WIDTH/8 | - |
| other\_wdata | O | APB\_DATA\_WIDTH | - |
| other\_write | O | 1 | - |

### 3 数据通路

1. Slave接口不断检测apb\_sel和apb\_penable信号；
2. 当检测到apb\_sel为高电平，apb\_penable为低电平时，进入接收地址信息状态，并将这些信息驱动到其它模块；
3. 第二个周期检测apb\_penable是否为高电平，如果不是则出错；根据other\_ready和输入方向other\_error判断其它模块是否传输完成，如果完成则将apb\_read设置为高电平，否则设置为低电平；
4. 如果等待超时，则将输出发现apb\_slverr和apb\_ready设置为高电平；

### 4 时序图

