# AXI接口设计文档

### 1 Master接口设计

#### 1.1 功能描述

AXI总线master接口，支持乱序传输。

#### 1.2 接口信号

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名 | 输入/输出 | 位宽/bit | 描述 |
| axi\_clk | 输入 | 1 | 时钟信号 |
| axi\_rstn | 输入 | 1 | 异步重置信号 |
| axi\_awid | 输出 | AXI\_ID\_WIDTH | - |
| axi\_awaddr | 输出 | AXI\_ADDR\_WIDTH | - |
| axi\_awlen | 输出 | 8 | - |
| axi\_awsize | 输出 | 3 | - |
| axi\_awburst | 输出 | 2 | - |
| axi\_awcache | 输出 | 4 | - |
| axi\_awprot | 输出 | 3 | - |
| axi\_awvalid | 输出 | 1 | - |
| axi\_awready | 输出 | 1 | - |
| axi\_wid | 输出 | AXI\_ID\_WIDTH | - |
| axi\_wdata | 输出 | AXI\_DATA\_WIDTH | - |
| axi\_wstrb | 输出 | AXI\_DATA\_WIDTH/8 | - |
| axi\_wlast | 输出 | 1 | - |
| axi\_valid | 输出 | 1 | - |
| axi\_ready | 输入 | 1 | - |
| axi\_bid | 输入 | AXI\_ID\_WIDTH | - |
| axi\_bresp | 输入 | 2 | - |
| axi\_bvalid | 输入 | 1 | - |
| axi\_bready | 输入 | 1 | - |
| axi\_arid | 输出 | AXI\_ID\_WIDTH | - |
| axi\_araddr | 输出 | AXI\_ADDR\_WIDTH | - |
| axi\_arlen | 输出 | 8 | - |
| axi\_arsize | 输出 | 3 | - |
| axi\_arburst | 输出 | 2 | - |
| axi\_arcache | 输出 | 4 | - |
| axi\_arprot | 输出 | 3 | - |
| axi\_arvalid | 输出 | 1 | - |
| axi\_arready | 输出 | 1 | - |
| axi\_rid | 输入 | AXI\_ID\_WIDTH | - |
| axi\_rdata | 输入 | AXI\_DTATA\_WIDTH | - |
| axi\_rresp | 输入 | 2 | - |
| axi\_rlast | 输入 | 1 | - |
| axi\_avlid | 输入 | 1 | - |
| axi\_ready | 输出 | 1 | - |
| other\_clk | 输出 | 1 | 输出模块时钟 |
| other\_sel | 输入 | 1 | 选择axi接口 |
| other\_valid | 输入 | 1 | 地址信息有效 |
| other\_wbusy | 输出 | 1 | 写通道忙 |
| other\_rbusy | 输出 | 1 | 读通道忙 |
| other\_write | 输入 | 1 | 读写操作 |
| other\_addr | 输入 | AXI\_ADDR \_WIDTH | 传输地址 |
| other\_size | 输入 | 3 | 传输大小 |
| other\_burst | 输入 | 2 | burst类型 |
| other\_len | 输入 | 8 | burst传输长度 |
| other\_ready | 输出 | 1 | 传输完成 |
| other\_error | 输出 | 1 | 传输出现错误 |
| other\_wdata | 输入 | AXI\_DTATA\_WIDTH | 写入数据 |
| other\_rdata | 输出 | AXI\_DTATA\_WIDTH | 读取数据 |
| other\_order | 输入 | 1 | 按序传输 |

#### 1.3 数据通路

##### 1.3.1 写操作

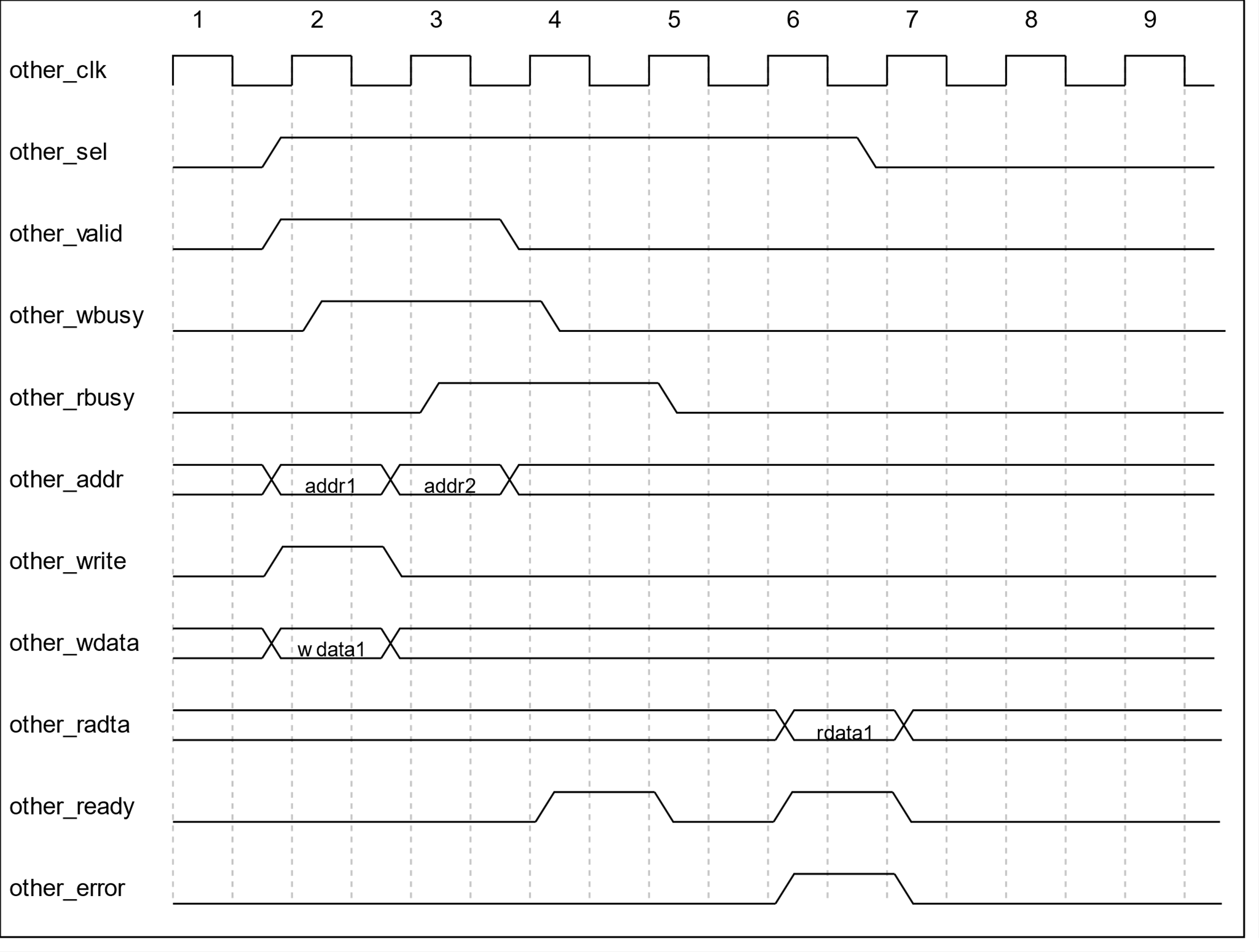
1. Other模块获取axi接口是否处于busy状态；
2. Other模块传输地址信息以及写数据；
3. 如果有其它传输则重复执行上述步骤；否则将valid设置为低电平，等待ready信号；
4. Other模块检测到ready信号则采样error；

如果other模块希望某些传输按照发出顺序执行，则可以将other\_order信号设置为高电平(只能保证other\_order为高电平期间的传输保序)。

##### 1.3.2 读操作

基本同上。

#### 1.4 时序图



### 2 Slave接口设计

#### 2.1 功能描述

AXI总线slave接口，支持乱序传输。

#### 2.2 接口信号

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名 | 输入/输出 | 位宽/bit | 描述 |
| axi\_clk | 输入 | 1 | 时钟信号 |
| axi\_rstn | 输入 | 1 | 异步重置信号 |
| axi\_awid | 输入 | AXI\_ID\_WIDTH | - |
| axi\_awaddr | 输入 | AXI\_ADDR\_WIDTH | - |
| axi\_awlen | 输入 | 8 | - |
| axi\_awsize | 输入 | 3 | - |
| axi\_awburst | 输入 | 2 | - |
| axi\_awcache | 输入 | 4 | - |
| axi\_awprot | 输入 | 3 | - |
| axi\_awvalid | 输入 | 1 | - |
| axi\_awready | 输出 | 1 | - |
| axi\_wid | 输入 | AXI\_ID\_WIDTH | - |
| axi\_wdata | 输入 | AXI\_DATA\_WIDTH | - |
| axi\_wstrb | 输入 | AXI\_DATA\_WIDTH/8 | - |
| axi\_wlast | 输入 | 1 | - |
| axi\_valid | 输入 | 1 | - |
| axi\_ready | 输出 | 1 | - |
| axi\_bid | 输出 | AXI\_ID\_WIDTH | - |
| axi\_bresp | 输出 | 2 | - |
| axi\_bvalid | 输出 | 1 | - |
| axi\_bready | 输入 | 1 | - |
| axi\_arid | 输入 | AXI\_ID\_WIDTH | - |
| axi\_araddr | 输入 | AXI\_ADDR\_WIDTH | - |
| axi\_arlen | 输入 | 8 | - |
| axi\_arsize | 输入 | 3 | - |
| axi\_arburst | 输入 | 2 | - |
| axi\_arcache | 输入 | 4 | - |
| axi\_arprot | 输入 | 3 | - |
| axi\_arvalid | 输入 | 1 | - |
| axi\_arready | 输出 | 1 | - |
| axi\_rid | 输出 | AXI\_ID\_WIDTH | - |
| axi\_rdata | 输出 | AXI\_DTATA\_WIDTH | - |
| axi\_rresp | 输出 | 2 | - |
| axi\_rlast | 输出 | 1 | - |
| axi\_avlid | 输出 | 1 | - |
| axi\_ready | 输入 | 1 | - |
| other\_clk | 输出 | 1 | 输出模块时钟 |
| other\_sel | 输出 | 1 | 选择other模块 |
| other\_valid | 输出 | 1 | 地址信息有效 |
| other\_write | 输出 | 1 | 读写操作 |
| other\_addr | 输出 | OTHER\_ADDR \_WIDTH | 传输地址 |
| other\_ready | 输入 | 1 | 传输完成 |
| other\_error | 输入 | 1 | 传输出现错误 |
| other\_wdata | 输处 | AXI\_DTATA\_WIDTH | 写入数据 |
| other\_rdata | 输入 | AXI\_DTATA\_WIDTH | 读取数据 |
| other\_strb | 输出 | AXI\_DTATA\_WIDTH/8 | - |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

#### 2.3 数据通路

##### 2.3.1 写操作

1. axi接口接收到地址信息后，将sel和valid设置为高电平，然后向other模块设置地址信息；
2. 检测other模块ready信号和error信号，等待other模块完成；

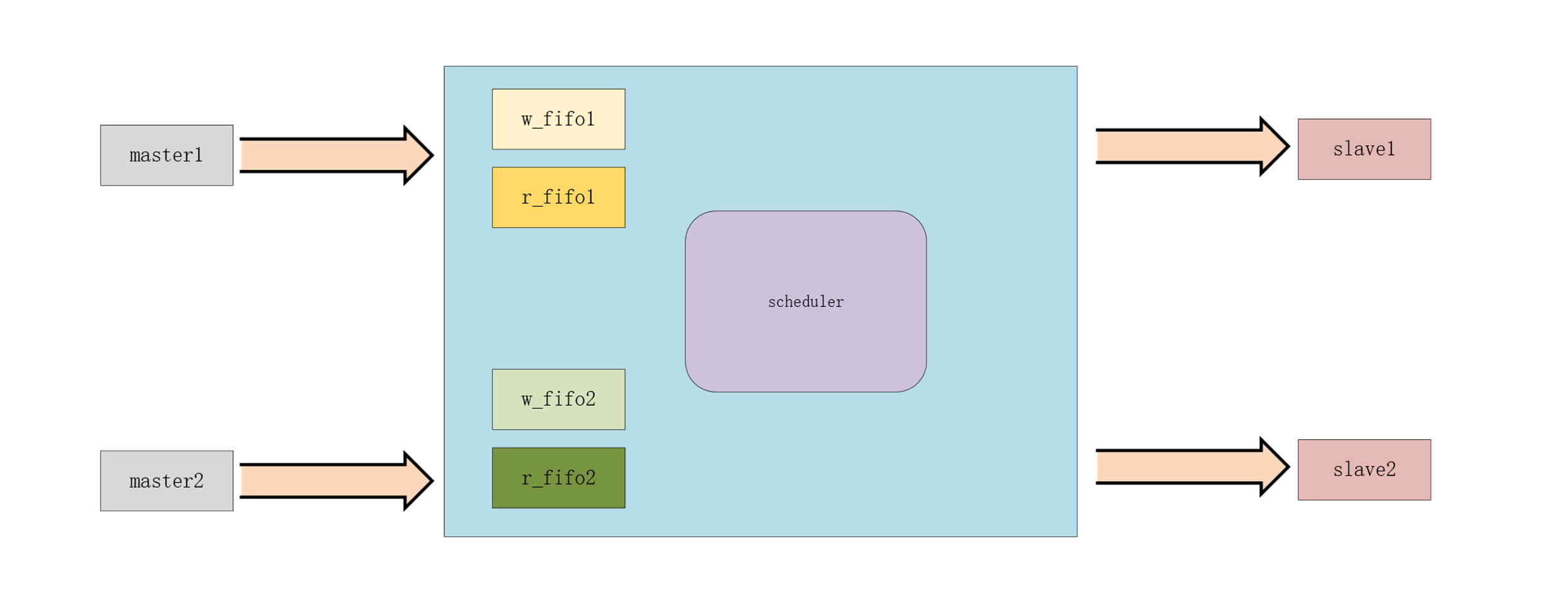
#### 2.4 时序图

### 3 互连设计

#### 3.1 功能描述

将多个master与slave互连，接收master传输请求并进行转发和调度。

#### 3.2 结构框图



#### 3.3 数据通路