

***Package na***

|  |
| --- |
|  |

|  |
| --- |
|  |

|  |
| --- |
|  |

## 嘉立创软件使用

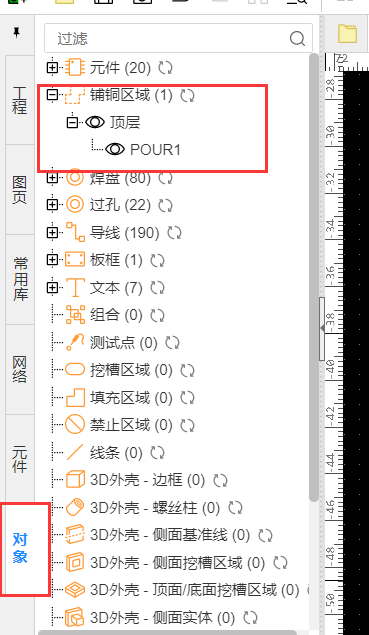
<https://docs.lceda.cn/cn/PCB/PCB-Tools/#%E8%BF%87%E5%AD%94>

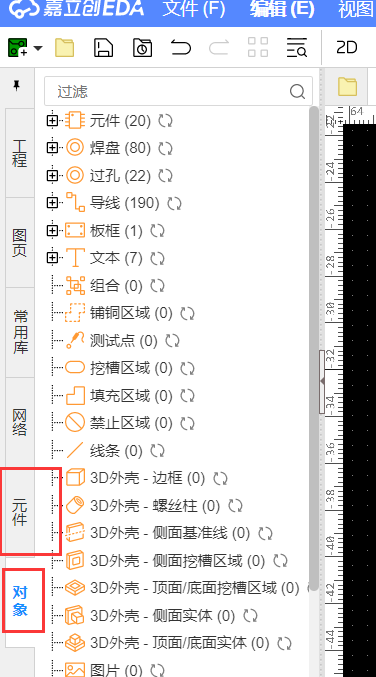
官方文档

### PCB

#### 1、铺铜区域有时候铺错了，怎么删除

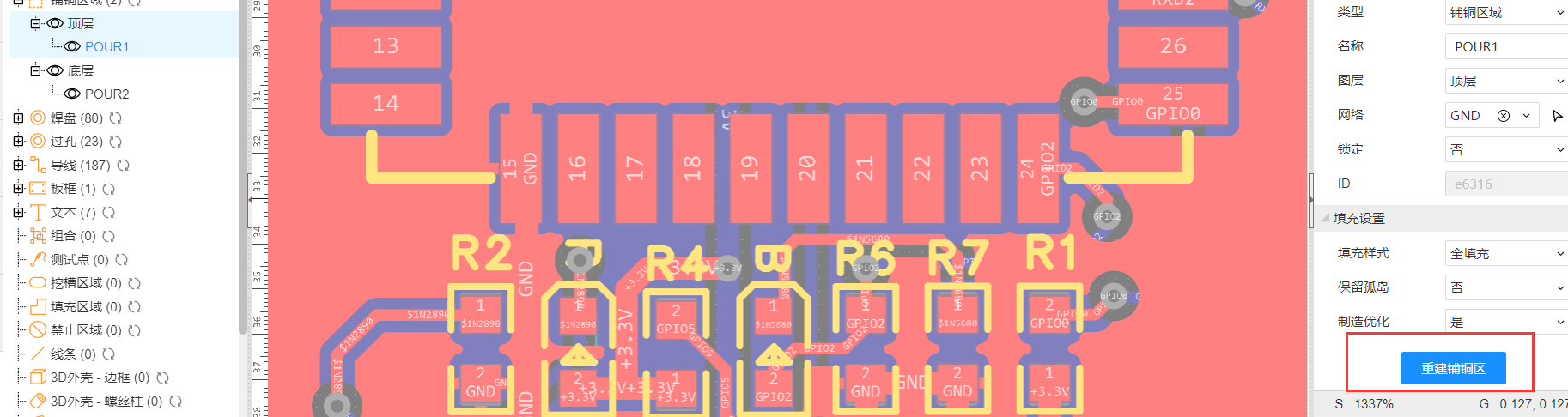
##### 方法一 删除



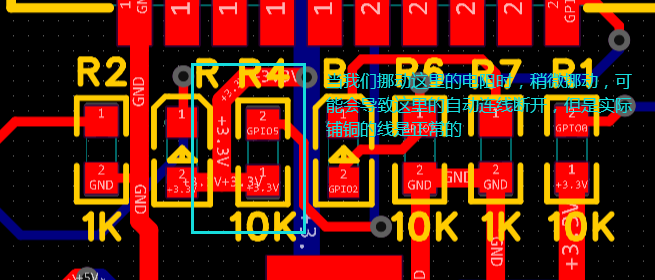


删除完成后，需要点击其他（比如元件菜单），然后回到对象就可以发现删除完成了。。

##### 方法二 重新调整



#### 2、在PCB布线完成后，临时稍微拖动一个封装（待验证）



正常情况下，PCB布线完成后，稍微拖动一个元件，虽然拖动后，布线PCB连线可能出现没有正确定位到焊盘上，但是实际上铜箔是连接到焊盘的，这种情况下DRC也是没有错误的，PCB板正在制作，待送货后验证这个的正确性。

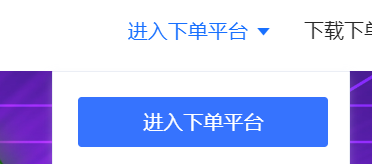
## 嘉立创PCB板厂规则

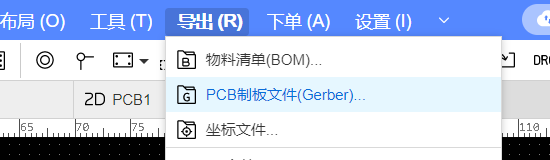
<https://www.jlc.com/portal/server_guide_112.html>

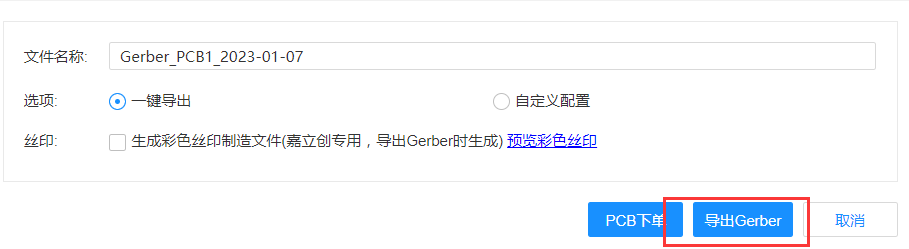
官方向导

### 怎么下单

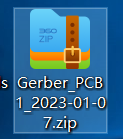
#### 导出下单

进入官方选择下单平台

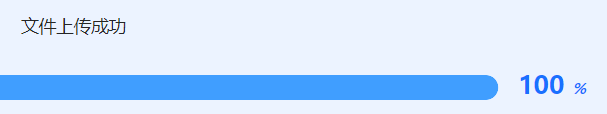




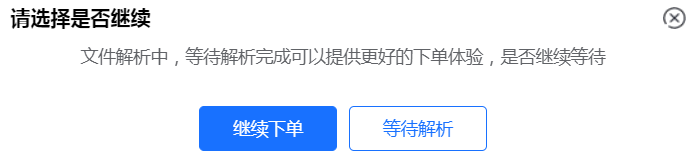
建议按照默认的导出，其他的选项可能需要参考文档。

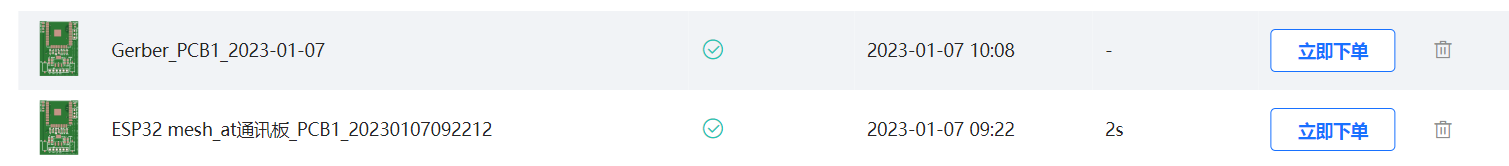




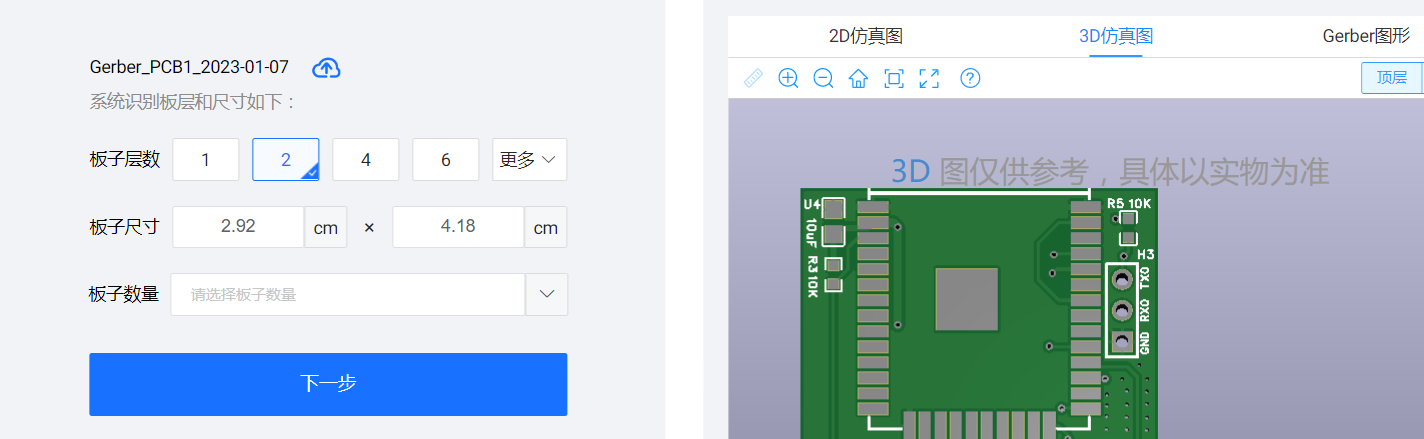




如果点击下单是出现需要等待解析



刷新页面后就能够看到上传的文件



点击下单时，这里就可以让我们查看到解析的3D图形了。

#### 软件下单



根据官方支持描述，PCB下单就是生成的gerber文件，然后在嘉立创下单的。

### .三、制程工艺要求

#### 1、孔径要求

* 单面和双面板最小过孔：内径0.3mm/外径0.5mm（单面铝基板最小钻孔1.0mm）
* 四层及四层以上多层板最小过孔：内径0.15mm/外径0.25mm

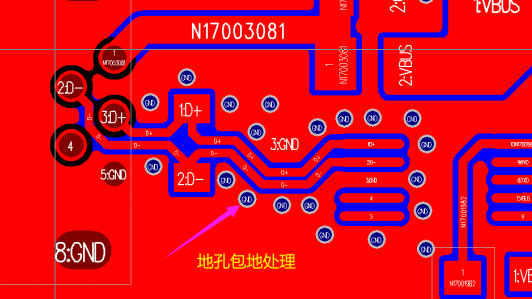
## 电路板检查注意事项

1、电源线的粗细是否满足要求，根据电流选择截面积



1OZ铜厚 ，顶底层走线1mm电流-1A

2、信号线尽可能的远离电源线，尽可能进行铺铜处理



地孔相关知识：

地孔：就是相当于上层的地和下层的地通过过孔连接

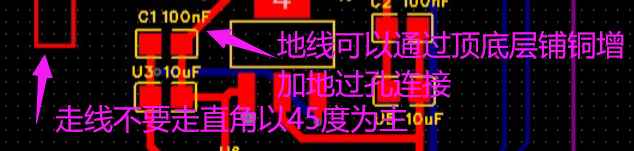
1）回路面积越小 干扰就最小。回路面积：电流从什么地方来回到什么地方去，来回所够成的面积。在高频的环境里面，回路面积主要是信号输出端和信号回路所围成铜皮走线的闭合面积。

2）电源上也要加啊、信号线也要加。

3）就是信号线尽可能的短。

4）你的电源到哪里，哪里就有干扰。

3、布线的线尽量45度转角



## PCB布线规则

### 参考链接

<https://zhuanlan.zhihu.com/p/394690586>

链接1：PCB布线规则收藏起来

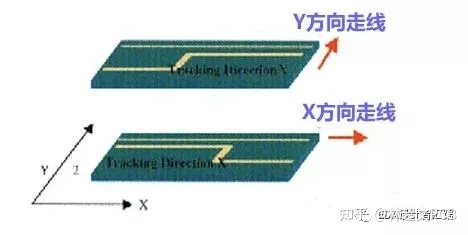
### 链接1：PCB布线规则收藏起来

#### 1、走线的方向控制规则

**输入和输出端的导线应尽量避免相邻平行**。

在 PCB 布线时，相邻层的走线方向成正交结构，避免将不同的信号线在相邻层走成同一方向，以减少不必要的层间窜扰。

当 PCB 布线受到结构限制（如某些背板）难以避免出现平行布线时，特别是在信号速率较高时，应考虑用地平面隔离各布线层，用地线隔离各信号线。相邻层的走线方向示意图如下图。



#### 2、走线的开环检查规则

在PCB布线时，为了避免布线产生的“天线效应”，减少不必要的干扰辐射和接收，**一般不允许出现一端浮空的布线形式**，否则可能带来不可预知的结果。

#### 3、走线长度控制规则

即**短线规则，在设计时应该尽量让布线长度尽量短，以减少由于走线过长带来的干扰问题，特别是一些重要信号线，如时钟线**，务必将其振荡器放在离器件很近的地方。对驱动多个器件的情况，应根据具体情况决定采用何种网络拓扑结构。

#### 4、阻抗匹配检查规则

同一网络的布线宽度应保持一致，线宽的变化会造成线路特性阻抗的不均匀，当传输的速度较高时会产生反射，在设计中应该尽量避免这种情况。在某些条件下，如接插件引出线，BGA封装的引出线类似的结构时，可能无法避免线宽的变化，应该尽量减少中间不一致部分的有效长度。

#### 5、倒角规则

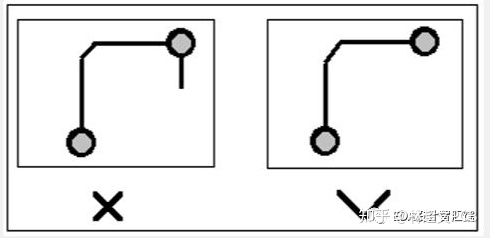
在PCB布线时,**走线拐弯是不可避免的,当走线出现直角拐角时,在拐角处会产生额外的寄生电容和寄生电感**｡走线拐弯的拐角应避免设计成锐角和直角形式,以免产生不必要的辐射,同时锐角和直角形式的工艺性能也不好｡

要求所有线与线的夹角应大于等于135°｡在走线确实需要直角拐角的情况下,可以采取两种改进方法:

1、一种是将90°拐角变成两个45°拐角;

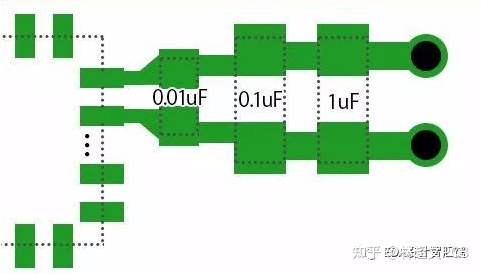
2、另一种是采用**圆角**｡圆角方式是最好的,45°拐角可以用到10GHz频率上｡

3、对于**45°拐角走线,拐角长度最好满足L≥3W**｡



#### 6、器件去耦规则

A. 在印制版上**增加必要的去耦电容，滤除电源上的干扰信号，使电源信号稳定**。在多层板中，对去耦电容的位置一般要求不太高，但对双层板，去藕电容的布局及电源的布线方式将直接影响到整个系统的稳定性，有时甚至关系到设计的成败。



B. 在双层板设计中，一般应该使电流先经过滤波电容滤波再供器件使用。

C. 在高速电路设计中，能否正确地使用去耦电容，关系到整个板的稳定性。

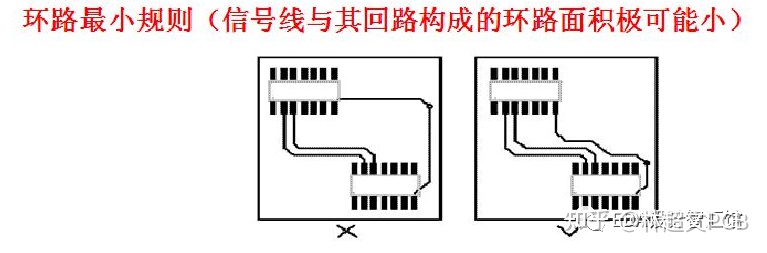
#### 7、3W规则

为了减少线间串扰，应保证线间距足够大，当线中心间距不少于3倍线宽时，则可保持70%的电场不互相干扰，称为3W规则。如要达到98%的电场不互相干扰，可使用10W的间距。

为了减少线间串扰，**应保证线间距足够大，当线中心间距不少于3倍线宽时，则可保持70%的电场不互相干扰，这称为3W规则**。如要达到98%的电场不互相干扰，可使用10W的间距。

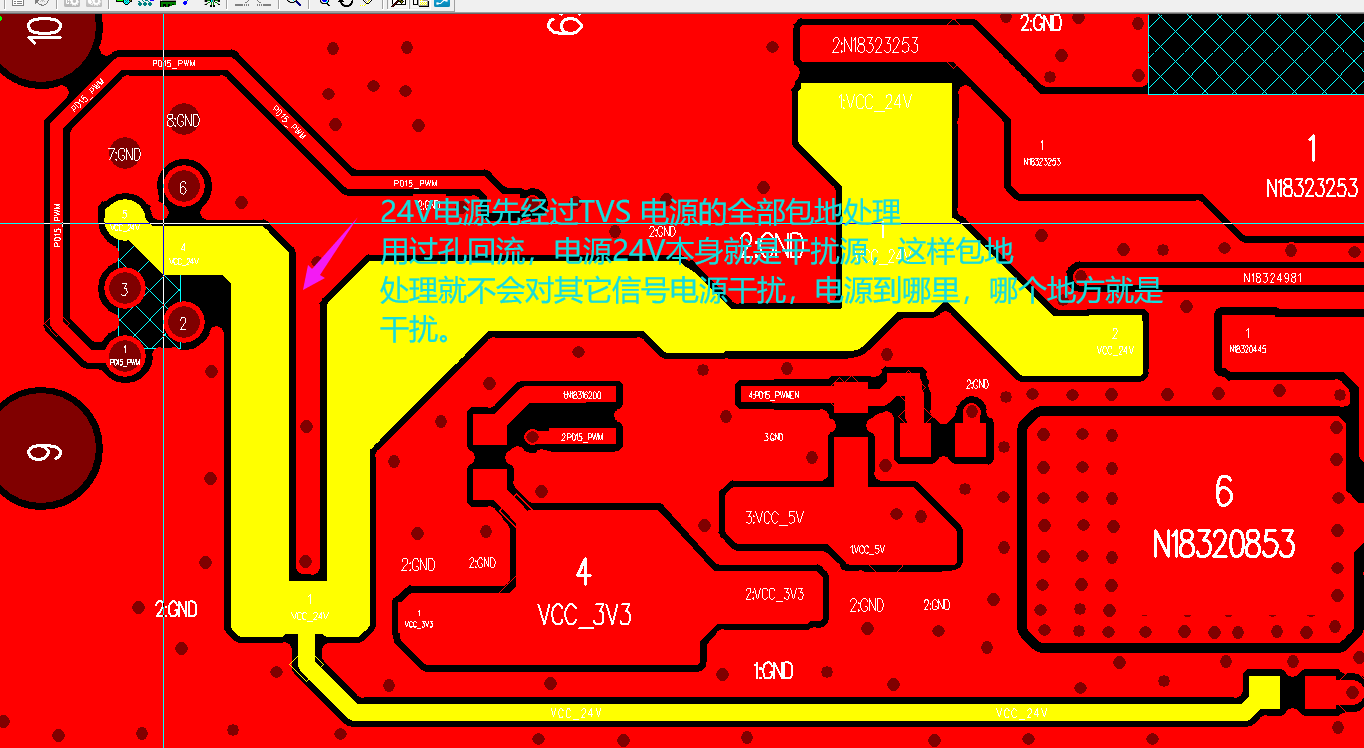
#### 8、地线回路规则

环路最小规则，即信号线与其回路构成的环面积要尽可能小，环面积越小，对外的辐射越少，接收外界的干扰也越小。

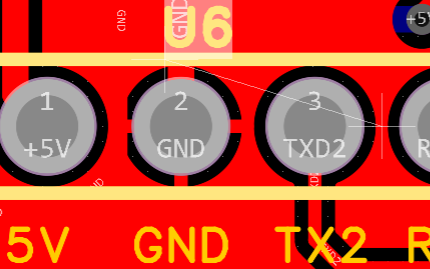


#### 9、屏蔽保护

1、对应地线回路规则，实际上也是为了尽量减小信号的回路面积，多见于一些比较重要的信号，如时钟信号，同步信号；对一些特别重要，频率特别高的信号，应该考虑采用铜轴电缆屏蔽结构设计，即将所布的线上下左右用地线隔离，而且还要考虑好如何有效的让屏蔽地与实际地平面有效结合。



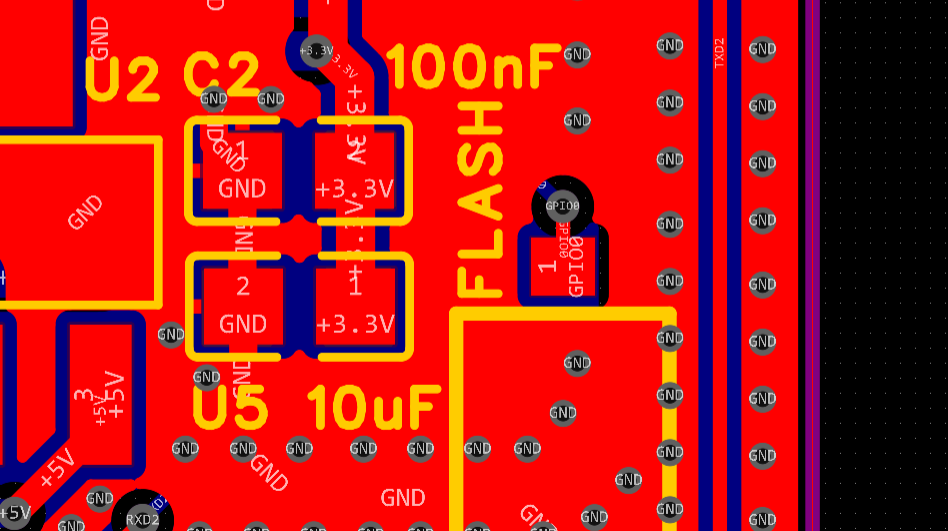
2、焊接的地方可以十字 全部填充不好拆卸焊接



#### 10、包地孔

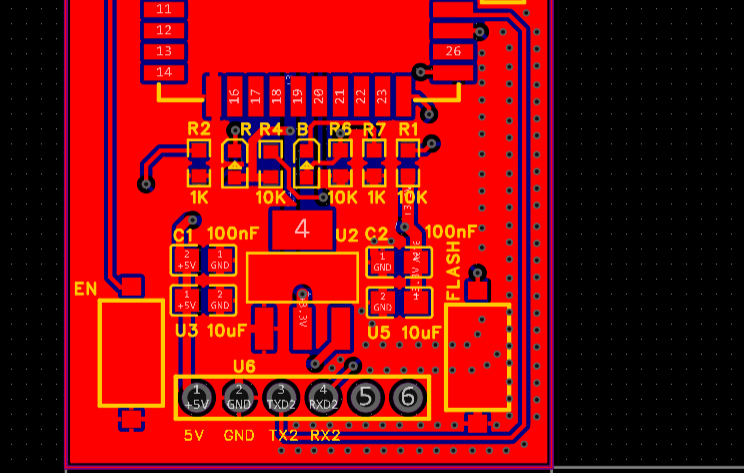
##### 1、滤波电容附近可以添加包地孔







##### 2、信号通讯线比较长的话，可以添加包地孔

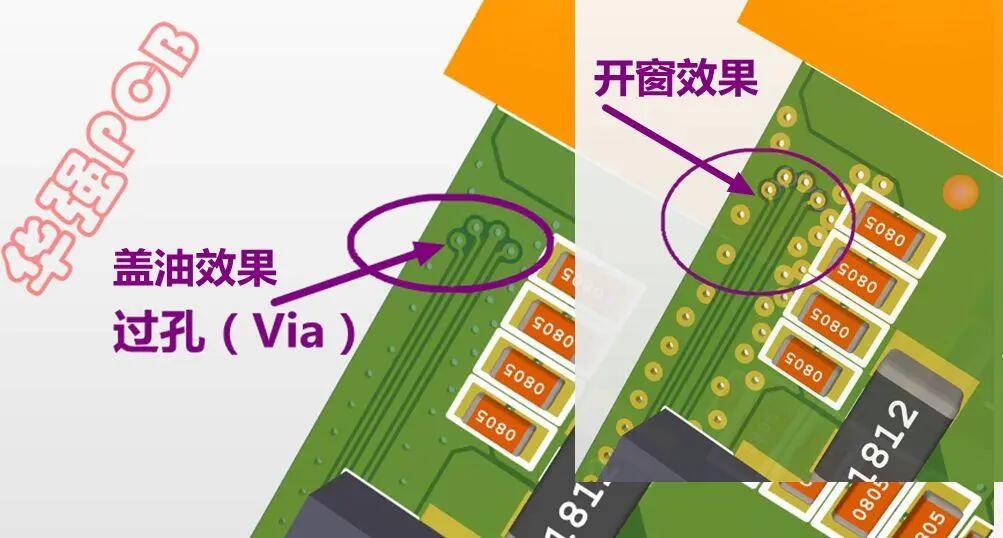


##### 3、过孔开窗和过孔盖油

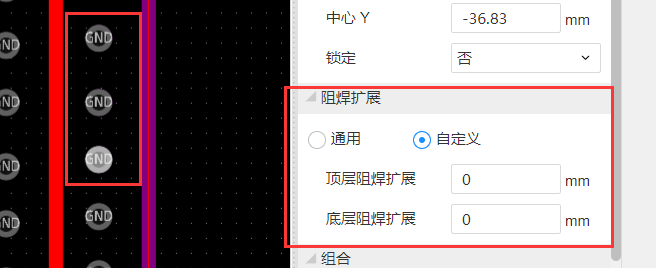
（1）过孔盖油指的是过孔上不做表面喷锡/沉金 ，如无特殊要求，如果不做特殊说明一般为过孔盖油。

（2）过孔盖油可能会有孔口发黄，卡锡珠等问题，属正常现象，如不接受，请选择过孔塞油或塞树脂工艺。

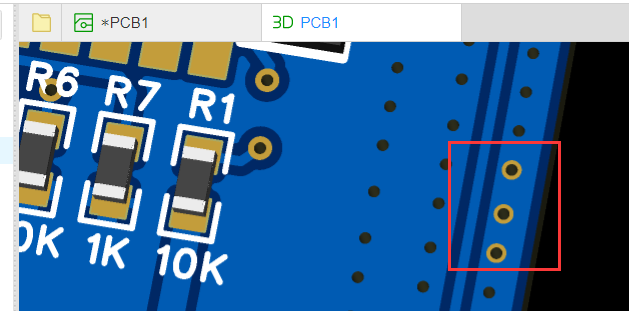
（3）6层板 以上过孔盖油和过孔塞油（塞油墨）已免费升级为“过孔塞树脂+过孔电镀盖帽”



4、嘉立创EDA的过孔默认盖油，如果想改为开窗不盖油，可以点击属性面板的“创建开窗区”按钮，过孔将转换为多层焊盘，以实现开窗。



点击3D功能键查看效果。



能够查看到这三个过孔明显和其他区分。当设置为0时，就是表示没有盖油。如果是通用的话，就是默认盖油。

官方支持描述：设置为负数是盖油。正数开窗漏铜

## PCB的参考平面理解

## 详解PCB高速信号回流路径

具体链接：

<https://www.elecfans.com/d/1808142.html>

### 01回流的基本概念

数字电路的原理图中，数字信号的传播是从一个逻辑门向另一个逻辑门，信号通过导线从输出端送到接收端，**看起来似乎是单向流动的**，许多数字工程师因此认为回路通路是不相关的。

毕竟，驱动器和接收器都指定为电压模式器件，为什么还要考虑电流呢?

1）实际上，基本电路理论告诉我们，**信号是由电流传播的，明确的说，是电子的运动。电子流的特性之一就是电子从不在任何地方停留，无论电流流到哪里，必然要回来。因此电流总是在环路中流动，电路中任意的信号都以一个闭合回路的形式存在**。

2）对于**高频信号传输**，实际上是对传输线与直流层之间包夹的介质电容充电的过程。

### 02回流的影响

1）**数字电路通常借助于地和电源平面来完成回流**。高频信号和低频信号的回流通路是不相同的，**低频信号回流选择阻抗最低路径，高频信号回流选择感抗最低的路径**。

2）当电流从信号的驱动器出发，流经信号线，注入信号的接收端，总有一个与之方向相反的返回电流：从负载的地引脚出发，经过敷铜平面，流向信号源，与流经信号线上的电流构成闭合回路。

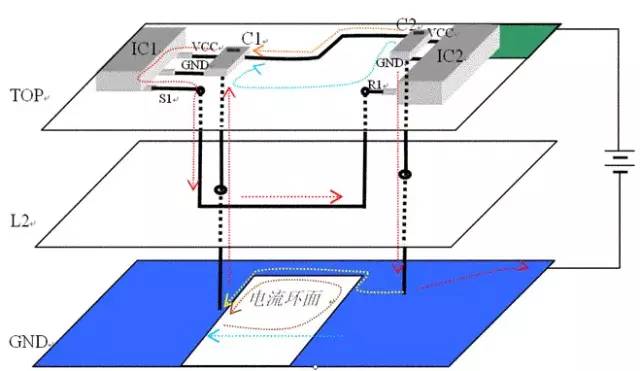
这种流经敷铜平面的电流所引起的噪声频率与信号频率相当，信号频率越高，噪声频率越高。

逻辑门不是对绝对的输入信号响应，而是对输入信号和参考引脚间的差异进行响应。单点终结的电路对引入信号和其逻辑地参考平面的差异做出反应，因此地参考平面上的扰动和信号路径上的干扰是同样重要的。逻辑门对输入引脚和指定的参考引脚进行响应，我们也不清楚到底哪个是所指定的参考引脚(对于TTL，通常是负电源;对于ECL通常是正电源，但是并不是全都如此)，就这个性质而言，差分信号的抗干扰能力就能对地弹噪声和电源平面滑动具有良好的效果。

当PCB板上的众多数字信号同步进行切换时(如CPU的数据总线、地址总线等)，这就引起瞬态负载电流从电源流入电路或由电路流入地线，由于电源线和地线上存在阻抗，会产生同步切换噪声(SSN)，在地线上还会出现地平面反弹噪声(简称地弹)。而当印制板上的电源线和接地线的环绕区域越大时，它们的辐射能量也就越大。

因此，我们对数字芯片的切换状态进行分析，采取措施控制回流方式，达到减小环绕区域，辐射程度最小的目的。

举例说明：



IC1为信号输出端，IC2为信号输入端(为简化PCB模型，假定接收端内含下接电阻)，第三层为地层。IC1和IC2的地均来自于第三层地层面。TOP层右上角为一块电源平面，接到电源正极。C1和C2分别为IC1、IC2的退耦电容。图上所示的芯片的电源和地脚均为发、收信号端的供电电源和地。

在低频时，如果S1端输出高电平，整个电流回路是电源经导线接到VCC电源平面，然后经橙色路径进入IC1，然后从S1端出来，经第二层的导线经R1端进入IC2，然后进入GND层，经红色路径回到电源负极。

在高频时，PCB所呈现的分布特性会对信号产生很大影响。我们常说的地回流就是高频信号中经常要遇到的一个问题。当S1到R1的信号线中有增大的电流时，外部的磁场变化很快，会使附近的导体感应出一个反向的电流，如果第三层的地平面是完整的地平面的话，那么会在地平面上产生一个蓝色虚线标示的电流，如果TOP层有一个完整的电源平面的话，也会在TOP层有一个沿蓝色虚线的回流。此时信号回路有最小的电流回路，向外辐射的能量最小，耦合外部信号的能力也最小。高频时的趋肤效应也是向外辐射能量最小，原理是一样的。

由于高频信号电平和电流变化都很快，但是变化周期短，需要的能量并不是很大，所以芯片是和离芯片最近的退耦电容取电的。当C1足够大，而且反应又足够快(有很低的ESR值)，位于顶层的橙色路径和位于GND层的红色路径可以看成是不存在的(存在一个和整板供电对应的电流，但不是与图示信号对应的电流)。

因此，按图中构造的环境，电流的整个通路是：由C1的正极→IC1的VCC→S1→L2信号线→R1→IC2的 GND→过孔→GND层的黄色路径→过孔→电容负极。

可以看到，电流的垂直方向有一个棕色的等效电流，中间会感应出磁场，同时，这个环面也能很容易的耦合到外来的干扰。

如果和图中信号为一条时钟信号，并行有一组8bit的数据线，由同一芯片的同一电源供电，电流回流途径是相同的。

如果数据线电平同时同向翻转的话，会使时钟上感应一个很大的反向电流，如果时钟线没有良好的匹配的话，这个串扰足以对时钟信号产生致命影响。这种串扰的强度不是和干扰源的高低电平的绝对值成正比，而是和干扰源的电流变化速率成正比，对于一个纯阻性的负载来说，串扰电流正比于：

dI/dt=dV/(T¬10%-90%\*R)

式中的dI/dt (电流变化速率)、dV(干扰源的摆幅)和R(干扰源负载)都是指干扰源的参数。如果是容性负载的话，dI/dt是与T¬10%-90%的平方成反比的。

从式中可以看出，低频的信号未必比高速信号的串扰小。也就是我们说的：1KHz的信号未必是低速信号，要综合考虑沿的情况。对于沿很陡的信号，是包含很多谐波成分的，在各倍频点都有很大的振幅。

因此，在选器件的时候也要注意一下，不要一味选开关速度快的芯片，不仅成本高，还会增加串扰以及EMC问题。

任何相邻的电源层或其它的平面，只要在信号两端有合适的电容提供一个到GND的低电抗通路，那么这个平面就可以作为这个信号的回流平面。在平常的应用中，收发对应的芯片IO电源往往是一致的，而且各自的电源与地之间一般都有0.01-0.1uF的退耦电容，而这些电容也恰恰在信号的两端，所以该电源平面的回流效果是仅次于地平面的。而借用其他的电源平面做回流的话，往往不会在信号两端有到地的低电抗通路。这样，在相邻平面感应出的电流就会寻找最近的电容回到地。如果这个“最近的电容”离始端或终端很远的话，这个回流也要经过“长途跋涉”才能形成一个完整的回流通路，而这个通路也是相邻信号的回流通路，这个相同的回流通路和共地干扰的效果是一样的，等效为信号之间的串扰。

对于一些无法避免的跨电源分割的情况，可以在跨分割的地方跨接电容或RC串联构成的高通滤波器(如10欧电阻串680p电容，具体的值要依自己的信号类型而定，即要提供高频回流通路，又要隔离相互平面间的低频串扰)。这样可能会涉及到在电源平面之间加电容的问题，似乎有点滑稽，但肯定是有效的。如果一些规范上不允许的话，可以在分割处两平面分别引电容到地。

对于借用其它平面做回流的情况，最好能在信号两端适当增加几个小电容到地，提供一个回流通路。但这种做法往往难以实现。因为终端附近的表层空间大多都给匹配电阻和芯片的退耦电容占据了。

回流噪声是参考平面上的噪声主要的来源之一。因此有必要研究一下返回电流的路径和流经范围。

## 串口的信号线屏蔽

### 包地的定义

包地顾名思义就是要把PCB包地的整条信号线周围用地包起来。

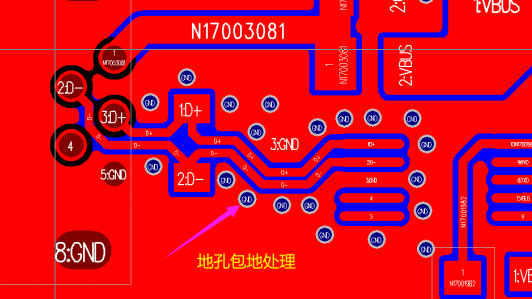
信号线两边的地包还是不包是个问题。在平时做PCB设计的时候经常看到有人纠结于包地问题。可能受到PCB板子大小的限制，又听说包地能让信号屏蔽更好，于是在重要的时钟线差分信号两边都尽量画上两条细细的地线。实际上这种做法反而增加了对附近信号的干扰。

### 包地主要的作用

包地主要的作用是为了减小串扰。那么除了包地以外还有什么方法能减小串扰呢？增加信号间距还有让信号和参考平面紧耦合。如果是多层PCB板，减小参考平面和信号层的距离，可以更好的控制阻抗的同时能够让信号与参考平面紧耦合，减少信号对附近信号的干扰。在通过增加信号线间距就能很好的减小串扰，这时候对信号包地的作用就不明显了。尤其是空间比较小的情况下，加一根细细的地线，相当于在两根信号线之间又增加了一根信号线，起到了一个桥的作用，把信号的干扰又传导到下一根信号。去掉这跟地线减小串扰的效果应该会更好。

有人说，不光要加地线包地还要在地线上多打地孔。当然，这样的效果会比较好。但是既然能打地孔说明包地线宽最小也要有十几个mil了，再加上线间距，原有两根信号线间距都足够满足4W了，这样串扰本身就很小了，去掉包地信号也不会增加多少串扰。

在一些非高频的单片机布线中，晶振、串口、重要的信号线、中断信号等进行包地处理。

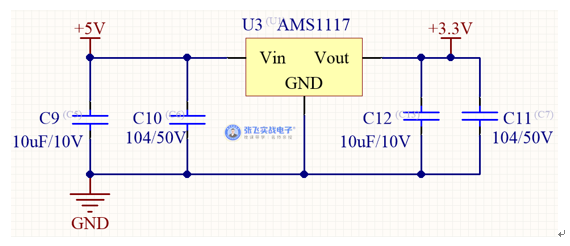


|  |
| --- |
|  |

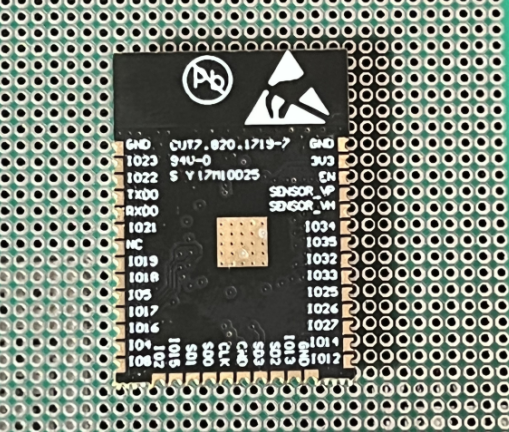
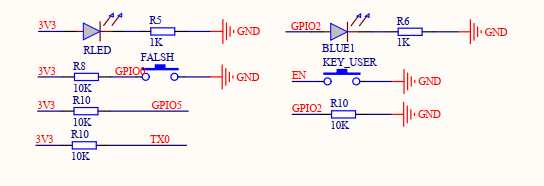
|  |
| --- |
|  |

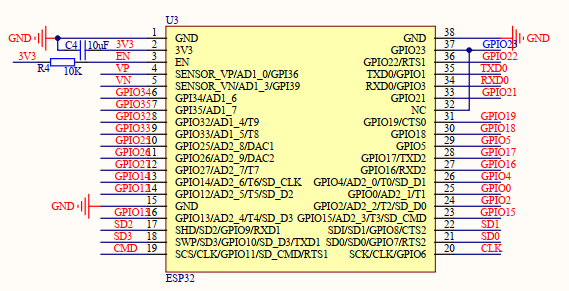
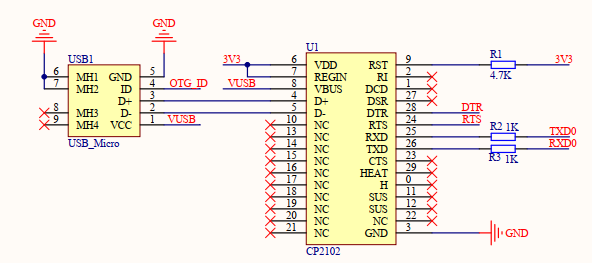
|  |
| --- |
|  |

## 5v转换3.3V电路



## ESP32-wroom最小电路



具体引脚定义参考资料

## 电容器的选择

你电压值的1.5倍以上都可以

根据你的输出输入电压就行

### 贴片

Mlcc好加工其次ESR小没有正负极

有胆电容，有正负极，可以做到容量和耐压大，

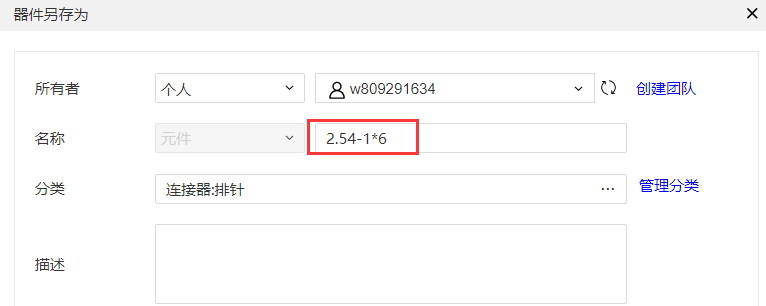
## 嘉立创软件的基本使用

### 新建器件

#### 套用原来的器件进行修改

在更多情况下，别人已经帮我们画好了大概的部分，这里我们可能要稍作修改，比如这里我们有10p的排针，但是我们需要一个6p的排针，这里时候我们可以拷贝一个别人的10p，然后进行修改。操作如下：



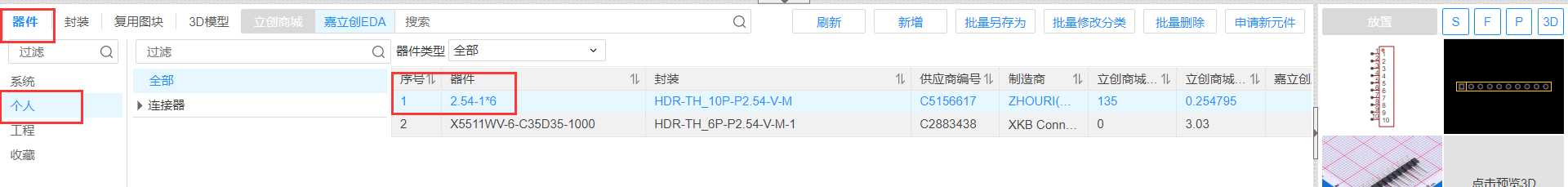


保存后，就会添加到我们个人库，后面介绍

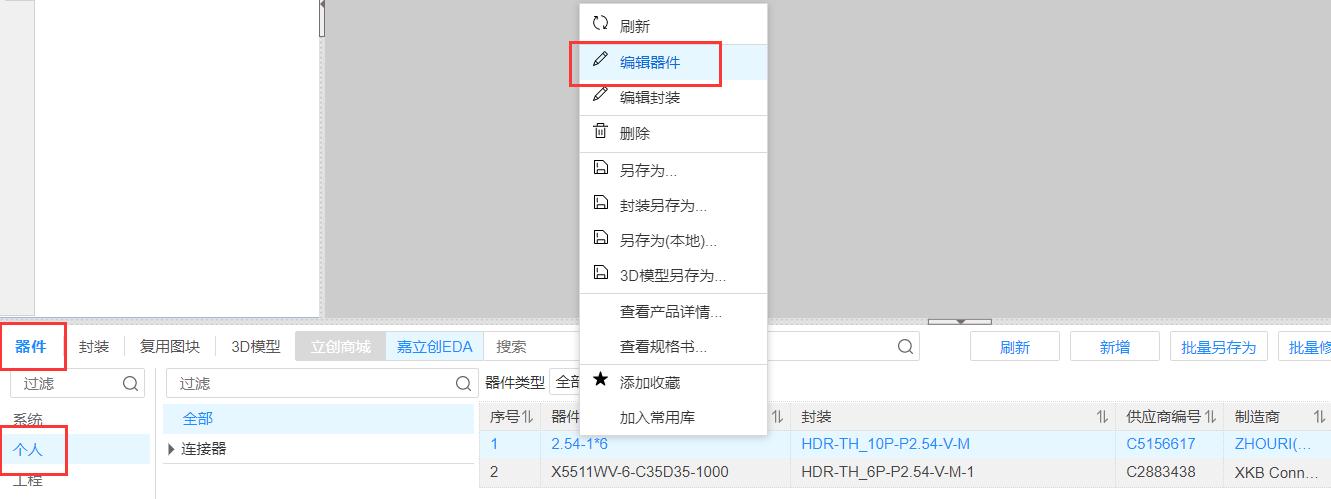
同样的方法，我们新建一个封装



#### 编辑器件

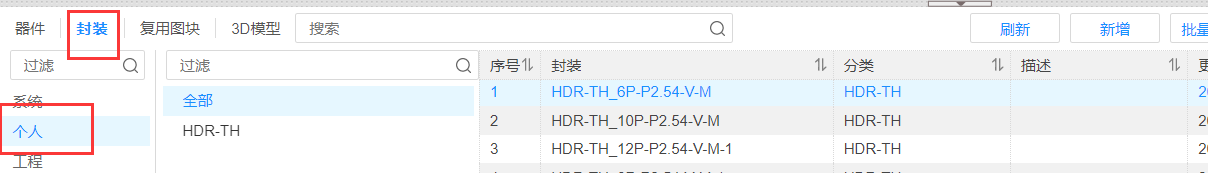


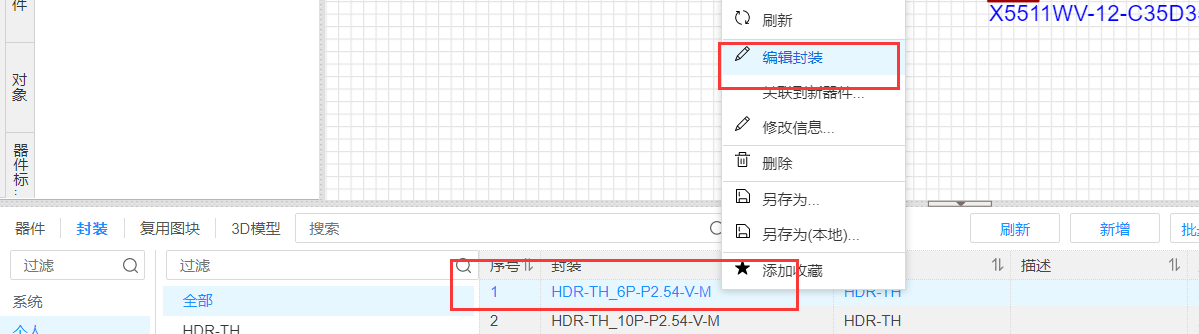
保存封装后，回到我们元件库（需要在编辑模式下看到）的个人。看到刚刚添加的排针，现在我们可以修改该器件的原理图版

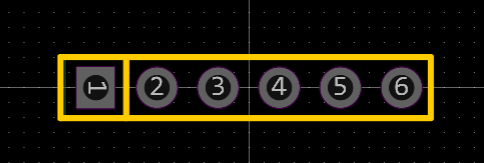




#### 修改封装





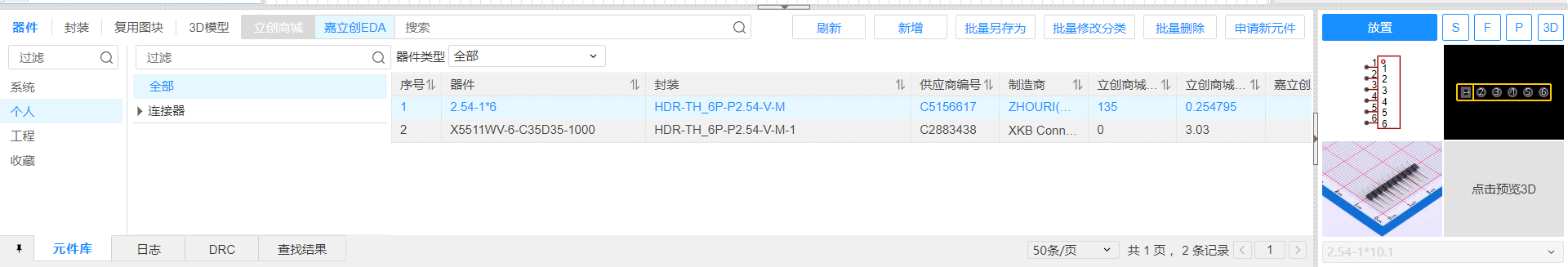


如上封装就编辑完成了

回到编辑器件中，选择刚刚修改完成的封装替换原来的即可。



选择正确的后，然后修改部分信息，这样器件就修改完成。



这样元件库中6p的器件就没完成了，虽然这里没有修改图片，但是基本可以使用了。