# OpenMIPS

## PC模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | pc | 32 | O | 要读取的指令地址 |
| 4 | ce | 1 | O | 指令存储器使能信号 |

## 指令存储器ROM设计与实现

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | ce | 1 | I | 使能信号 |
| 2 | addr | 6 | I | 要读取的指令地址 |
| 3 | inst | 32 | O | 读出的指令 |

## 1.3 连接PC模块和指令寄存器ROM的inst\_fetch模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | inst | 32 | O | 读出的指令 |

## 1.4 教学版OpenMIPS处理器的外部接口

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | rom\_data\_i | 32 | I | 从指令存储器获取的指令 |
| 4 | rom\_addr\_o | 32 | O | 输出到指令存储器的地址 |
| 5 | rom\_ce\_o | 1 | O | 指令存储器的使能信号 |
| 6 | ram\_data\_i | 32 | I | 从数据存储器读取的数据 |
| 7 | ram\_addr\_o | 32 | O | 要访问的数据存储器的地址 |
| 8 | ram\_we\_o | 1 | O | 是否对数据存储器的写操作，1有效 |
| 9 | ram\_sel\_o | 4 | O | 字节选择信号 |
| 10 | ram\_data\_o | 32 | O | 要写入数据存储器的数据 |
| 11 | ram\_ce\_o | 1 | O | 数据存储器使能信号 |
| 12 | int\_i | 6 | I | 6个外部硬件中断输入 |
| 13 | timer\_int\_o | 1 | O | 定时器中断信号 |

## 1.5 IF/ID模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | if\_pc | 32 | I | 取指阶段取得的指令对应的地址 |
| 4 | if\_inst | 32 | I | 取指阶段取得的指令 |
| 5 | id\_pc | 32 | O | 译码阶段的指令对应的地址 |
| 6 | id\_inst | 32 | O | 译码阶段的指令 |

## 1.6 Regfile模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | waddr | 5 | I | 要写入的寄存器地址 |
| 4 | wdata | 32 | I | 要写入的数据 |
| 5 | wen | 1 | I | 写使能信号 |
| 6 | raddr\_0 | 5 | I | 第一个读寄存器端口要读取的寄存器地址 |
| 7 | ren\_0 | 1 | I | 第一个读寄存器端口的读使能信号 |
| 8 | rdata\_0 | 32 | O | 第一个读寄存器端口输出的寄存器值 |
| 9 | raddr\_1 | 5 | I | 第二个读寄存器端口要读取的寄存器地址 |
| 10 | ren\_1 | 1 | I | 第二个读寄存器端口的读使能信号 |
| 11 | rdata\_1 | 32 | O | 第二个读寄存器端口输出的寄存器值 |

## 1.7 ID模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | pc\_i | 32 | I | 译码阶段的指令对应的地址 |
| 3 | inst\_i | 32 | I | 译码阶段的指令 |
| 4 | reg\_0\_data\_i | 32 | I | 从regfile第一个读寄存器端口的输入 |
| 5 | reg\_1\_data\_i | 32 | I | 从regfile第二个读寄存器端口的输入 |
| 6 | reg0\_ren\_o | 1 | O | regfile第一个读寄存器端口的读使能信号 |
| 7 | reg1\_ren\_o | 1 | O | regfile第二个读寄存器端口的读使能信号 |
| 8 | reg0\_addr\_o | 5 | O | regfile模块第一个读寄存器端口的读地址信号 |
| 9 | reg1\_addr\_o | 5 | O | regfile模块第二个读寄存器端口的读地址信号 |
| 10 | aluop\_o | 8 | O | 译码阶段的指令要进行的运算的子类型 |
| 11 | alusel\_o | 3 | O | 译码阶段的指令要进行的运算的类型 |
| 12 | op\_reg0\_o | 32 | O | 译码阶段的指令要进行的运算的源操作数1 |
| 13 | op\_reg1\_o | 32 | O | 译码阶段的指令要进行的运算的源操作数2 |
| 14 | reg\_waddr\_o | 5 | O | 译码阶段的指令要写入的目的寄存器地址 |
| 15 | reg\_wen\_o | 1 | O | 译码阶段的指令是否有要写入的目的寄存器信号 |