# OpenMIPS

## PC模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | pc | 32 | O | 要读取的指令地址 |
| 4 | ce | 1 | O | 指令存储器使能信号 |
| 5 | stall | 6 | I | 流水线暂停信号 |
| 6 | branch\_flag | 1 | I | 是否发生转移 |
| 7 | branch\_target\_addr | 32 | I | 转移到的目标地址 |

## 指令存储器ROM设计与实现

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | ce | 1 | I | 使能信号 |
| 2 | addr | 32 | I | 要读取的指令地址 |
| 3 | inst | 32 | O | 读出的指令 |

## 1.3 连接PC模块和指令寄存器ROM的inst\_fetch模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | inst | 32 | O | 读出的指令 |

## 1.4 教学版OpenMIPS处理器的外部接口

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | rom\_data\_i | 32 | I | 从指令存储器获取的指令 |
| 4 | rom\_addr\_o | 32 | O | 输出到指令存储器的地址 |
| 5 | rom\_ce\_o | 1 | O | 指令存储器的使能信号 |
| 6 | ram\_data\_i | 32 | I | 从数据存储器读取的数据 |
| 7 | ram\_addr\_o | 32 | O | 要访问的数据存储器的地址 |
| 8 | ram\_we\_o | 1 | O | 是否对数据存储器的写操作，1有效 |
| 9 | ram\_sel\_o | 4 | O | 字节选择信号 |
| 10 | ram\_data\_o | 32 | O | 要写入数据存储器的数据 |
| 11 | ram\_ce\_o | 1 | O | 数据存储器使能信号 |
| 12 | int\_i | 6 | I | 6个外部硬件中断输入 |
| 13 | timer\_int\_o | 1 | O | 定时器中断信号 |

## 1.5 IF/ID模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | if\_pc | 32 | I | 取指阶段取得的指令对应的地址 |
| 4 | if\_inst | 32 | I | 取指阶段取得的指令 |
| 5 | id\_pc | 32 | O | 译码阶段的指令对应的地址 |
| 6 | id\_inst | 32 | O | 译码阶段的指令 |
| 7 | stall | 6 | I | 流水线暂停信号 |

## 1.6 Regfile模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | waddr | 5 | I | 要写入的寄存器地址 |
| 4 | wdata | 32 | I | 要写入的数据 |
| 5 | wen | 1 | I | 写使能信号 |
| 6 | raddr\_0 | 5 | I | 第一个读寄存器端口要读取的寄存器地址 |
| 7 | ren\_0 | 1 | I | 第一个读寄存器端口的读使能信号 |
| 8 | rdata\_0 | 32 | O | 第一个读寄存器端口输出的寄存器值 |
| 9 | raddr\_1 | 5 | I | 第二个读寄存器端口要读取的寄存器地址 |
| 10 | ren\_1 | 1 | I | 第二个读寄存器端口的读使能信号 |
| 11 | rdata\_1 | 32 | O | 第二个读寄存器端口输出的寄存器值 |

## 1.7 ID模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | pc\_i | 32 | I | 译码阶段的指令对应的地址 |
| 3 | inst\_i | 32 | I | 译码阶段的指令 |
| 4 | reg\_0\_data\_i | 32 | I | 从regfile第一个读寄存器端口的输入 |
| 5 | reg\_1\_data\_i | 32 | I | 从regfile第二个读寄存器端口的输入 |
| 6 | reg0\_ren\_o | 1 | O | regfile第一个读寄存器端口的读使能信号 |
| 7 | reg1\_ren\_o | 1 | O | regfile第二个读寄存器端口的读使能信号 |
| 8 | reg0\_addr\_o | 5 | O | regfile模块第一个读寄存器端口的读地址信号 |
| 9 | reg1\_addr\_o | 5 | O | regfile模块第二个读寄存器端口的读地址信号 |
| 10 | aluop\_o | 8 | O | 译码阶段的指令要进行的运算的子类型 |
| 11 | alusel\_o | 3 | O | 译码阶段的指令要进行的运算的类型 |
| 12 | op\_reg0\_o | 32 | O | 译码阶段的指令要进行的运算的源操作数1 |
| 13 | op\_reg1\_o | 32 | O | 译码阶段的指令要进行的运算的源操作数2 |
| 14 | reg\_waddr\_o | 5 | O | 译码阶段的指令要写入的目的寄存器地址 |
| 15 | reg\_wen\_o | 1 | O | 译码阶段的指令是否有要写入的目的寄存器信号 |
| 16 | ex\_wen\_i | 1 | I | 处于执行阶段的指令是否要写目的寄存器 |
| 17 | ex\_wdata\_i | 32 | I | 处于执行阶段的指令要写入目的寄存器的数据 |
| 18 | ex\_waddr\_i | 5 | I | 处于执行阶段的指令要写入目的寄存器的地址 |
| 19 | mem\_wen\_i | 1 | I | 处于访存阶段的指令是否要写目的寄存器 |
| 20 | mem\_wdata\_i | 32 | I | 处于访存阶段的指令要写入目的寄存器的数据 |
| 21 | mem\_waddr\_i | 5 | I | 处于访存阶段的指令要写入目的寄存器的地址 |
| 22 | branch\_flag\_o | 1 | O | 是否发生转移 |
| 23 | branch\_addr\_o | 32 | O | 转移到的目的地址 |
| 24 | is\_in\_delayslot\_o | 1 | O | 当前处于译码阶段的指令是否位于延迟槽 |
| 25 | link\_addr\_o | 32 | O | 转移指令要保存的返回地址 |
| 26 | next\_inst\_in\_delayslot\_o | 1 | O | 下一条进入译码阶段的指令是否位于延迟槽 |
| 27 | is\_in\_delayslot\_i | 1 | I | 当前处于译码阶段的指令是否位于延迟槽 |
| 28 | inst\_o | 32 | O | 当前处于译码阶段的指令 |

## 1.8 ID/EX模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | id\_alusel | 3 | I | 译码阶段的指令要进行的运算类型 |
| 4 | id\_aluop | 8 | I | 译码阶段的指令要进行的运算子类型 |
| 5 | id\_reg0 | 32 | I | 译码阶段的指令要进行的运算的源操作数0 |
| 6 | id\_reg1 | 32 | I | 译码阶段的指令要进行的运算的源操作数1 |
| 7 | id\_wd | 5 | I | 译码阶段的指令要写入的寄存器地址 |
| 8 | id\_wreg | 1 | I | 译码阶段的指令是否要写入目的寄存器信号 |
| 9 | ex\_alusel | 3 | O | 执行阶段的指令要进行的运算类型 |
| 10 | ex\_aluop | 8 | O | 执行阶段的指令要进行的运算子类型 |
| 11 | ex\_reg0 | 32 | O | 执行阶段的指令要进行的运算的源操作数0 |
| 12 | ex\_reg1 | 32 | O | 执行阶段的指令要进行的运算的源操作数1 |
| 13 | ex\_wd | 5 | O | 执行阶段的指令要写入的寄存器地址 |
| 14 | ex\_wreg | 1 | O | 执行阶段的指令是否要写入目的寄存器信号 |
| 15 | id\_delayslot\_vld | 1 | I | 当前处于译码阶段的指令是否位于延迟槽 |
| 16 | id\_link\_addr | 32 | I | 处于译码阶段的转移指令要保存的返回地址 |
| 17 | id\_next\_delayslot\_vld | 1 | I | 下一条进入译码阶段的指令是否位于延迟槽 |
| 18 | ex\_delayslot\_vld | 1 | O | 当前处于执行执行阶段的执行是否位于延迟槽 |
| 19 | ex\_link\_addr | 32 | O | 处于执行阶段的转移指令要保存的返回地址 |
| 20 | delayslot\_vld\_o | 1 | O | 当前处于译码阶段的指令是否位于延迟槽 |
| 21 | id\_inst | 32 | I | 当前处于译码阶段的指令。 |
| 22 | ex\_inst | 32 | O | 当前处于执行阶段的指令 |

## 1.9 EX模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | alusel\_i | 3 | I | 执行阶段要进行的运算的类型 |
| 3 | aluop\_i | 8 | I | 执行阶段要进行的运算的子类型 |
| 4 | reg0\_i | 32 | I | 参与运算的源操作数0 |
| 5 | reg1\_i | 32 | I | 参与运算的源操作数1 |
| 6 | wd\_i | 5 | I | 指令执行要写入的目的寄存器地址 |
| 7 | wreg\_i | 1 | I | 是否有要写入的目的寄存器 |
| 8 | wd\_o | 5 | O | 执行阶段的指令最终要写入的目的寄存器地址 |
| 9 | wreg\_o | 1 | O | 执行阶段的指令最终是否要写入的目的寄存器 |
| 10 | wdata\_o | 32 | O | 执行阶段的指令最终要写入的目的寄存器的值。 |
| 11 | hi\_i | 32 | I | HILO模块给出的HI寄存器的值 |
| 12 | lo\_i | 32 | I | HILO模块给出的LO寄存器的值 |
| 13 | mem\_whilo\_i | 1 | I | 处于访存阶段的指令是否要写HI、LO寄存器 |
| 14 | mem\_hi\_i | 32 | I | 处于访存阶段的指令要写入HI寄存器的值。 |
| 15 | mem\_lo\_i | 32 | I | 处于访存阶段的指令要写入LO寄存器的值。 |
| 16 | wb\_whilo\_i | 1 | I | 处于回写阶段的指令是否要写HI、LO寄存器。 |
| 17 | wb\_hi\_i | 32 | I | 处于回写阶段的指令要写入HI寄存器的值。 |
| 18 | wb\_lo\_i | 32 | I | 处于回写阶段的指令要写入LO寄存器的值。 |
| 19 | whilo\_o | 1 | O | 执行阶段的指令是否要写HI、LO寄存器。 |
| 20 | hi\_o | 32 | O | 执行阶段的指令要写入HI寄存器的值。 |
| 21 | lo\_o | 32 | O | 执行阶段的指令要写入LO寄存器的值。 |
| 22 | hilo\_temp\_i | 32 | I | 第一个执行周期得到的乘法结果 |
| 23 | cnt\_i | 2 | I | 当前处于执行阶段的第几个时钟周期 |
| 24 | hilo\_temp\_o | 32 | O | 第一个执行周期得到的乘法结果 |
| 25 | cnt\_o | 2 | O | 下一个时钟周期处于执行阶段的第几个时钟周期 |
| 26 | signed\_div\_o | 1 | O | 是否是有符号除法，为1表示是有符号除法 |
| 27 | div\_opdata0\_o | 32 | O | 被除数 |
| 28 | div\_opdata1\_o | 32 | O | 除数 |
| 29 | div\_start\_o | 1 | O | 是否开始除法运算 |
| 30 | div\_quotient\_i | 32 | I | 除法运算结果的商 |
| 31 | div\_remainder\_i | 32 | I | 除法运算结果的余数 |
| 32 | div\_ready\_i | 1 | I | 除法运算是否结束 |
| 33 | i\_delayslot\_vld | 1 | I | 当前处于执行阶段的指令是否位于延迟槽 |
| 34 | i\_link\_addr | 32 | I | 处于执行阶段的指令要保存的返回地址 |
| 35 | inst\_i | 32 | I | 当前处于执行阶段的指令。 |
| 36 | aluop\_o | 8 | O | 执行阶段的指令要进行的运算子类型。 |
| 37 | mem\_addr\_o | 32 | O | 加载、存储指令对应的存储器地址。 |
| 38 | reg2\_o | 32 | O | 存储指令要存储的数据，或者lwl, lwr指令要加载的目的寄存器的原始值。 |

## 1.10 EX/MEM模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | ex\_wen | 1 | I | 执行阶段的指令执行后是否有要写入的目的寄存器 |
| 4 | ex\_wdata | 32 | I | 执行阶段的指令执行后要写入的目的寄存器的值 |
| 5 | ex\_waddr | 5 | I | 执行阶段的指令执行后要写入的目的寄存器的地址 |
| 6 | mem\_wen | 1 | O | 访存阶段的指令执行后是否有要写入的目的寄存器 |
| 7 | mem\_wdata | 32 | O | 访存阶段的指令执行后要写入的目的寄存器的值 |
| 8 | mem\_waddr | 5 | O | 访存阶段的指令执行后要写入的目的寄存器的地址 |
| 9 | ex\_hilo\_wen | 1 | I | 执行阶段的指令是否要写HI,LO寄存器。 |
| 10 | ex\_hi | 32 | I | 执行阶段的指令要写入HI寄存器的值。 |
| 11 | ex\_lo | 32 | I | 执行阶段的指令要写入LO寄存器的值。 |
| 12 | mem\_hilo\_wen | 1 | O | 访存阶段的指令是否要写入HI,LO寄存器。 |
| 13 | mem\_hi | 32 | O | 访存阶段的指令写入HI寄存器的值。 |
| 14 | mem\_lo | 32 | O | 访存阶段的指令要写入LO寄存器的值。 |
| 15 | hilo\_temp\_i | 32 | I | 保存的乘法结果 |
| 16 | cnt\_i | 2 | I | 下一个时钟周期是执行阶段的第几个周期。 |
| 17 | hilo\_temp\_o | 32 | O | 保存的乘法结果。 |
| 18 | cnt\_o | 2 | O | 当前处于执行阶段的第几个时钟周期。 |
| 19 | ex\_aluop | 8 | I | 执行阶段的指令要进行的运算的子类型 |
| 20 | ex\_mem\_addr | 32 | I | 执行阶段load/store指令对应的存储器地址。 |
| 21 | ex\_mem\_data | 32 | I | 执行阶段的存储指令要存储的数据，或者lwl, lwr指令要写入的目的寄存器的原始值。 |
| 22 | mem\_aluop | 8 | O | 访存阶段的指令要进行的运算的子类型 |
| 23 | mem\_addr | 32 | O | 访存阶段load/store指令对应的存储器地址。 |
| 24 | mem\_data | 32 | O | 访存阶段的存储指令要存储的数据，或者lwl, lwr指令要写入的目的寄存器的原始值。 |

## 1.11 MEM模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | waddr\_i | 5 | I | 访存阶段的指令要写入的目的寄存器地址 |
| 3 | wen\_i | 1 | I | 访存阶段的指令是否有要写入的目的寄存器 |
| 4 | wdata\_i | 32 | I | 访存阶段的指令要写入目的寄存器的值 |
| 5 | waddr\_o | 5 | O | 访存阶段的指令最终要写入的目的寄存器地址 |
| 6 | wen\_o | 1 | O | 访存阶段的指令最终是否有要写入的目的寄存器 |
| 7 | wdata\_o | 32 | O | 访存阶段的指令最终要写入目的寄存器的值 |
| 8 | hilo\_wen\_i | 1 | I | 访存阶段的指令是否要写HI,LO寄存器。 |
| 9 | hi\_i | 32 | I | 访存阶段的指令要写入HI寄存器的值。 |
| 10 | lo\_i | 32 | I | 访存阶段的指令要写入LO寄存器的值。 |
| 11 | hilo\_wen\_o | 1 | O | 访存阶段的指令最终是否要写入HILO寄存器。 |
| 12 | hi\_o | 32 | O | 访存阶段的指令最终要写入HI寄存器的值。 |
| 13 | lo\_o | 32 | O | 访存阶段的指令最终要写入LO寄存器的值。 |
| 14 | aluop\_i | 8 | I | 访存阶段的指令要进行的运算的子类型。 |
| 15 | mem\_addr\_i | 32 | I | 访存阶段的加载、存储指令对应的存储器地址。 |
| 16 | mem\_data\_i | 32 | I | 访存阶段的存储指令要存入的数据，或者lwl,lwr要写入的目的寄存器的原始值。 |
| 17 | mem\_addr\_o | 32 | O | 要访问的数据存储器的地址。 |
| 18 | mem\_we\_o | 1 | O | 是否写操作，写为1 |
| 19 | mem\_sel\_o | 3 | O | 字节选择信号 |
| 20 | mem\_data\_o | 32 | O | 要写入的数据存储器的数据。 |
| 21 | mem\_ce\_o | 1 | O | 数据存储器的使能信号 |
| 22 | mem\_rdata\_i | 32 | I | 从数据存储器读取的数据。 |
| 23 | LLbit\_i | 32 | I | LLbit模块给出的LLbit寄存器的值 |
| 24 | wb\_LLbit\_we\_i | 1 | I | 回写阶段的指令是否要写LLbit寄存器 |
| 25 | wb\_LLbit\_value\_i | 32 | I | 回写阶段要写入LLbit寄存器的值 |
| 26 | LLbit\_we\_o | 1 | O | 访存阶段的指令是否要写LLbit寄存器 |
| 27 | LLbit\_value\_o | 32 | O | 访存阶段的指令要写入LLbit寄存器的值 |

## 1.12 MEM/WB模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | mem\_waddr | 5 | I | 访存阶段的指令最终要写入的目的寄存器地址 |
| 4 | mem\_wen | 1 | I | 访存阶段的指令最终是否有要写入的目的地址。 |
| 5 | mem\_wdata | 32 | I | 访存阶段的指令最终要写入目的寄存器的值。 |
| 6 | wb\_waddr | 5 | O | 回写阶段的指令最终要写入的目的寄存器地址 |
| 7 | wb\_wen | 1 | O | 回写阶段的指令是否有要写入的目的寄存器 |
| 8 | wb\_wdata | 32 | O | 回写阶段的指令要写入目的寄存器的值 |
| 9 | mem\_hilo\_wen | 1 | I | 访存阶段的指令是否要写HILO寄存器。 |
| 10 | mem\_hi | 32 | I | 访存阶段的指令要写入HI寄存器的值。 |
| 11 | mem\_lo | 32 | I | 访存阶段的指令要写入LO寄存器的值。 |
| 12 | wb\_hilo\_wen | 1 | O | 回写阶段的指令是否要写入HILO寄存器。 |
| 13 | wb\_hi | 32 | O | 回写阶段的指令要写入HI寄存器的值。 |
| 14 | wb\_lo | 32 | O | 回写阶段的指令要写入LO寄存器的值。 |
| 15 | mem\_llbit\_we | 1 | I | 访存阶段的指令是否要写入LLbit寄存器 |
| 16 | mem\_llbit\_value | 32 | I | 访存阶段的指令要写入LLbit寄存器的值。 |
| 17 | wb\_llbit\_we | 1 | O | 回写阶段的指令是否要写LLbit寄存器。 |
| 18 | wb\_llbit\_value | 32 | O | 回写阶段的指令要写入LLbit寄存器的值。 |

## 1.13 OpenMIPS模块接口图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | rom\_data\_i | 32 | I | 从指令存储器取得的指令 |
| 4 | rom\_addr\_o | 32 | O | 输出到指令存储器的地址 |
| 5 | rom\_ren\_o | 1 | O | 指令存储器使能信号 |
| 6 | ram\_data\_i | 32 | I | 从数据存储器读取的数据 |
| 7 | ram\_addr\_o | 32 | O | 要访问的数据存储器地址 |
| 8 | ram\_we\_o | 1 | O | 是否对数据存储器的写操作，1为写 |
| 9 | ram\_sel\_o | 4 | O | 字节选择信号 |
| 10 | ram\_data\_o | 32 | O | 要写入数据存储器的数据 |
| 11 | ram\_ce\_o | 1 | O | 数据存储器使能信号 |

## 1.14 HILO寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | i\_wen | 1 | I | HI、LO寄存器的写使能信号 |
| 4 | i\_hi | 32 | I | 要写入HI寄存器的值 |
| 5 | i\_lo | 32 | I | 要写入LO寄存器的值 |
| 6 | o\_hi | 32 | O | HI寄存器的值 |
| 7 | o\_lo | 32 | O | LO寄存器的值 |

## 1.15 PAUSE\_CTRL模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | id\_stallreq | 1 | I | 处于译码阶段的指令是否请求流水线暂停 |
| 2 | ex\_stallreq | 1 | I | 处于执行阶段的指令是否请求流水线暂停 |
| 3 | stall | 6 | O | 暂停流水线控制信号 |

## 1.16 DIV模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst\_n | 1 | I | 复位信号，低电平有效 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | signed\_div\_i | 1 | I | 是否是有符号除法，为1表示有符号除法 |
| 4 | opdata1\_i | 32 | I | 被除数 |
| 5 | opdata2\_i | 32 | I | 除数 |
| 6 | start\_i | 1 | I | 是否开始除法运算 |
| 7 | annul\_i | 1 | I | 是否取消除法运算，为1表示取消除法运算 |
| 8 | result\_o | 64 | O | 除法运算结果 |
| 9 | ready\_o | 1 | O | 除法运算是否结束 |

## 1.17 data ram模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | ce | 1 | I | 数据存储器使能信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | data\_i | 32 | I | 要写入的数据 |
| 4 | addr | 32 | I | 要访问的地址 |
| 5 | we | 1 | I | 是否写操作，1为写 |
| 6 | sel | 4 | I | 字节选择信号 |
| 7 | data\_o | 32 | O | 读出的数据 |

## 1.18 LLbit模块

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **接口名** | **宽度(bit)** | **输入/输出** | **作用** |
| 1 | rst | 1 | I | 复位信号 |
| 2 | clk | 1 | I | 时钟信号 |
| 3 | flush | 1 | I | 是否有异常发生 |
| 4 | we | 1 | I | 是否要写LLbit寄存器 |
| 5 | LLbit\_i | 32 | I | 要写到LLbit寄存器的值 |
| 6 | LLbit\_o | 32 | O | LLbit寄存器的值 |