**UNIVERSIDADE FEDERAL DE PELOTAS**

**CENTRO DE DESENVOLVIMENTO TECNOLÓGICO**

**CURSO DE ENGENHARIA DE COMPUTAÇÃO**

**DISCIPLINA DE CIRCUITOS DIGITAIS AVANÇADOS**



**PROPOSTA DE PROJETO PRÁTICO**

**PROCESSADOR MIPS PIPELINE**

**ANDRÉ NACHTIGALL, HENRIQUE KESSLER E WAGNER LOCH**

**PELOTAS, NOVEMBRO DE 2018**

**André Nachtigall, Henrique Kessler e Wagner Loch**

**Apresentação**

O presente relatório apresenta como proposta de desenvolvimento de trabalho prático final da disciplina de Sistemas Digitais Avançados o processador MIPS PIPELINE, incluindo todas as suas estruturas de controle e instruções.

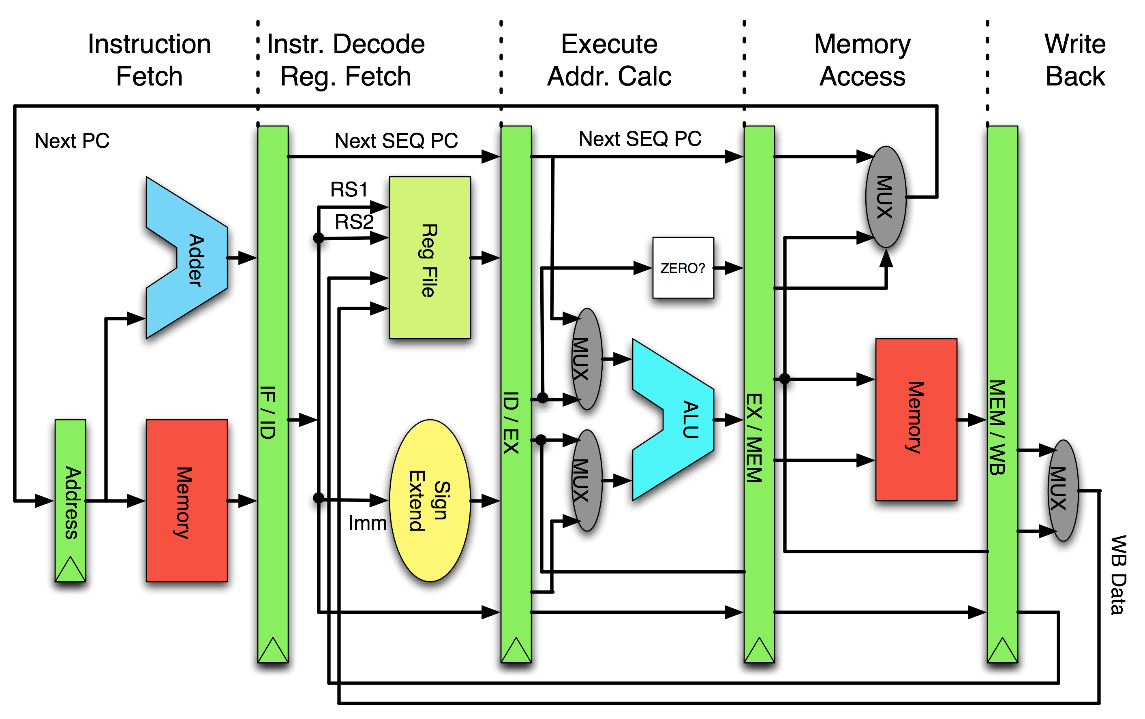


Figura 1 - Diagrama completo da arquitetura interna do MIPS

**Desenvolvimento**

O desenvolvimento do trabalho se dará utilizando VHDL e todas as técnicas aprendidas durante o curso. A divisão das tarefas principais se dará da seguinte maneira:

**Wagner:**

* Estruturas de Controle

**Henrique:**

* Memórias e Barreiras Temporais

**André:**

* Componentes

Pode ocorrer alterações na divisão de tarefas no decorrer do desenvolvimento, podendo ter ajuda mútua entre os desenvolvedores.