

**UNIVERSIDADE FEDERAL DE PELOTAS
CENTRO DE DESENVOLVIMENTO TECNOLÓGICO
CURSO DE ENGENHARIA DE COMPUTAÇÃO
DISCIPLINA DE SISTEMAS DIGITAIS AVANÇADOS**



RELATÓRIO SOBRE TRABALHO PRÁTICO

FILTRO UPSAMPLING

ANDRÉ NACHTIGALL, HENRIQUE KESSLER E WAGNER LOCH

**PELOTAS, DEZEMBRO DE 2018
André Nachtigall, Henrique Kessler e Wagner Loch**

Filtro Upsampling

Relatório realizado como requisito da Prova Prática da disciplina de Sistemas Digitais Avançados.

Resumo

O presente relatório apresenta a solução desenvolvida para um filtro *upsampling* (aumento de resolução) de ordem 2 para imagens monocromáticas de 8 bits por amostra. A implementação realizada é limitada para imagens de dimensões 512x512 e o *upsampling* é feito apenas na dimensão horizontal.

Upsampling é uma técnica de processamento digital para aumentar artificialmente imagens inserindo entre suas amostras originais novas amostras calculadas a partir dos originais. A equação deste cálculo segue conforme a Figura 1.

$$b = (E - 5 \cdot F + 20 \cdot G + 20 \cdot H - 5 \cdot I + J) / 32$$

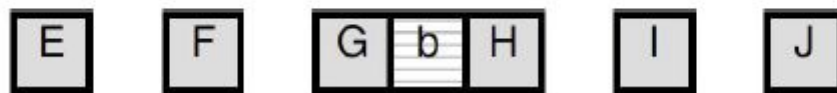


Figura 1 - Equação para cálculo de novas amostras

Desenvolvimento

O sistema é composto por três módulos, sendo eles o bloco de memória, bloco passador e o bloco interpolador. O primeiro módulo é o bloco de memória o qual possui capacidade para 1024 palavras de 8 bits, ele é responsável por receber as amostras e alimentar o bloco passador com os dados da imagem. Suas entradas são o *clock*, uma *flag* para habilitar a escrita (*wren*), o dado (8 bits) a ser armazenado e o endereço (10 bits) para controlar os locais de leitura e escrita. A saída é o dado armazenado no endereço recebido.

O segundo módulo é o bloco passador, este composto por doze registradores de 8 bits, eles são responsáveis por alimentar o bloco interpolador com as últimas seis entradas, variando qual entrada recebe o dado. O primeiro dado recebido no segundo ciclo de *clock* passa a ser a segunda saída, no terceiro ciclo de *clock* passa a ser a terceira saída e assim por diante. As suas entradas são o *clock* e o dado (8 bits), e as suas saídas são os últimos seis dados recebidos.

O terceiro módulo é o bloco interpolador, o qual é responsável por calcular as novas amostras; ele entra no estágio de processamento quando a sua *flag* “início” é acionada e então utiliza as suas seis entradas para calcular a nova amostra. Sua saída é o endereço do próximo dado para o bloco de memória (endereço), o momento em que se deve solicitar novas amostras para a memória (*trocaLinha*), se o dado na saída é válido (*valido*), a amostra original seguida da amostra calculada e o término do processamento (*iniciolImagem*). São utilizadas operações de concatenação para realizar as divisões e as multiplicações das amostras em vetores

de 16 bits garantindo assim que o dado disposto na saída está correto e, em caso de overflow, o valor 255 é atribuído a saída; em caso de underflow o valor 0.

A entidade de nível mais alto é o *Upsampling* o qual é responsável por unificar e controlar os módulos descritos anteriormente. Este controle é feito através de uma máquina de estados de dois estados, sendo eles o estado espera e o estado processando. No estado espera nenhuma solicitação de amostra é feita e os valores de saída são definidos como zero, sua transição é realizada quando a *flag* “start” é acionada passando para o estado de processamento. Neste estado os valores calculados pelo bloco interpolador são passados para a saída do sistema e é feita a requisição de novas amostras quando a *flag* “newLine” é acionada, gravando novos dados no bloco de memória. O retorno para o estado de espera se dá pela *flag* “iniciolImagem” o qual é acionado quando todas as amostras de uma imagem foram calculadas.

O esquemático da arquitetura segue conforme a Figura 2.

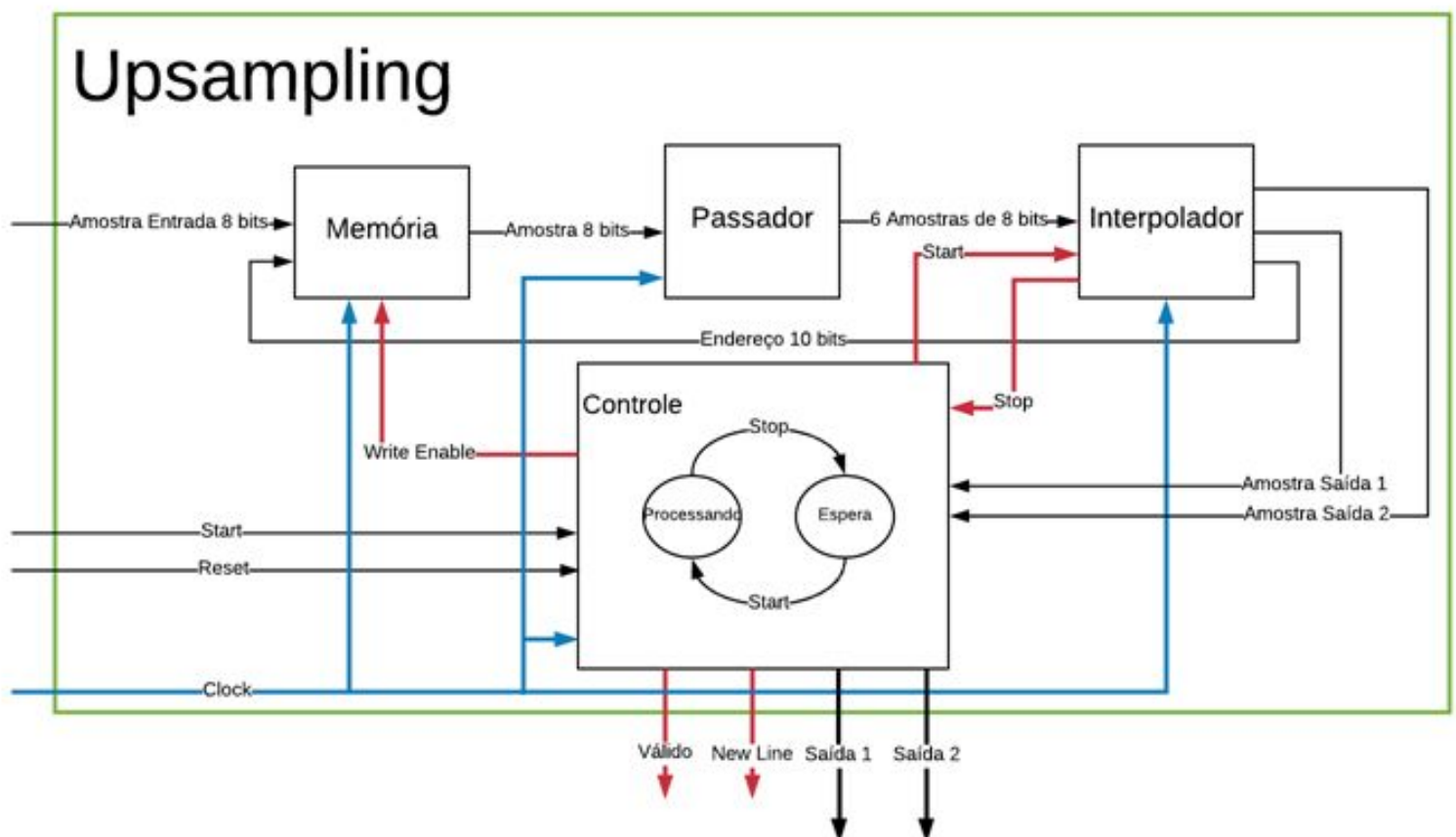


Figura 2 - Esquemático da arquitetura proposta

Resultados

O desempenho alvo da arquitetura é de 100 milhões de amostras filtradas por segundo.

A tecnologia alvo foi a placa Cyclone II da Altera, os resultados obtidos referentes ao seu custo em área e seu desempenho da arquitetura proposta segue conforme a Tabela 1.

Tabela 1 – Resultados obtidos.

Categoria	Resultado
LUTs	198
Registradores	189
Frequência de Operação	126.01 MHz
Vazão*	1

*Após a inicialização do sistema (3 ciclos de *clock*).