

Évaluation de connaissances

Durée max : 1h30

Documents manuscripts du cours autorisés et " aide-mémoire" VHDL fourni avec le sujet.

Barème et temps sont donnés à titre indicatif.

- N'oublier pas de rendre le sujet avec votre copie.
- Lecture du sujet et impondérables temporels : 5' à 10' max

Partie A -Question de cours- 40 ' 11pts

A.1) Chaque **LE** d'un FPGA (ex : Cyclone II d'ALTERA-INTEL) possède, entre autres, une **LUT** à 4 entrées et 1 sortie :

A.1a) Que signifie le sigle **LE** ?

Réponse attendue[0,25pt].

LE : Logic Element,

A.1b) Que signifie le sigle **LUT** ?

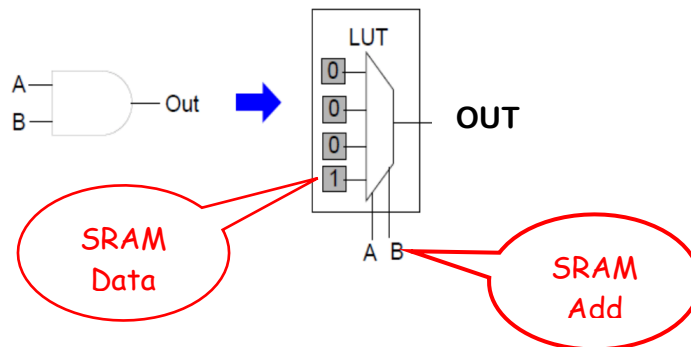
Réponse attendue[0,25pt].

LUT : Look Up Table

A.1c) Quelle fonction logique combinatoire réalise cette **LUT** en précisant ses entrées-sorties. Faire un dessin explicatif plutôt qu'un long discours pour implémenter par exemple un simple ET à 2 entrées.

Réponse attendue[0.5pt+1pt=1.5pts].

Une LUT pour Look Up Table à 4 entrées et 1 sorties est un multiplexeur 4 vers 1, permettant d'implémenter la table de vérité de fonctions combinatoires.

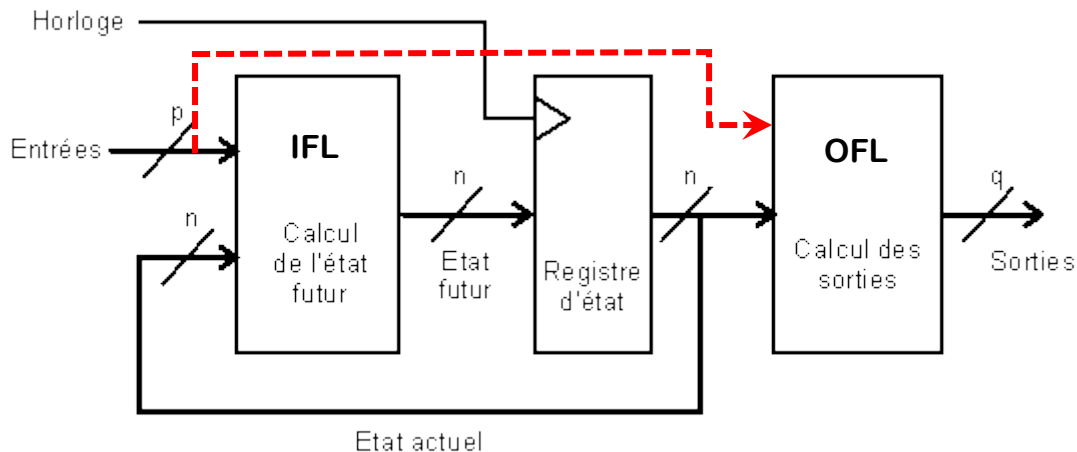


A.2) Quelle sont les principales différences entre un microcontrôleur et un FPGA

Réponse attendue minimale[2x0.5pt=1pt].

- Un microcontrôleur est une cible logicielle qui exécute des instructions de façon séquentielle. Il analyse et traite des données.
- Un FPGA est une cible matérielle qui n'exécute aucune instruction à proprement parler. Il traite des instructions de façon parallèle ou concurrentes dans le but de synthétiser des fonctions logiques combinatoires et/ou séquentielles.

A.3) Ci-dessous la représentation fonctionnelle d'une machine de Moore.



A.3a) Quels types de fonctions ou circuits logiques sont utilisés pour réaliser les blocs IFL et OFL ?

Réponse attendue[0.5pt].

Fonctions/circuits logiques combinatoires

A.3b) Quels types de fonctions ou circuits logiques sont utilisés pour réaliser le registre d'état ?

Réponse attendue[0.5pt].

Fonctions/circuits logiques séquentiels

A.3c) Modifier la représentation fonctionnelle d'une machine de Moore pour qu'elle devienne une machine de Mealy.

Réponse attendue[0.5pt].

Voir ci-dessus.

A.4) Rappeler la condition à réaliser pour qu'un diagramme d'état soit complet (ou non ambigu).

Réponse attendue[0.5pt].

Le OU logique de toutes les conditions C_p associées aux transitions partant d'un état quelconque est toujours vrai :

$$\sum_{i=1}^{i=n} C_i = 1$$

A.5) On peut utiliser un « process » pour décrire l'architecture d'un opérateur logique combinatoire.

A.5a) A quelle(s) condition(s) ?

Réponse attendue[0.5pt+0.5pt=1pt].

Il faut :

- Que toutes les entrées soient dans la liste de sensibilité du process,
- Que tous les cas soient traités sans exception sinon lors de la synthèse un élément mémoire (registre) va apparaître.

A.5b) Compléter alors le code VHDL ci-dessous (description comportementale) avec process d'un opérateur XOR à 2 entrées **a et **b** et de sortie **S****

Réponse possible[1.5pts]

```
library ieee;
use ieee.std_logic_1164.all;

entity XOR2E is
    port(a,b : in std_logic;
          S   : out std_logic);
end XOR2E;

architecture Comp_XOR2E of XOR2E is
begin
    process (a,b)
    begin
        if (a=NOT(b)) then
            S <= '1';
        else
            S <= '0';
        end if;
    end process;
end Comp_XOR2E;
```

A.6) On peut utiliser un « process » pour décrire l'architecture d'un opérateur logique séquentielle.

A.6a) A quelle condition ?

Réponse attendue[0.5pt].

Il faut que la liste de sensibilité contienne une horloge et peut-être aussi un reset (Asynchrone). C'est tout !

A.6b) Compléter le code VHDL ci-dessous pour qu'il réalise un compteur binaire 3 bits s'incrémentant sur fronts descendants, avec Reset asynchrone actif sur niveau logique haut.

Réponse possible[3pts]

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity ctrBin3bits is
    port (clk,Reset : in std_logic;
          Q         : out std_logic_vector(_ downto 0)
    );
end ctrBin3bits;

architecture Comp_ctrBin3bits of ctrBin3bits is
    signal Q_interne: std_logic_vector(_ downto 0);
begin
    process(clk, Reset)
    begin
        if(Reset='1') then
```

Nom:

```

Q_interne<=(others=>'0');
elsif (clk 'event and clk='0') then
    if (Q_interne=7) then Q_interne<=(others=>'0');
    else Q_interne<=Q_interne+1;
    end if;
end if;
end process;
Q<=Q_interne;
end Comp_ctrBin3bits ;

```

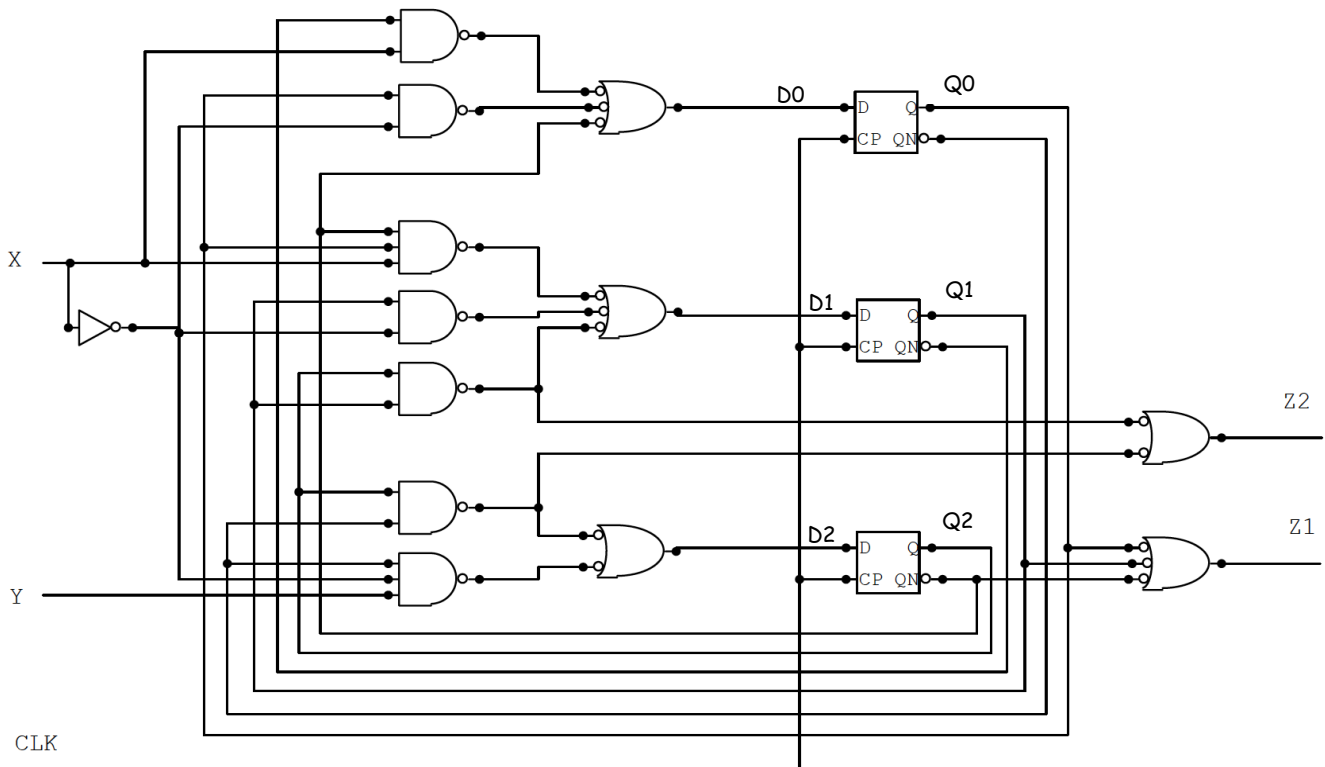
Partie B - Machine à états finis - 40 ' 9pts

B.1) On donne ci-dessous le schéma structurel d'une MAE.

B.1a) Est-ce une machine de Moore ou de Mealy ? Justifier votre réponse.

Réponse attendue [0.5pt]

Il s'agit d'une machine de Moore car les entrées X et Y ne se retrouvent pas sur le bloc combinatoire de sortie.



B.1b) Donner les équations logiques de D0, D1 et D2. Que représentent vis à vis d'une MAE ces équations ?

Réponse attendue [3x 0.5pts+ 0.5pt=2pts].

$$D0 = \overline{Q1} \cdot X + Q0 \cdot \overline{X} + Q2$$

$$D1 = \overline{Q2} \cdot Q0 \cdot X + Q1 \cdot \overline{X} + Q2 \cdot Q1$$

$$D2 = Q2 \cdot \overline{Q0} + \overline{Q0} \cdot \overline{X} \cdot Y$$

Ces équations représentent l'état futur on le note Qi*.

Nom:

B.1c) On note $Q0^*$, $Q1^*$ et $Q2^*$ les états futurs de la MAE considérée.

Compléter le tableau de transitions ci-dessous. Je vous donne la première ligne pour démarrer. :

Réponse attendue [3pts=1pt $X=(00, 01)$, 1pt $X=(10,11)$ et 1pt=Z1Z2]

Etats présents			Entrées XY				Sorties
Q2	Q1	Q0	00	01	10	11	Z1Z2
0	0	0	000	100	001	001	10
0	0	1	001	001	011	011	10
0	1	0	010	110	000	000	10
0	1	1	011	011	010	010	00
1	0	0	101	101	101	101	11
1	0	1	001	001	001	001	10
1	1	0	111	111	111	111	11
1	1	1	011	011	011	011	11
			Etats Futurs $Q2^*Q1^*Q0^*$				

Respecter cet ordre

B.1d) En déduire les équations des sorties Z1 et Z2 en fonction de Q0, Q1 et Q2.

Réponse attendue [1.5pts]

$$Z1 = Q2 + \overline{Q1} + \overline{Q0}$$

$$Z2 = Q2 \cdot Q1 + Q2 \cdot \overline{Q0}$$

B.1e) On note les états par des lettres A(000) à H(111). Reprendre le tableau ci-dessus en utilisant cette nouvelle notation. En déduire le diagramme d'états de la MAE.

Réponse attendue [2pts=1pt $X=00,01$ et pt $X=(10,11)$]

Etats présents	Entrées XY				Sorties
S	00	01	10	11	Z1Z2
A	A	E	B	B	10
B	B	B	D	D	10
C	C	G	A	A	10
D	D	D	C	C	00
E	F	F	F	F	11
F	B	B	B	B	10
G	H	H	H	H	11
H	D	D	D	D	11
Etats Futurs S^*					

