

Évaluation de connaissances

Durée max : 1h30

Partie A -Questions de cours- 20' à 25' 7.5pts

QA.1)

Réponse attendue:

- Additionneur et comparateur [2x0.25pt]
- Multiplexeur et démultiplexeur. [2x0.25pt]

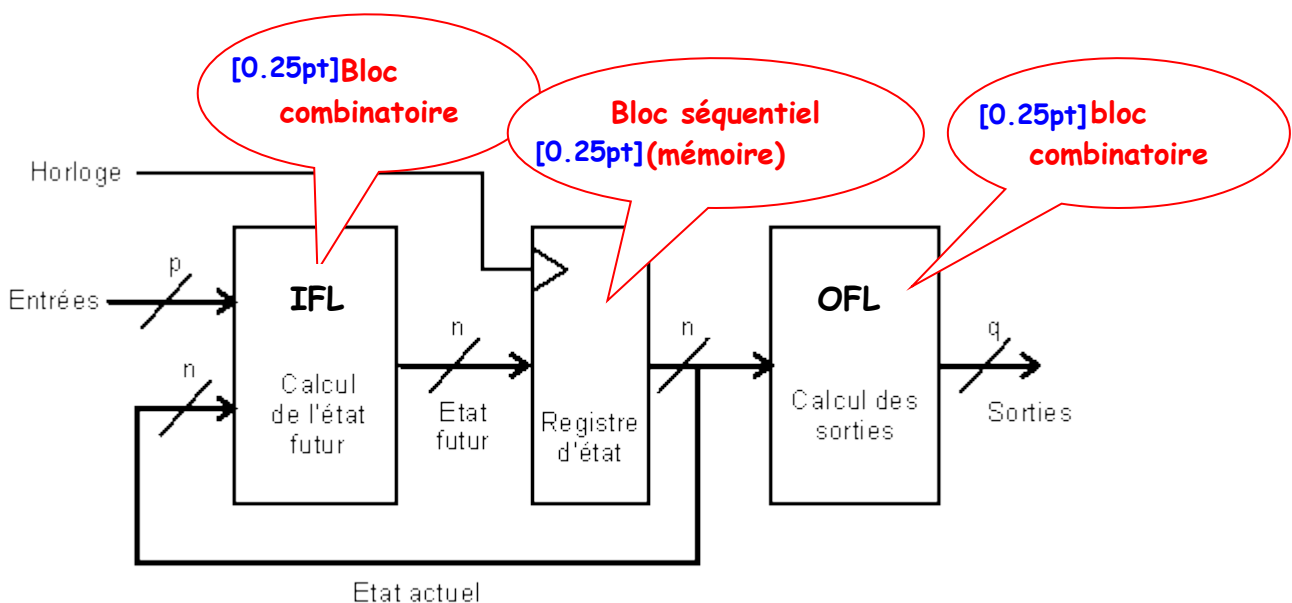
QA.2)

Réponse attendue:

Un LATCH D est une bascule asynchrone : Mémorisation sur niveau logique. [0.25pt]

Une bascule D est une bascule synchrone : Mémorisation sur front d'horloge. [0.25pt]

QA.3)



Dans le cas d'une machine de Mealy les sorties dépendent également des entrées et de l'état actuel de la machine. [0.25pt]

Les sorties sont synchrones avec les transitions d'état et les fronts d'horloge. [0.25pt]

Les états internes sont les sorties du bloc mémoire soit du registre d'état (Etat actuel) [0.25pt]

QA.4) [3x 0.25pt]

Les FPGAs (**Field Programmable Gate Arrays**) sont des circuits intégrés qui contiennent des blocs de logique **configurables (programmables)**, ainsi que des interconnexions **configurables** entre ces blocs.

QA.5) Réponse attendue : [0.25pt]

Une LUT pour LookUpTable à 4 entrées et 1 sorties permet d'implémenter les fonctions combinatoires sous forme de table de vérité, pour laquelle les entrées sont les adresses d'une SRAM et la sortie multiplexée la donnée.

QA.6) Réponse attendue: [0.25pt]

Les FPGA conservent leur configuration en interne dans une mémoire vive statique SRAM. Par conséquent, cette configuration disparaît à chaque coupure de la tension d'alimentation.

QA.7) Non traitée (oubliée) Réponse attendue : [0.25pt]

Cible matérielle.

QA.8) Réponse attendue : 3x[0.25pt]

Flot de données, structurel, comportemental.

QA.9) Réponse attendue : [0.25pt]

Comportemental.

QA.10) Réponse attendue : [0.5pt]

Il faut impérativement que tous les signaux d'entrée soient dans la liste de sensibilité.

QA.11) Réponse attendue : [0.25pt]

Non.

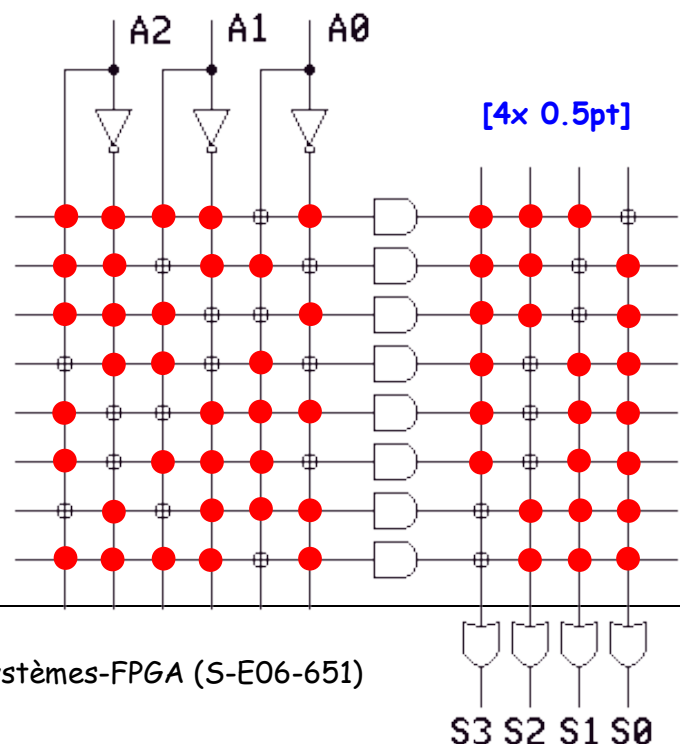
QA.12) Réponse attendue : [0.25pt]

1 Maître plusieurs esclaves + sont tous les 3 synchrones.

Partie B - Exercices 55 min -1h max 12.5pts

Exercice N°1: 10' - 2pts.

QB.1) Réponse attendue :



Exercice N°2. 15' max-2.5pts.

QB.2) On considère la description VHDL suivante :

```
library ieee;
use ieee.std_logic_1164.all;

entity Exo2_PartB is
Port (
    T, clk, init      : in std_logic;
    S                  : out std_logic
);
end Exo2_PartB;

architecture ArchExo2PB of Exo2_PartB is
signal etat : std_logic;
begin
    process(clk)
    begin
        if (rising_edge(clk) then
            if (init = '0') then
                etat <= '1';
            elsif (T='0') then
                etat <= not etat;
            end if;
        end if;
    end process;
    S <= etat; -- Mise à jour du signal S [0.5pt]
end ArchExo2PB;
```

Commenter le
code après les « -- »

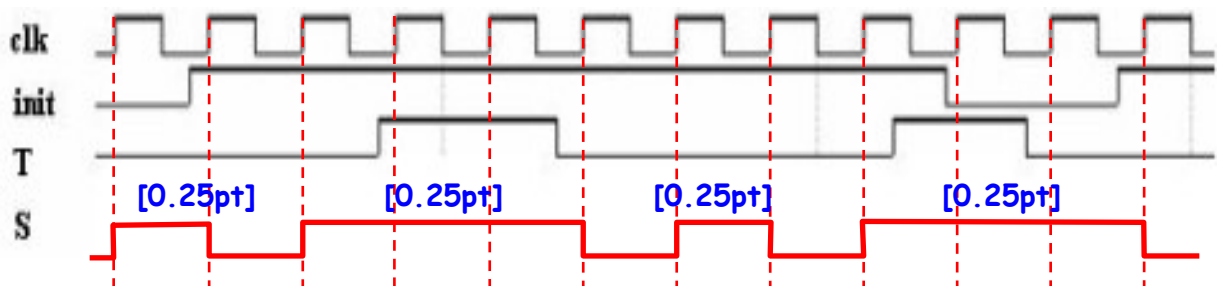
QB.2.1) Réponse attendue : [2x0.25pt]

Le signal d'horloge clk va déclencher le process car il fait partie de sa liste de sensibilité. Une fois le process déclenché les instructions de celui-ci sont exécutées séquentiellement.

QB.2.2) Réponse attendue : [0.5pt]

La commande "init " est synchrone de l'horloge clk, car elle n'est pas mentionnée dans la liste de sensibilité du process. La commande ne se fera que si un front montant sur clk à lieu.

QB2.3) Réponse attendue :



Exercice N°3. 15' max-2.5pts.

QB.3) Réponse attendue

Affiche sur la sortie S le nombre le 1 présent dans le mot A.

Exemple A=1010 → S=2 ; A=1111 → S=4

Exercice N°4. 20' max-5.5pts.

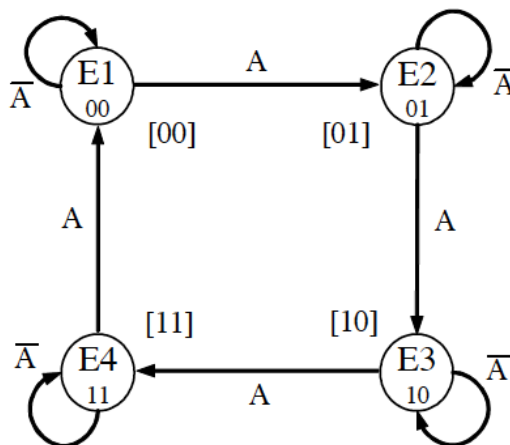
QB.4.1) Réponse attendue. [2x 0.5pt]

$D0 = Q0 \oplus A$ et $D1 = (Q0 \oplus Q1).A + \bar{A}.Q1$

QB.4.2) Réponse attendue [2x 1pt+0.5pt]

Etats présents	Etats futurs		Sorties	
	$Q1^+Q0^+$	$Q1^+Q0^+$		
Q1 Q0	A=0	A=1	S1	S0
0 0	0 0	0 1	0	0
0 1	0 1	1 0	0	1
1 0	1 0	1 1	1	0
1 1	1 1	0 0	1	1

QB.4.3) Réponse attendue [1pt]



QB.4.4) Réponse attendue : [1pt]

La fonction réalisée par ce montage est obtenue en analysant l'évolution des sorties.

Lorsque A = 1 les sorties S1S0 prennent successivement les valeurs 00, 01, 10, 11, 00 ... Il s'agit donc d'un compteur par 4 actif lorsque A = 1.

L'entrée A = 0 bloque le compteur dans son état présent.