```
1   module seven_seg_decoder (A,B,C,D,E,F,G,Z);
2      input [3:0]Z;
3      wire [3:0]Z;
4      output A,B,C,D,E,F,G;
5      reg A,B,C,D,E,F,G;
6
7      always@(Z)
8      begin
9         case({Z})
10           4'b0000:{A,B,C,D,E,F,G}=7'b0000001;
11           4'b0001:{A,B,C,D,E,F,G}=7'b1001111;
12           4'b0010:{A,B,C,D,E,F,G}=7'b0010010;
13           4'b0011:{A,B,C,D,E,F,G}=7'b0000110;
14           4'b0100:{A,B,C,D,E,F,G}=7'b1001100;
15           4'b0101:{A,B,C,D,E,F,G}=7'b0100100;
16           4'b0110:{A,B,C,D,E,F,G}=7'b0100000;
17           4'b0111:{A,B,C,D,E,F,G}=7'b0001111;
18           4'b1000:{A,B,C,D,E,F,G}=7'b0000000;
19           4'b1001:{A,B,C,D,E,F,G}=7'b0000100;
20           4'b1010:{A,B,C,D,E,F,G}=7'b0001000;
21           4'b1011:{A,B,C,D,E,F,G}=7'b1100000;
22           4'b1100:{A,B,C,D,E,F,G}=7'b0110001;
23           4'b1101:{A,B,C,D,E,F,G}=7'b1000010;
24           4'b1110:{A,B,C,D,E,F,G}=7'b0110000;
25           4'b1111:{A,B,C,D,E,F,G}=7'b0111000;
26        endcase
27     end
28  endmodule
29
30
31
32
33
34
```