

Bascules et Registres

Cours Systèmes Logiques

1^{ère} Année

SupNum de Nouakchott

Dr. MOHAMED SASS MOHAMDY

Année universitaire 2023/2024

Plan du Cours

I - Circuits séquentiels

II - Bascule RS

III - Bascule JK

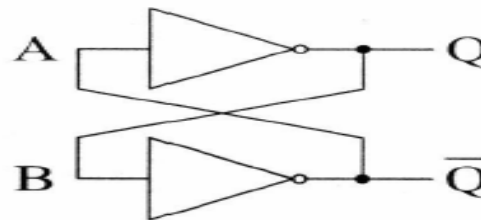
IV - Bascule D

V - Registres

I – Circuits séquentiels

- **Les circuits de logique séquentielle : Ces des circuits dans lesquels le temps intervient dans la définition des sorties.**
- **Un système séquentiel "garde la mémoire" du passé pour déterminer son état présent.**
- **Les circuits séquentiels de base, sont les bascules.**
- **Les fonctions de sortie d'une bascule, dépendent non seulement de l'état des variables d'entrée mais également de l'état antérieur de certaines variables de sortie (propriétés de mémorisation).**

- Dans la Table de vérité d'une bascule, on trouve en plus des entrées, la valeur de sortie à l'état précédent.
- Une bascule (flip-flop) a pour rôle de mémoriser une information élémentaire (mémoire à 1 bit).
- Par convention, une bascule doit avoir deux sorties complémentaires Q et \overline{Q} .
- La mémorisation fait appel à un système de blocage (latch), dont le principe est représenté de la façon suivante.



Représentation traditionnelle du bistable

- Deux états stables = Conservation de l'état de leur sortie pendant une durée quelconque, même si la combinaison des signaux d'entrée l'ayant provoquée disparaît.

- 2 états seulement : "0" et "1" : bistable.

"0" ($Q=0, \bar{Q}=1$) et "1" ($Q=1, \bar{Q}=0$)

- On peut vérifier que les états sont cohérents.

$(Q=1) \Rightarrow (B=1) \Rightarrow (\bar{Q}=0) \Rightarrow (A=0) \Rightarrow (Q=1)$
 $(Q=0) \Rightarrow (B=0) \Rightarrow (\bar{Q}=1) \Rightarrow (A=1) \Rightarrow (Q=0)$

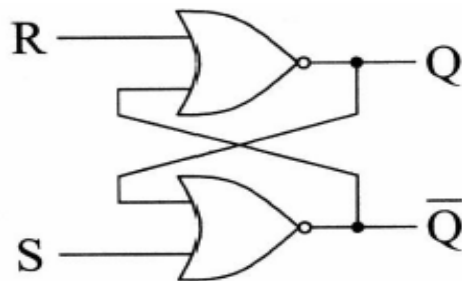
- Utilisation des bascules :

Les bascules sont utilisées pour créer des circuits:

- Registres : Mémorisation d'un mot mémoire, décalage vers la droite/gauche du mot ...
- Mémoires (SRAM) et Compteurs.

II - Bascules RS

- La bascule RS ajoute à la capacité de mémorisation du bistable, **la possibilité de le fixer dans un état donné, par l'opération d'écriture.**
- Les Bascules RS peuvent être réalisées avec des portes NOR ou NAND.
- **Basculer RS réalisée à base de portes NOR :**



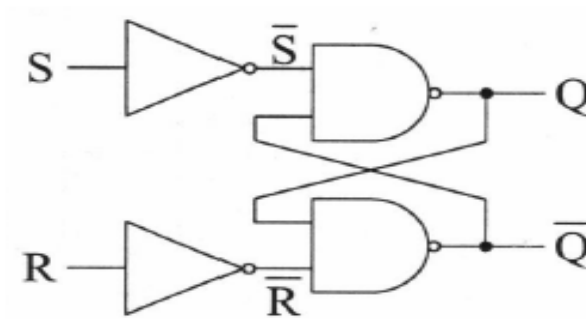
| R | S | Q | \bar{Q} |
|---|---|---|-----------|
| 0 | 0 | Q | \bar{Q} |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 |

sorties inchangées

Set : remise à 1

Reset : remise à 0
à proscrire

➤ Bascule RS réalisée à base de portes NAND :



| R | S | \bar{R} | \bar{S} | Q | \bar{Q} |
|---|---|-----------|-----------|---|-----------|
| 0 | 0 | 1 | 1 | Q | \bar{Q} |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 |

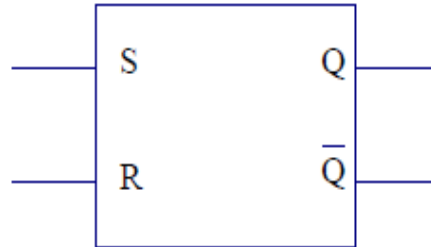
sorties inchangées

Set : remise à 1

Reset : remise à 0

à proscrire

Représentation générique d'une bascule RS :



| R | S | Q | \bar{Q} |
|---|---|---|-----------|
| 0 | 0 | Q | \bar{Q} |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 |

sorties inchangées

Set : remise à 1

Reset : remise à 0

à proscrire

Si nous considérons :

Q_n : valeur de la sortie Q pendant un nième intervalle.

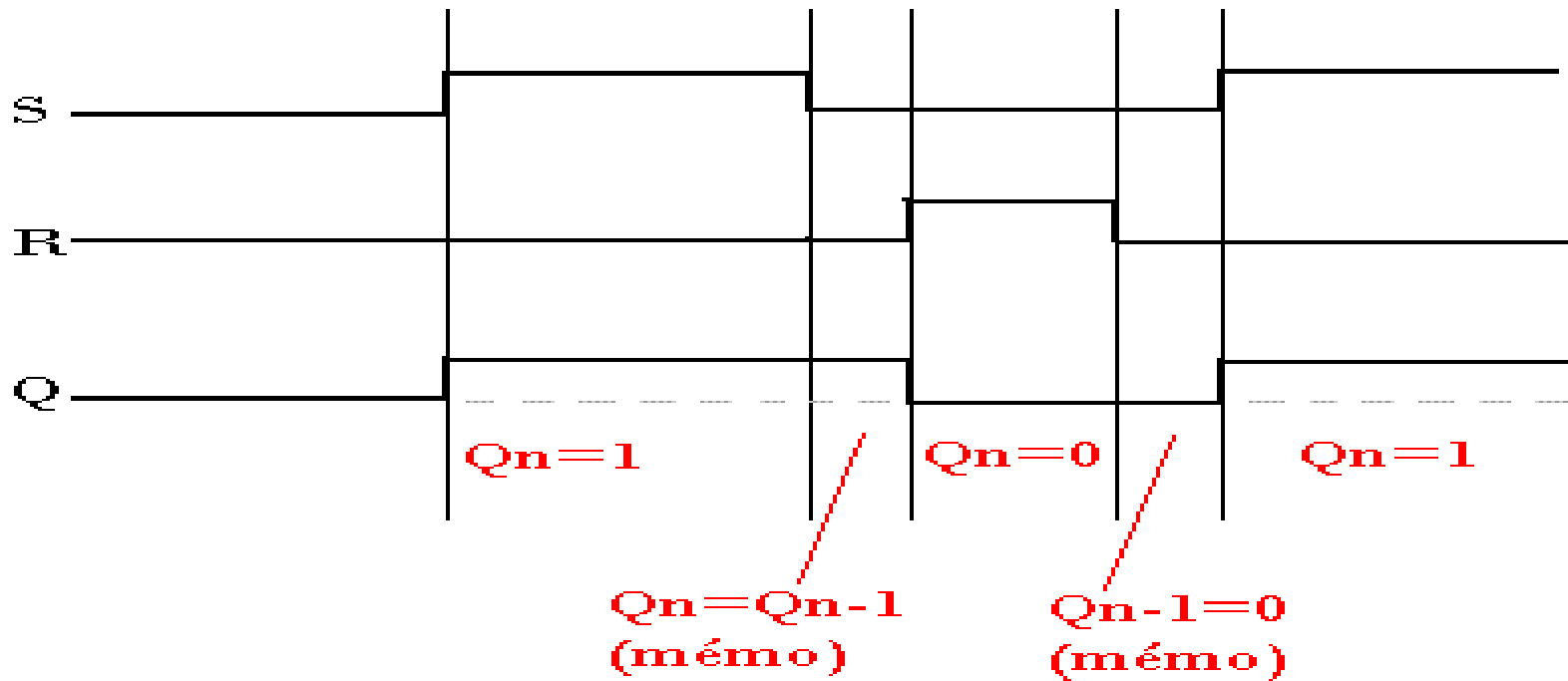
Q_{n+1} : valeur de la sortie dans l'intervalle suivant la nième intervalle.

Nous obtenons :

| S_n | R_n | Q_{n+1} |
|-------|-------|-----------|
| 0 | 0 | Q_n |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | ? |

- Si, $R = S = 0$, la sortie ne change pas (Mémorisation).
- Si, $S = 1$ et $R = 0$, alors Q est forcée a 1.
- Si, $S = 0$ et $R = 1$, alors Q est forcée a 0.
- Si, $S = 1$ et $R = 1$, alors situation indéterminée.

- Exemple de chronogramme d'une bascules RS asynchrone :



Bascules RS synchrone :

- Il s'agit d'une bascule RS dans laquelle les entrées R et S ne sont prises en comptes que si elles sont en coïncidence avec un signal de commande.

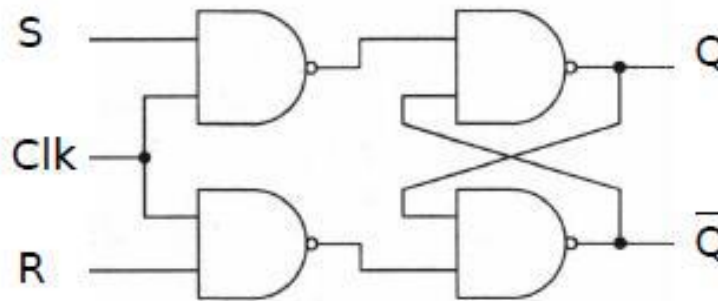
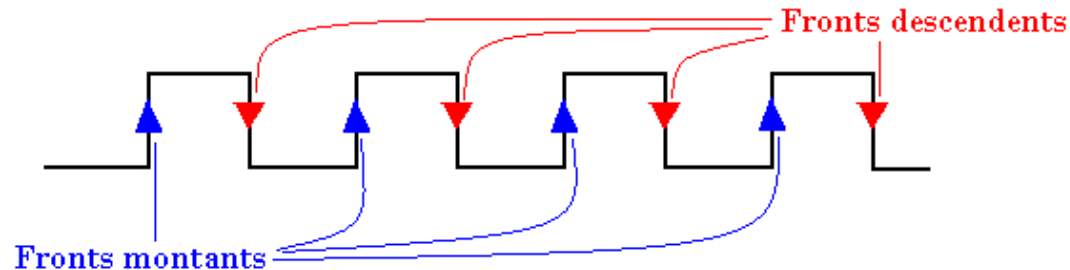


Fig. Logigramme d'une Bascule RS synchrone à base de NAND

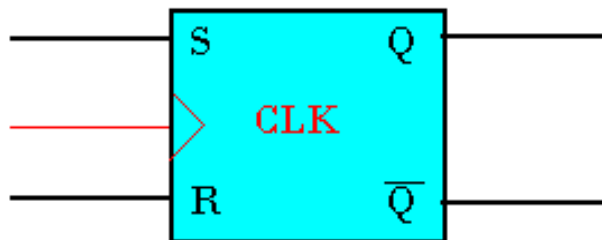
- La Bascule bloquée (**la sortie reste sans changement**) quand le signal de commande est à 0.
- **Si le signal de commande est fourni par une horloge : Bascule synchrone.**

Signal d'Horloge :

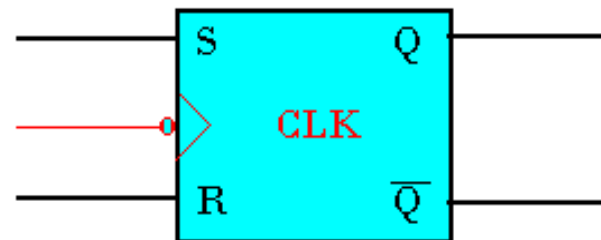
Le signal de commande donné par une horloge de période T fournissant des impulsions.



➤ Symbole d'une Bascule RSH :

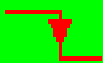
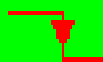
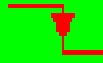
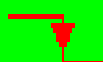
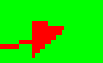


Bascule réagissant au front
montant



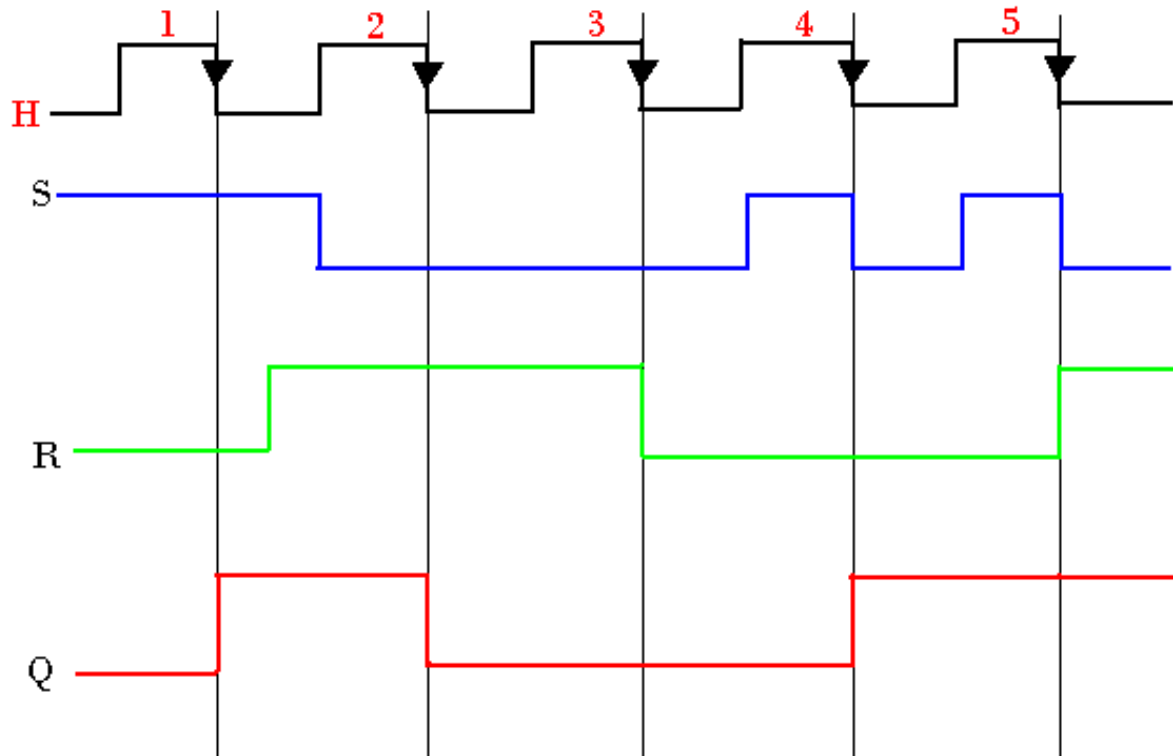
Bascule réagissant au front
descendant

➤ Table de vérité d'une Bascules RSH réagissant au front descendant :

| CLK | S | R | Q |
|---|---|---|--------------|
|  | 0 | 0 | mémorisation |
|  | 1 | 0 | $Q = 1$ |
|  | 0 | 1 | $Q = 0$ |
|  | 1 | 1 | ambiguë |
|  | X | X | Inchangée |

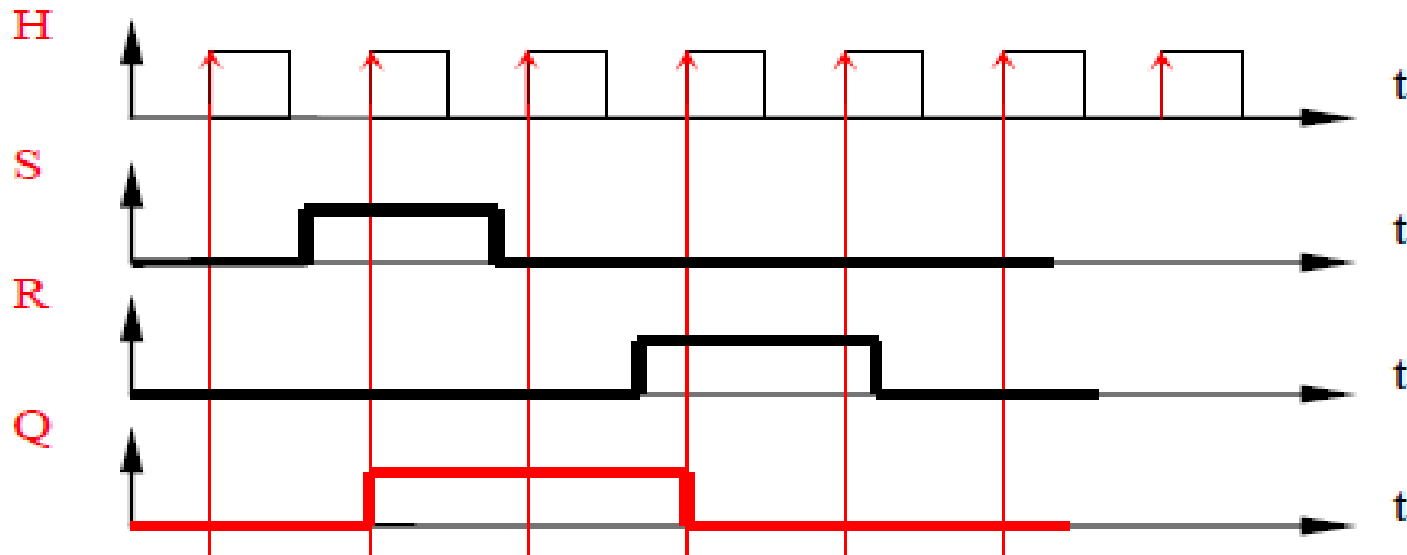
Pas de front descendant

➤ Exemple de chronogramme d'une bascule RS synchrone, réagissant avec un front descendant :



➤ **Remarquez bien :** Lorsque $H = 1$, il y a mémorisation de l'état précédent.

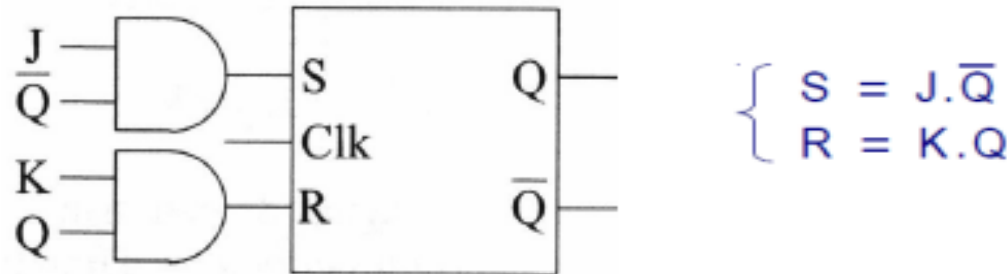
Exemple de chronogramme d'une bascules RS synchrone, réagissant avec un front montant de l'Horloge :



- **Remarquez bien :** Lorsque $H = 0$, il y a mémorisation de l'état précédent.

III - Bascules JK

- Pour enlever l'ambiguïté des bascules RSH, considérons la bascule Suivante, avec deux entrée J et K :

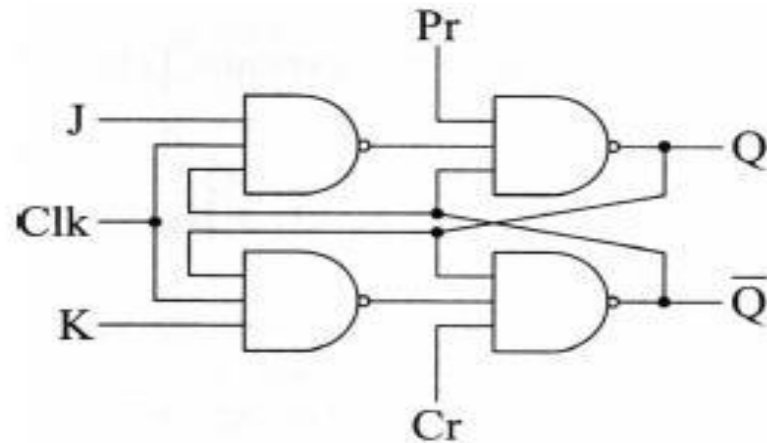


| J_n | K_n | Q_n | $\overline{Q_n}$ | S | R | Q_{n+1} |
|-------|-------|-------|------------------|---|---|-----------|
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 |

- Nous obtenons, finalement la table de vérité d'une bascule JK, comme suit :

| J_n | K_n | Q_{n+1} |
|-------|-------|------------------|
| 0 | 0 | Q_n |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | $\overline{Q_n}$ |

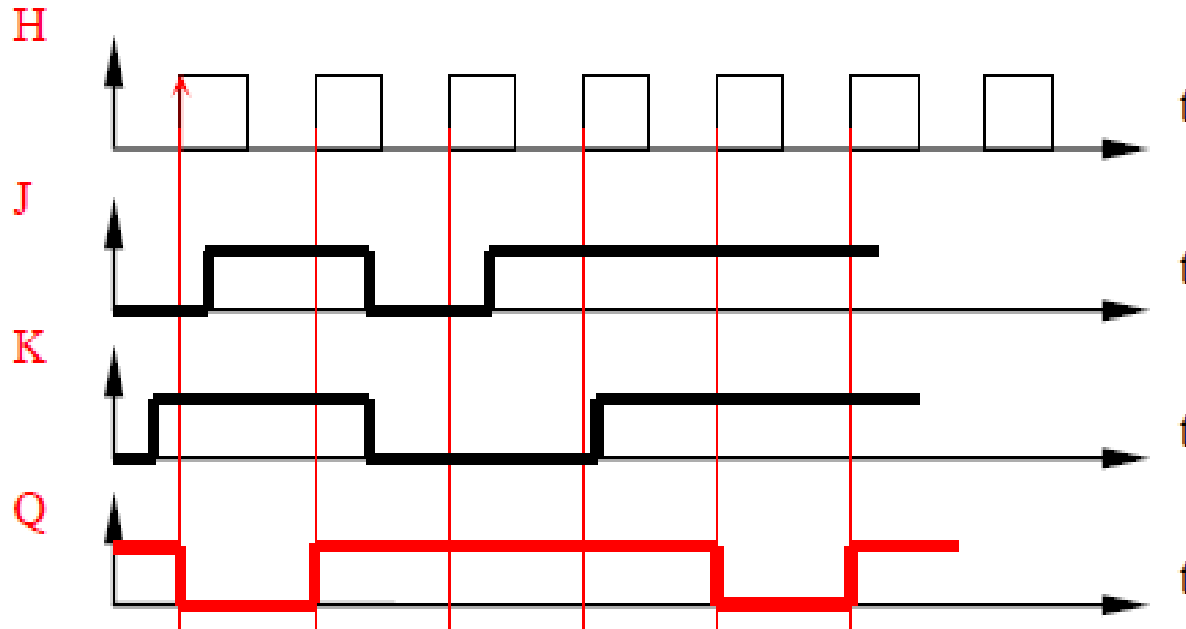
- Et, son logigramme est le suivant :



➤ La table de vérité d'une bascule JK synchrone, en fonction d'un front montant :

| entrée | Entrée | entrée | sortie | sortie | |
|--------|--------|--------|----------------------|----------------------|----------------|
| J | K | C | Q_n | \overline{Q}_n | Fonctionnement |
| a | b | clk | | | |
| X | X | ↓ | $Q_n - 1$ | $\overline{Q}_n - 1$ | Mémoire |
| 0 | 0 | ↑ | $Q_n - 1$ | $\overline{Q}_n - 1$ | Mémoire |
| 1 | 0 | ↑ | 1 | 0 | Set |
| 0 | 1 | ↑ | 0 | 1 | Reset |
| 1 | 1 | ↑ | $\overline{Q}_n - 1$ | $Q_n - 1$ | Toggle |

Exemple de chronogramme d'une bascule JK Synchrones, réagissant avec un front montant de l'Horloge :

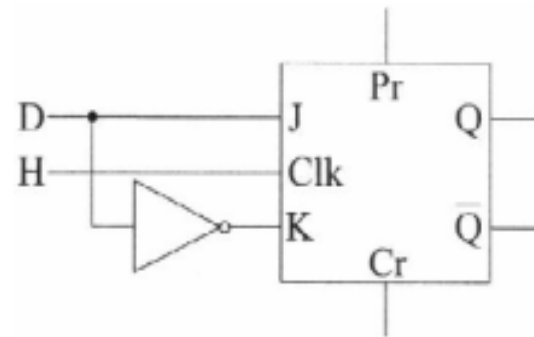
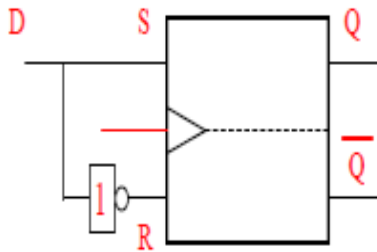


Remarque : Pour $J = K = 1$, on dit que l'on est dans le mode **bascullement**. Cette bascule passe à l'état opposé à chaque front montant du signal d'horloge.

Remarquez aussi bien: Lorsque $H = 0$, il y a mémorisation de l'état précédent.

IV – Bascule D

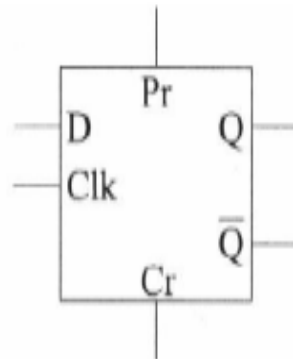
- Une bascule D est réalisée à partir d'une bascule RS ou JK dont les entrées sont reliées par un inverseur.
- Donc, en envoyant une donnée D sur l'entrée J et son inverse sur l'entrée K, nous obtenons une bascule D.
- La bascule D permet de générer un "retard" (Delay) ou de stocker de l'information (Latch).



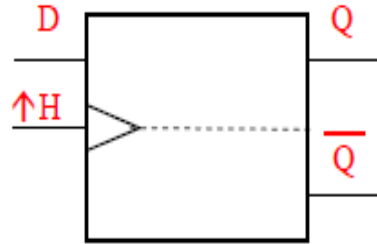
- À partir de la table de vérité de la bascule JK :

| J_n | K_n | Q_{n+1} |
|-------|-------|------------------|
| 0 | 0 | Q_n |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | $\overline{Q_n}$ |

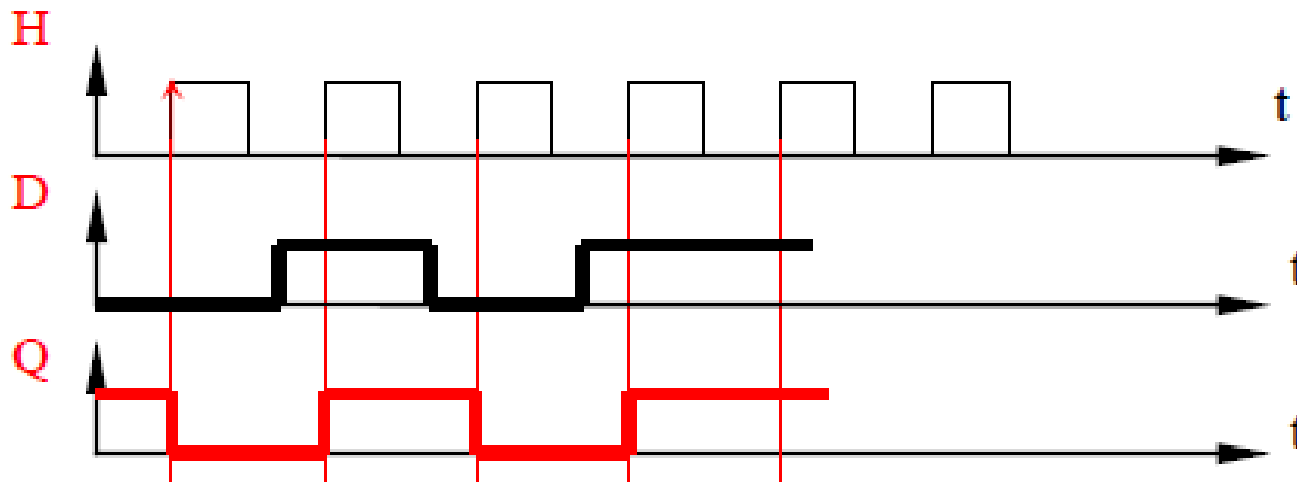
- On a :
- Si, $D_n = 1 \Rightarrow (J_n = 1, K_n = 0) \Rightarrow Q_{n+1} = 1$.
- Si, $D_n = 0 \Rightarrow (J_n = 0, K_n = 1) \Rightarrow Q_{n+1} = 0$.
- ➤ **Soit : $Q_{n+1} = D_n$.**



- La table de vérité de la bascule D, réagissant avec un front montant :



| H | D_n | Q_{n+1} |
|---|-------|-----------|
| 0 | X | Q_n |
| ↑ | 0 | 0 |
| ↑ | 1 | 1 |



- La sortie prend l'état de l'entrée D après l'impulsion d'horloge.

V - Registres

Notion de registre :

- Un registre est un ensemble de cellules mémoires constituées par des bascules.
- Le contenu d'un registre peut donc être considéré comme un nombre binaire ou un "mot" de n bits.

Exemple : 0 1 1 0, chacun des bits sera stocké par une bascule.

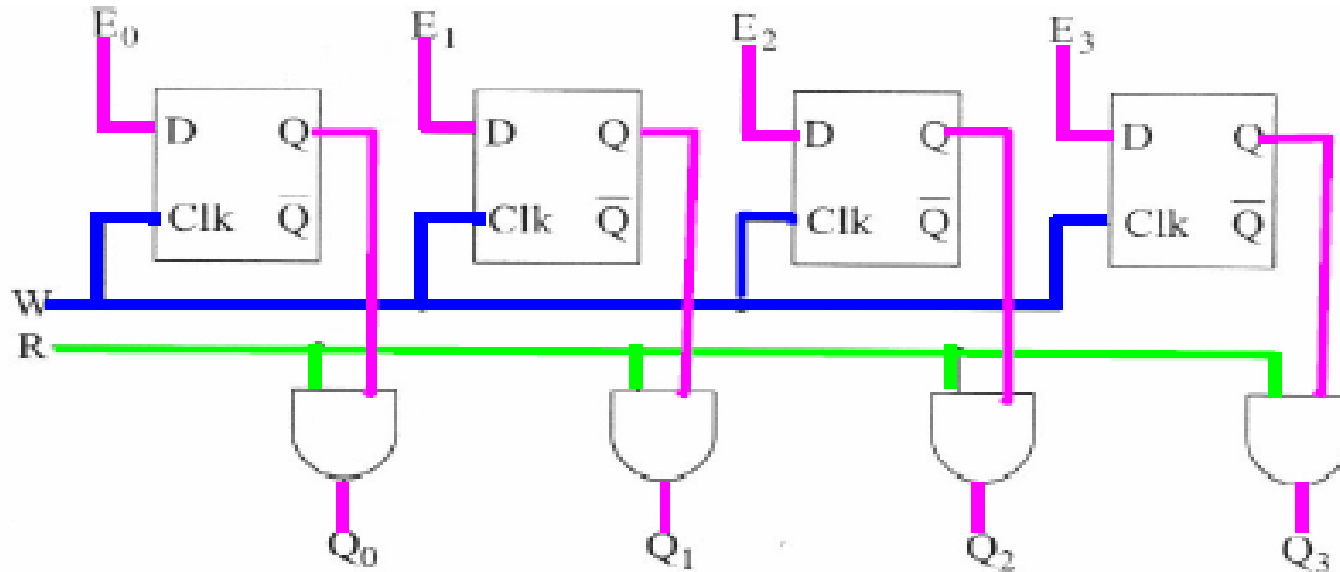
Les applications des registres sont nombreuses :

- Multiplication ou division par une puissance de 2.
- Ligne à retard numérique.
- Conversion série –parallèle.

V -1 - Registres de mémorisation

- Un registre permet la mémorisation de n bits. Il est donc constitué de n bascules, mémorisant chacun un bit.
- L'information est emmagasinée sur un signal de commande et est ensuite conservée et disponible en lecture.
- La figure suivante donne un exemple de registre 4 bits réalisé avec 4 bascules D.

Registre de mémorisation, réalisé par association de n bascules D pour mémoriser n bits :



- En synchronisation avec le signal d'écriture W (lié au clk), le registre mémorise les états des entrées E_0, E_1, E_2 et E_3 . Ils sont conservés jusqu'au prochain signal de commande clk (qui est lié au signal W).
- Dans cet exemple, les états mémorisés peuvent être lues sur les sorties Q_0, Q_1, Q_2, Q_3 en coïncidence avec le signal de validation R.

- La sortie du registre mémorise le mot d'entrée tant que $\text{clk} = 0$ ou 1 .
- Lorsque l'horloge présente un front montant (le cas où les bascules réagissant dès que $\text{clk} = 1$) par exemple, les données en sortie sont actualisées.
- Le registre peut être initialisé grâce aux entrées de forçage asynchrone qui peuvent forcer les sorties des bascules à 0 ou à 1 .

V -2 - Registres de décalage

- Ces circuits sont le plus souvent formés de bascules synchrones reliées l'une à la suite de l'autre et commandées par le même signal d'horloge.
- L'état de la première bascule se décale aux bascules suivantes d'où le nom de «circuits de décalage».
- **Une application importante des registres de décalage est la transmission série de données logiques.**
- Ces systèmes peuvent être utilisés pour effectuer des multiplications ou divisions par une puissance de 2, ou encore pour effectuer une conversion série –parallèle.

V -2-1 Registre de décalage, à entrée série et sorties parallèles

Nous appliquons à l'entrée **D₁** du circuit un signal rectangulaire de fréquence moins élevée que le signal d'horloge appliqué à l'entrée **CLOCK**.

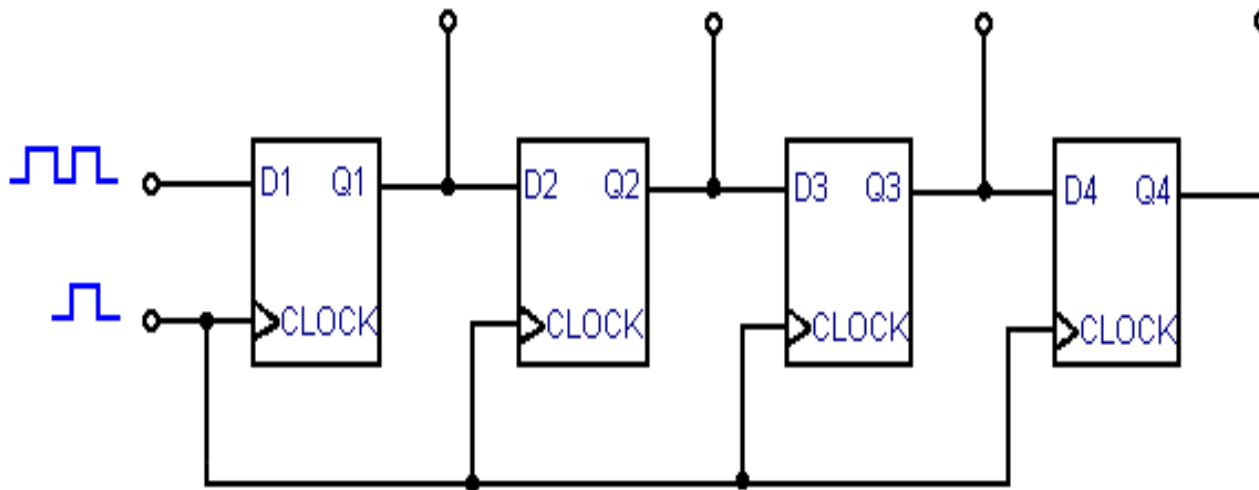


Fig. Registre à décalage avec plusieurs sorties.

- Aux sorties Q_1 , Q_2 , Q_3 et Q_4 du registre apparaissent **quatre signaux identiques entre eux mais retardés**, l'un par rapport à l'autre d'un temps égal à la période du signal d'horloge.

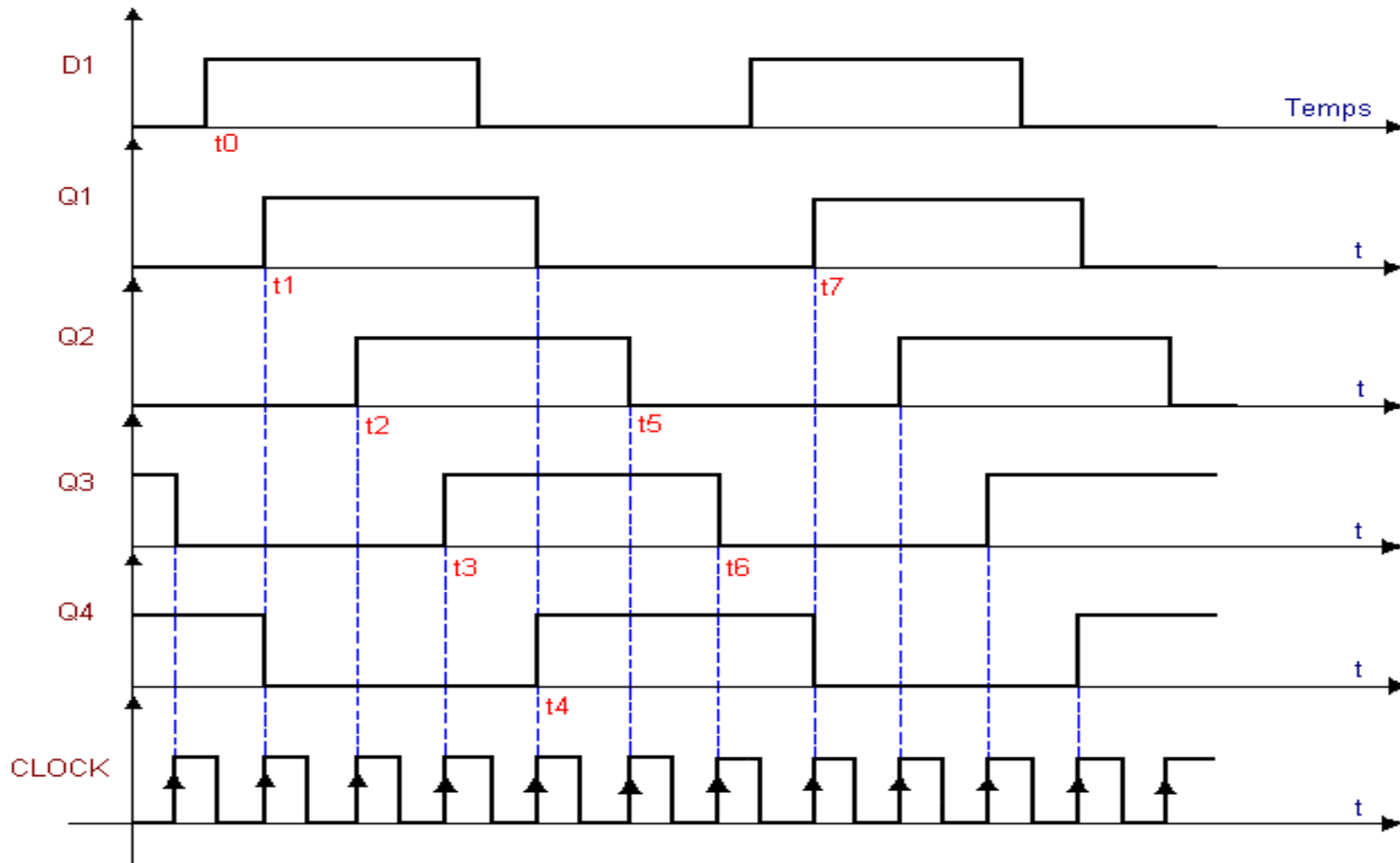
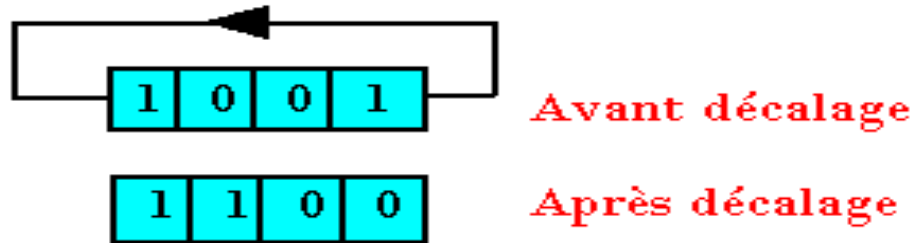


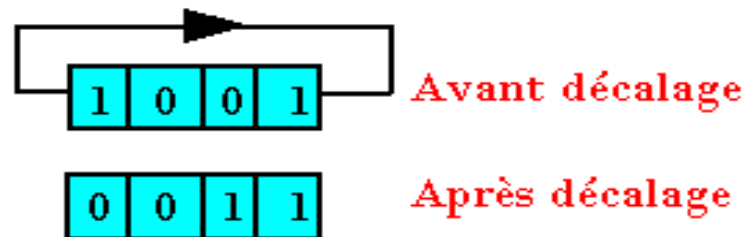
Fig. Un signal rectangulaire à l'entrée du registre à décalage produit quatre signaux retardés entre eux

V -2-2- Registre de décalage circulaire

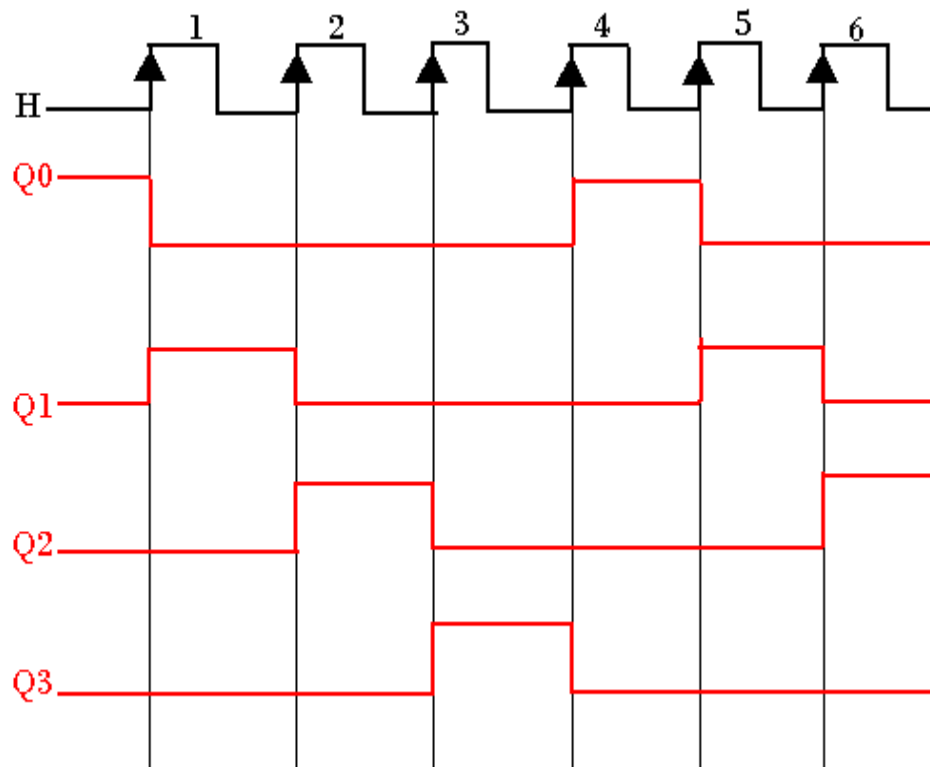
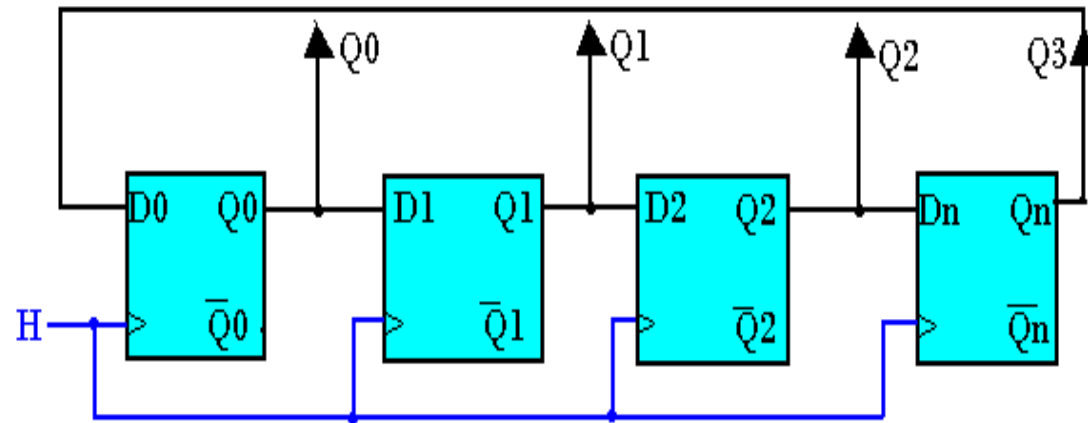
- Décalage circulaire à droite :



- Décalage circulaire à gauche :



■ Exemple d'un registre à décalage circulaire 4 bits à bascule D :



| H | Q0 | Q1 | Q2 | Q3 |
|---------------|----|----|----|----|
| 0 | 1 | 0 | 0 | 0 |
| 1er décalage | 0 | 1 | 0 | 0 |
| 2ème décalage | 0 | 0 | 1 | 0 |
| 3ème décalage | 0 | 0 | 0 | 1 |
| 4ème décalage | 1 | 0 | 0 | 0 |
| 5ème décalage | 0 | 1 | 0 | 0 |
| 6ème décalage | 0 | 0 | 1 | 0 |

Fig. Décalage circulaire 4 bits à bascule D.

Merci pour votre attention