

JESD 204B 调试手册

Fanlong Li

Telecom Team

摘 要

JESD 204B 接口是高速信号传输普遍采用的接口，其被广泛的运用在高速的 AD/DA 等核心器件中。JESD204B 接口所能支持的数率和容量已经成为衡量一个器件的关键性指标，同时 JESD 在实际运用中的调试和验证已经成为了研发任务中一条关键路径，其在一定程度上将直接影响着整个项目的调试进度。因此，深度掌握 JESD204B 原理，调试方法已成为研发工程师和现场运用支持工程师的基本技能。基于此目的考虑，本文将系统性说明 JESD 的基本原理，并结合调试 TI 器件的实际案例来说明调试的基本步骤和方法，希望对所有读者有所帮助。

Key words: JESD 204B 调试 AD/DA

目录

1 JESD204B 概述	3
2 JESD204B 原理详述	3
2.1 204B 的分层	3
2.2 204B 中的一些关键参数描述	5
2.3 204B 中 TX 和 RX 功能模型	7
3 204B 调试步骤及实例详述	8
3.1 204B 键链（Establishment）步骤整体描述	8
3.2 码组同步及其问题排查	8
3.2.1 调试步骤及问题排查	9
3.2.2 码组同步不成功可能原因排查	9
3.3 初始帧同步（Initial Frame Alignment）	10
3.4 初始 lane 同步 ILAS（Initial Lane Alignment）	10
3.4.1 ILAS 同步步骤	10
3.4.2 ILAS 同步中出现的可能问题排查	12
4 204B 实现确定性延迟—RBD 的设置	12
4.1 204B 中延迟的定义及其影响因素	12
4.2 204B 确定性延迟 (Deterministic Latency) 的实现	13
4.3 RBD 的设置是实现确定性延迟的关键	14
4.3.1 RBD 的定义	14
4.3.2 RBD 的设置实例	14
4.3.3 RBD 最优值搜索方法	16
5 204B 告警简述	16
5.1 非 204B 标准中的 告警	16
5.2 204B 标准中的 告警类别	17
6 参考文献	18

图

Figure 1 204B 的适用场景+204B 的逻辑分层	3
Figure 1 204B 的传输层数据映射说明	4
Figure 3 204B 的传输层数据映射说明	6
Figure 4 同一种数据接口的两种不同的 204B 映射模式.....	6
Figure 5 8B/10B 编码及其码	7
Figure 6 JESD TX 侧功能模型.....	7
Figure 7 JESD RX 侧功能模型	8
Figure 8 204B 键链时序图.....	8
Figure 9 204B 码组同步中 SYNC 出现 toggle.....	10
Figure 10 204B 键链中 ILAS 数据发送错误	10
Figure 11 204B ILAS 由四个多帧来组成	11
Figure 12 204B ILAS 帧结构	11
Figure 13 204B ILAS 中第二个多帧中器件配置信息表	12
Figure 14 204B 中各个节点的延迟 (Latency)定义	13
Figure 15 204B 中确定性延迟实现过程	14
Figure 16 204B 中 RBD 设置不恰当导致延迟不确定	15
Figure 17 204B 中恰当的设置 RBD 值确保延迟的确定性	15
Figure 18 204B 中最优的 RBD 值搜索示意图.....	16
Figure 19 TI 204B 接口 DAC 中 FIFO 告警原理.....	16
Figure 20 204B 标准中对告警的定义.....	17
Figure 21 TI 的 204B 接口 DAC 可以支持选择所有告警拉低 SYSNC 重新键链	17

1 JESD204B 概述

204B 标准已 2011 年完成，对比以前的 204/204A 主要加入了确定性延迟 (deterministic latency feature) 这一特性，同时将帧时钟修改为 device 时钟，最高支持的速率是 12.5G (实际中只需两边协商可以更高例如 15G)。204B 主要分为三种类型：

- **Subclass 0** – No support for deterministic latency (backward compatible with JESD204A)
- **Subclass 1** – ‘SYSREF’ signal is used to align LMFCs within TX and RX devices (>500MSPS)
- **Subclass 2** – ‘SYNC’ signal is used to align LMFCs. No ‘SYSREF’ signal exists (≤500MSPS)

其中 Subclass 1 是我们广泛使用的，所以本文提到的 204B 就是指 Subclass 1。

2 JESD204B 原理详述

2.1 204B 的分层

JESD204B 是一种高速的串行接口协议，它规定了收发双方的同步机制，告警机制及其告警后处理机制。任何一种复杂的接口协议都将遵从逻辑架构分层来进行描述。JESD204B 也是如此，其遵从如下的逻辑分层（右图）。

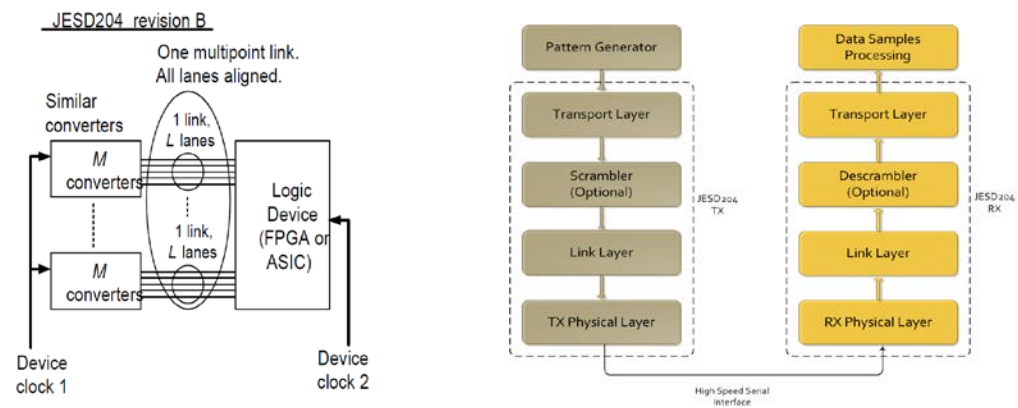


Figure 1 204B 的适用场景+204B 的逻辑分层

图 1 分别给出了 204B 适用的范围/对象（左边）和 204B 的逻辑分层（右边）。其中 TX 侧对应的是 FPGA/ASIC 或者 ADC，RX 侧对应的是 FPGA/ASIC 或者 DAC。204B 的所有相关动作的描述都将依据其分层来进行描述，所以理解和掌握分层是了解 204B 的基础，下面将对各个层的功能/原理做一个简单的描述：

1. 传输层 (Transport Layer)

传输层的功能是将 AD/DA 的采集到的数据映射到非扰码的八字结的过程 (The transport layer maps the conversion samples to non-scrambled octets)。204B 协议规定了几种映射模式。

- A single converter to a single-lane link
- Multiple converters in the same device to a single-lane link
- A single converter to a multi-lane link
- Multiple converters in the same device to a multi-lane link

上述的四种模式是两个对象的几种组合，一个是数据转换器的个数，另外一个是对应的link的个数。数据转换器就是对应的I/Q的数据组，例如我们无线系统中都是采用complex数据有16bits的I也有16bits的Q，那么对应的转换器就是2，就类似I数据需要一个转换器来完成，Q数据需要一个转换器来完成(注意这里的转换器的个数和我们通常所说的物理的ADC/DAC数据有区别，可以抽象为一个吞吐数据器件)。通常情况下我们转换器的个数都是多个（多通道），这些转换器的数据可以一起来建链称之为单link也可以分组建链称之为多link。所以下面将于常用的Multiple converters in the same device to a multi-lane link来说明。

在传输层映射过程中会用到几个参数：

- **CF**: Number of control words per frame clock period per link.
- **CS**: Number of control bits per conversion sample.
- **NG**: Nibble Group(group of half octets).

这三个参数会影响到映射的过程，但实际的过程中往往没有这些控制字，同时也不需要插入nibble数据，所以会比较简单。这些数据的映射过程和排列过程会体现在JESD的LMFS 等配置中，一般数据手册中都会给出我们支持的模式说明。

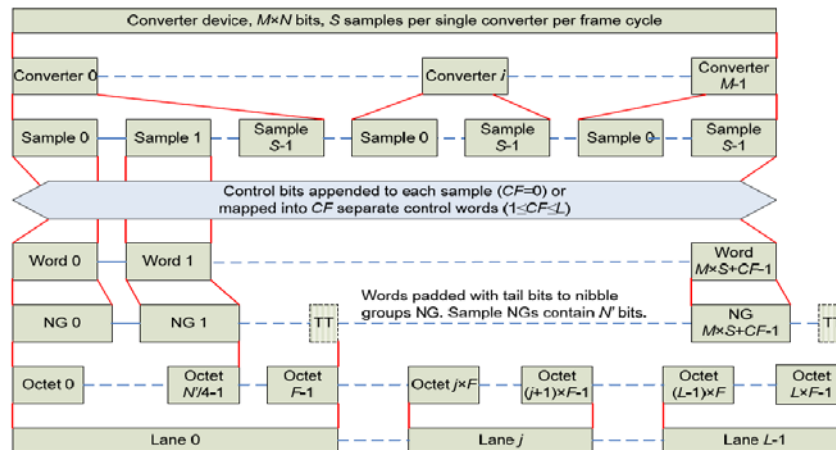


Figure 2 204B 的传输层数据映射说明

参考上图，传输层的动作过程可以描述如下：

- Maps the data \rightarrow octets \rightarrow frames consisting of multiple octets
- Adds optional control bits to samples if needed
 - Control bits can be used to communicate status information, mark an inactive converter on the link or control receiver operation
- Distinguishes the possible combinations of device/links/lanes/etc.
 - Single converter connected to single lane link
 - Single converter connected to multiple lanes link
 - Multiple converters in a converter device connected to a single lane link
 - Multiple converters in a converter device connected to multiple lanes link

2. 加扰(Scrambler)

加扰的主要目的是去除数据相关性例如各个帧同时发送相同的数据，从而减小造成的系统干扰和减小电磁兼容性问题。按照实际的运用可以选择加扰或者不加扰。

3. 链接层 (Link layer)

链接层在再整个 204B 中占有及其重要的地位，是 204B 的核心。它包含了 8B/10B 的编码过程，TX 和 RX 键链(link establishment)过程。下面会专门描述 204B 的键链过程。

4. 物理层（Physical layer）

物理层包含了完成高速并/串转换的SDRDES 模块，时钟及时钟数据恢复模块（CDR）。物理层也规定了接口的物理电器特性如下表所示。

Parameter	LV-OIF-Sx15	LV-OIF-6G-SR	LV-OIF-11G-SR
Data Rates	312.5Mbps – 3.125Gbps	312.5Mbps - 6.375Gbps	312.5Mbps – 12.5Gbps
Differential Output Voltage	500 – 1000 (mV)	400 – 750 (mV)	360 – 770 (mV)
Output Rise or Fall Time (20% - 80% into 100Ω load)	≥ 50 (ps)	≥ 30 (ps)	≥ 24 (ps)
Bit Error Rate (BER)	≤ 1e-12	≤ 1e-15	≤ 1e-15

2.2 204B 中的一些关键参数描述

204B 是一种接口协议，接口必然涉及到多个对象，所以必须用专业的术语来约束接口双方的配置。下面将分层来说明其中的关键参数。

1. 传输层（Transport Layer）中关键参数

传输层中的关键参数描述如下：

- L: Number of lanes in a link.
- M: Number of converters per device.
- F: Number of octets per frame.
- S: Number of samples per converter per frame clock cycle(two octets per sample)
- K:# of frames per multi-frame
- CF: Number of control words per frame clock cycle per link.
- CS: Number of control bits per sample.
- HD :High-Density bit which controls whether a sample may be divided over more lanes to reduce data transfer overhead.
- Line rate = Serdes speed
- LMFC = Local Multiple Frame Clock= Line rate/(10 * F*K)

Control bits can either be appended after the LSB of every sample or all the bits for different samples can be sent together in CF number of frames.

这里强调一下可以按照 LMFC 的公式技术出多帧的周期，SYSREF 的周期。例如如果 Lane rate is 10G，F=2,K=32 可以计算出 LMFC 的周期是 64ns。

下面通过一个实例来说明各个参数之间的关联：

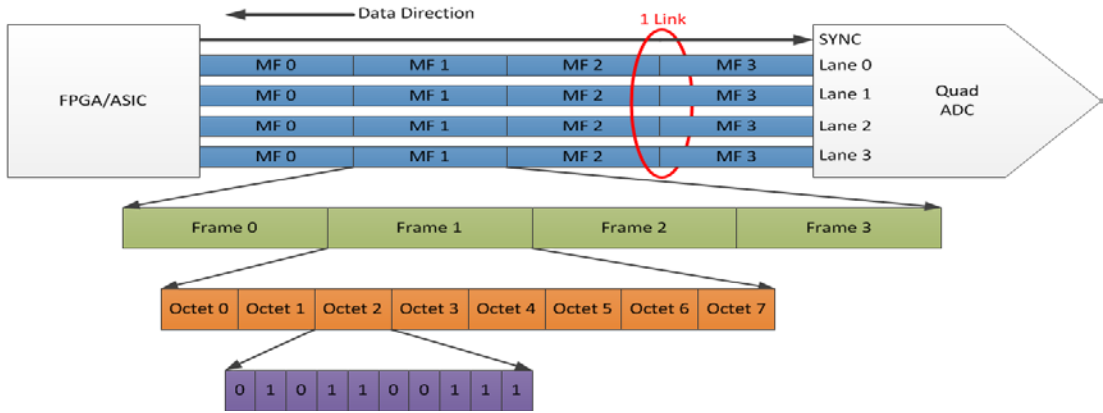


Figure 3 204B 的传输层数据映射说明

参考上图中是以 16bitd 的 4 通道 ADC 为例来说明它的 JESD 格式将是如何映射的。图中所示是一个单 Link，ADC 共占用了 4 条 lane，对 L 的定义，可以看到 L=4。ADC 的四个物理通道，而且每个通道上假设都是 I/Q 数据传输，那么每一条 lane 上 M=2，一共 4 条 lane 所以 M=8。F=8，每一个 frame 为 8 个字节。S=4，一个 frame 里面有 4 个 sample(16bits),所以 LMFS=4884。在实际的运用中，数据手册都会规定所能支持的各种模式下的 LMFSH 值。例如我们的高集成的 4 通道 transceiver AFE7689 中就有非常详细的各种模式描述。

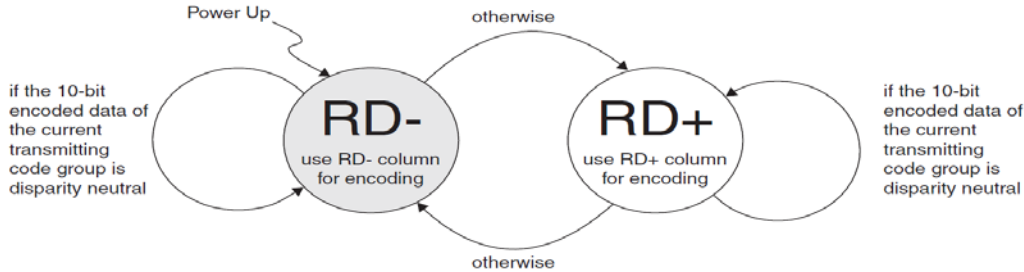
这里需要说明的是同一种接口模式可以有不同的 LMFSH 值从而得到不同的数据排列格式。例如下面对应的是同一个接口 983.04M I/Q 占用 4 条 lane 对应的数据排列格式。左边的是 42220 模式，右边的是 42111 模式。通过增加 F 的值，就可以将 I 数据和 Q 数据分别放到同一个 Lane 上传输。

OCTET	1	2	OCTET	1
L0	I0[15:8]	I0[7:0]	L0	I0[15:8]
L1	I1[15:8]	I1[7:0]	L1	I0[7:0]
L2	Q0[15:8]	Q0[7:0]	L2	Q0[15:8]
L3	Q1[15:8]	Q1[7:0]	L3	I0[7:0]

Figure 4 同一种数据接口的两种不同的 204B 映射模式

2. 链路层 (Link layer) 中关键参数

8B/10B 编码。8B/10B 编码的状态机和码表如下图所示。编码的目的就是去除数据中的 DC-unbalance,8bit 变为 10bit。例如我们通常所说的 K28.5,8 bit 的时候为 BC，编码后变成 0011111010.....。



Code Group	kin/ kout	8-bit data HGF EDCBA		10-bit data (RD-) abcdei fghj	10-bit data (RD+) abcdei fghj	Code Group	kin/ kout	8-bit data HGF EDCBA		10-bit data (RD-) abcdei fghj	10-bit data (RD+) abcdei fghj
D0.0	0	000	00000	100111 0100	011000 1011	D0.1	0	001	00000	100111 1001	011000 1001
D1.0	0	000	00001	011101 0100	100010 1011	D1.1	0	001	00001	011101 1001	100010 1001
D2.0	0	000	00010	101101 0100	010010 1011	D2.1	0	001	00010	101101 1001	010010 1001
D3.0	0	000	00011	110001 1011	110001 0100	D3.1	0	001	00011	110001 1001	110001 1001
:	:	:	:	:	:	:	:	:	:	:	:
D31.0	0	000	11111	101011 0100	010100 1011	D31.1	0	001	11111	101011 1001	010100 1001
D0.2	0	010	00000	100111 0101	011000 0101	D0.3	0	011	00000	100111 0011	011000 1100
D1.2	0	010	00001	011101 0101	100010 0101	D1.3	0	011	00001	011101 0011	100010 1100
D2.2	0	010	00010	101101 0101	010010 0101	D2.3	0	011	00010	101101 0011	010010 1100
D3.2	0	010	00011	110001 0101	110001 0101	D3.3	0	011	00011	110001 1100	110001 0011
:	:	:	:	:	:	:	:	:	:	:	:
D31.2	0	010	11111	101011 0101	010100 0101	D31.3	0	011	11111	101011 0011	010100 1100
D0.4	0	100	00000	100111 0010	011000 1101	D0.5	0	101	00000	100111 1010	011000 1010
D1.4	0	100	00001	011101 0010	100010 1101	D1.5	0	101	00001	011101 1010	100010 1010
D2.4	0	100	00010	101101 0010	010010 1101	D2.5	0	101	00010	101101 1010	010010 1010
D3.4	0	100	00011	110001 1101	110001 0010	D3.5	0	101	00011	110001 1010	110001 1010
:	:	:	:	:	:	:	:	:	:	:	:
D31.4	0	100	11111	101011 0010	010100 1101	D31.5	0	101	11111	101011 1010	010100 1010
D0.6	0	110	00000	100111 0110	011000 0110	D0.7	0	111	00000	100111 0001	011000 1110
D1.6	0	110	00001	011101 0110	100010 0110	D1.7	0	111	00001	011101 0001	100010 1110
D2.6	0	110	00010	101101 0110	010010 0110	D2.7	0	111	00010	101101 0001	010010 1110
D3.6	0	110	00011	110001 0110	110001 0110	D3.7	0	111	00011	110001 1110	110001 0001
:	:	:	:	:	:	:	:	:	:	:	:
D31.6	0	110	11111	101011 0110	010100 0110	D31.7	0	111	11111	101011 0001	010100 1110
K28.0	1	000	11100	001111 0100	110000 1011						
K28.1	1	001	11100	001111 1001	110000 0110						
K28.2	1	010	11100	001111 0101	110000 1010						
K28.3	1	011	11100	001111 0011	110000 1100						
K28.4	1	100	11100	001111 0010	110000 1101						
K28.5	1	101	11100	001111 1010	110000 0101						
K28.6	1	110	11100	001111 0110	110000 1001						
K28.7	1	111	11100	001111 1000	110000 0111						
K23.7	1	111	10111	110110 1000	000101 0111						
K27.7	1	111	11011	110110 1000	001001 0111						
K29.7	1	111	11101	101110 1000	010001 0111						
K30.7	1	111	11110	011110 1000	100001 0111						

Figure 5 8B/10B 编码及其码

2.3 204B 中 TX 和 RX 功能模型

上述对 JESD 中的逻辑分层和关键参数进行了描述，基于描述抽象出 JESD 的 TX 和 RX 功能模型。掌握 TX 和 RX 模型，可以将分层和 204B 中的关键参数归属到某个功能中。

TX 和 RX 模型分别如下所示。从模型图中我们可以看到几个非常重要的信号：

- SYNC 信号：该信号由 204B 侧的 RX 侧发出触发 TX 侧开始发 K28.5。
- LMFC 信号：本地多帧信号。

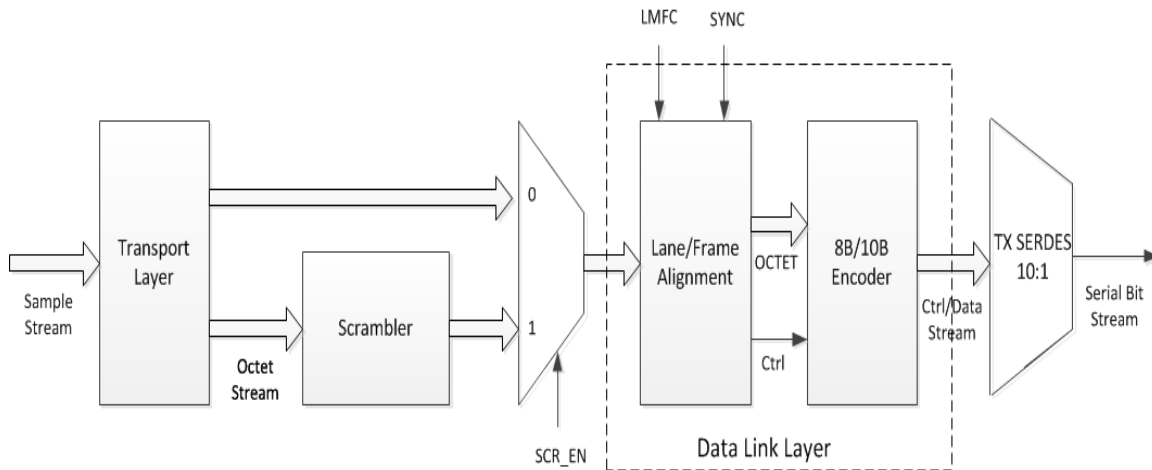
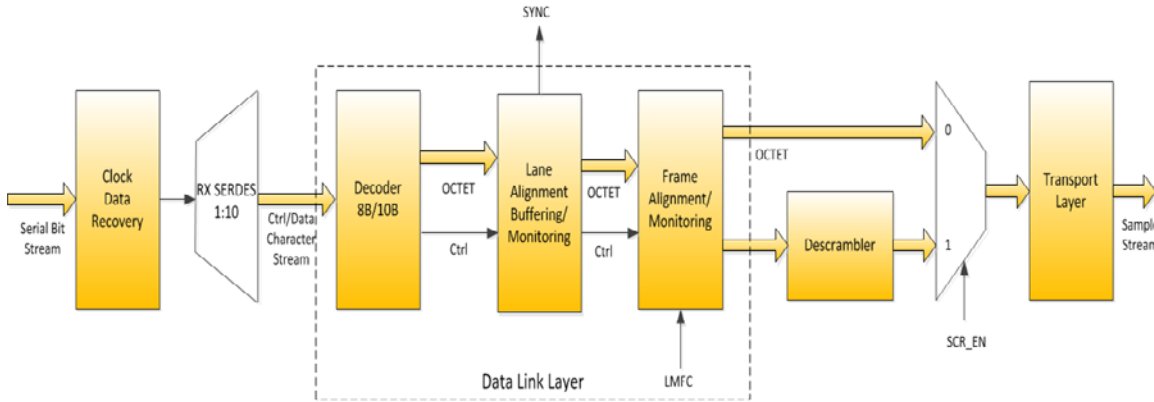


Figure 6 JESD TX 侧功能模型



Note : Lane Alignment module is also responsible for CGS as well as contains the RX elastic buffer for deterministic latency (subclass 1 and 2 only)

Figure 7 JESD RX 侧功能模型

3 204B 调试步骤及实例详述

3.1 204B 键链 (Establishment) 步骤整体描述

204B 的键链是在 link layer 完成，目的就是完成了 RX/TX 之间的同步对齐，主要完成如下三大步骤：

- 码组同步：Code Group Synchronization (CGS).
- 帧同步：Initial Frame Synchronization.
- Lane 同步：Initial Lane Synchronization.

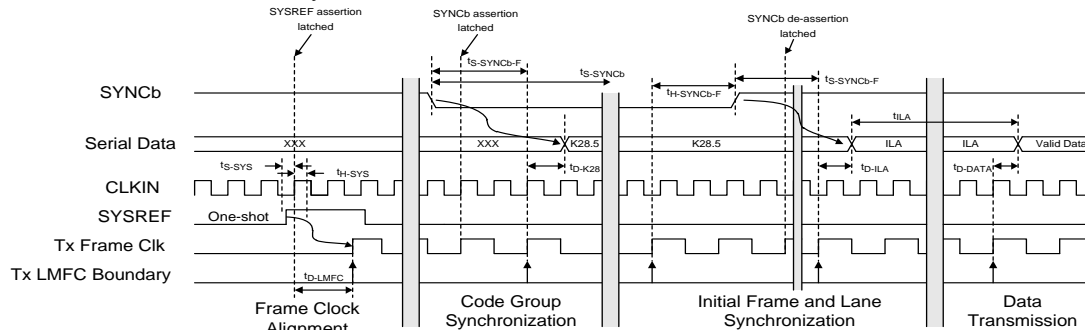


Figure 8 204B 键链时序图

上图清晰的描述了 JESD 键链过程中各个信号的配合及其步骤，各个信号的功能如下：

- SYNCb: RX 侧送出，用于使能 TX 侧发送 K 码。
- CLKIN: Link layer 的输入时钟，可以理解为 device clock。
- SYSREF: 系统的同步信号，用于同步 TX 和 RX 侧的 Frame CLK。

特别注意只有检测到 SYSREF 才能使能 Frame clock！如果没有 SYSREF 那么就没有 LMFC clock，这样 TX 端会持续发 K 码。整个过程可以简单描述为在 SYSREF 完成时钟同步后，RX 侧会将 SYNC 拉低，当 TX 侧 Device clock 检测到 SYNC 为低以后，则开始发送 K28.5 码用于码组同步，RX 侧所有 lane 上收到连续 4 个 K 码后会将 SYNC 拉高从而完成码组同步，TX 侧检测到 SYNC 为高并在 LMFC 的边缘处开始发送 ILA 序列来完成 Frame 和 lane 的同步。

3.2 码组同步及其问题排查

204B 标准中对码组同步的步骤描述如下：

- In CGS, the receiver seeks to align with the 10-bit symbol boundary generated in the transmitter by 8b/10b encoder. The following synchronization procedure is as described in the standard :
 - Receiver generates synchronization request by asserting a ‘SYNC’ signal
 - In response, transmitter starts sending /K/ = /K28.5/ comma symbols
 - On the reception of four successive /K/ symbols from all lanes, the receiver signals the synchronization by de-asserting SYNC signal
 - For the case of multiple lanes, SYNC signal for all lanes in a link must be combined and presented simultaneously to the transmitter
 - For multipoint links, if the devices support deterministic latency (discussed later), SYNC signal of different links may or may not be combined, as per user choice.
 - Otherwise, SYNC signal must be combined for all the links to ensure proper alignment of transmitter ILAS generation (discussed later) across all the links

3.2.1 调试步骤及问题排查

1. 第一步：Serdes RX 侧将 SYNC 拉低。如果没有拉低则要查看 RX 侧 Serdes 的初始化流程是否正确，TI 的 DAC 如 DAC38RF83 和 AFE7689 的数据手册中都有非常详细的 JSED 键链和初始化流程。完成初始化流程后 SYNC 将被拉低。
2. 第二步：Serdes TX 侧检测到 SYNC 拉低后开始发送 K28.5。如果 TX 侧是 FPGA 则可以 FPGA 内部抓出波形看到在 8B/10B 编码前在 SYNC 为低时持续发 BCBC。如果 TX 侧是 ASCII 则可以用高速示波器解码。如果 TX 没有开始发 K 码，需要检测一下 SYNC 的极性是否正确。
3. 第三步：RX 侧正确的收到连续 4 个 K 码 后会将 SYNC 拉高。如果没有拉高，这个时候需要检测 TX 和 RX 侧的时钟是否正确特别是 TX 侧需要查看时钟在 FPGA 中约束是否正确，要确保 TX 和 RX 工作在相同的数据流上。另外可以通过测试眼图来排除信号完整性问题。
4. 第四步：当 RX 侧将 SYNC 拉高后则码组同步（CGS）完成。TX 侧将持续发送 K28.5 码直到检测到 SYNC 为高。在 SYNC 拉高后的第一个 LMFC 的上升沿开始发送 ILA 系列。从 CGS 到 ILAS 之间最小的时间间隔是 $1 \times \text{Frame} + 9 \times \text{octest}$ 。如果 SYNC 被拉高，但是 TX 侧没有开始发送 ILA 系列，则需要检查 TX 侧有没有收到 SYSREF，只有收到了 SYSREF 才能去使能 LMFC，如果没有发送 ILA，说明 TX 没有 ILA 产生，则此时会持续发送 K28.5。

3.2.2 码组同步不成功可能原因排查

检测 SYNC 的状态：

1. 如果 SYNC 始终为低没有变高
 - 检查 TX/RX 的配置是否正确。（最好的方式是在 TI 的 EVM 测试通过后，用相同的配置给用户使用）。
 - 检查 TX/RX 侧是否收到 SYNREF 用于同步 TX/RX 的本地多帧时钟，否则 TX/RX 侧时钟不同，RX 侧将无法正确采样到 K28.5。一种检测方式是将 DAC 内部 NCO 和 Mixer 选择用 SYSREF 同步，来查看更新 NCO 后是否能同步成功，如果能说明 DAC 能正确的接受到 SYSREF。
 - 检查 TX/RX 两边的 device clock 时钟是否正确。
 - 检查 SYNC 的极性两边是否设置正确（收发一方是否会设置极性反转）。
2. 如 SYNC 在跳变（Toggle）例如下图绿色信号所示。



Figure 9 204B 码组同步中 SYNC 出现 toggle

- 如果 Toggle 是周期性的，建议检测 ILA 系列是否正确，同时可以配合 RX 侧 204B 的告警来进行排查。
- 如果 Toggle 是随机的，这个时候需要用示波器查看 TX 侧发送过来 lane 上的数据和 SYNC 的对应关系看是否是发送正确的码，从而判断是 TX 问题还是 RX 问题。如下图是在调试一个实际的案例，TX 侧在发送 ILA 系列时候第一个帧原本应该发送递增系列，然而发送的不是递增系列并伴随的一些错误，从而可以判断出 TX 侧没有正常工作，重点需要检查时钟，最后问题的确定位到 TX 侧时钟使用错误。



Figure 10 204B 键链中 ILAS 数据发送错误

3.3 初始帧同步 (Initial Frame Alignment)

帧同步的目的是找到一个帧的开始。当码组成功完成后，则 TX 在 LMFC 的上升沿就会停止发送 K28.5，RX 侧在检测到第一个非 K28.5 的字符就认为是一个帧的开始且每隔 F 个 octets 后 RX 就认为一个新的帧开始。

3.4 初始 lane 同步 ILAS (Initial Lane Alignment)

3.4.1 ILAS 同步步骤

1. ILAS 是精确的四个多帧 (F*K octets) 长度。同时 JESD 的配置信息总是在第二个多帧中。下面的例子中采用了一个多帧为 20 个 Octets 来说明，如下图所示。

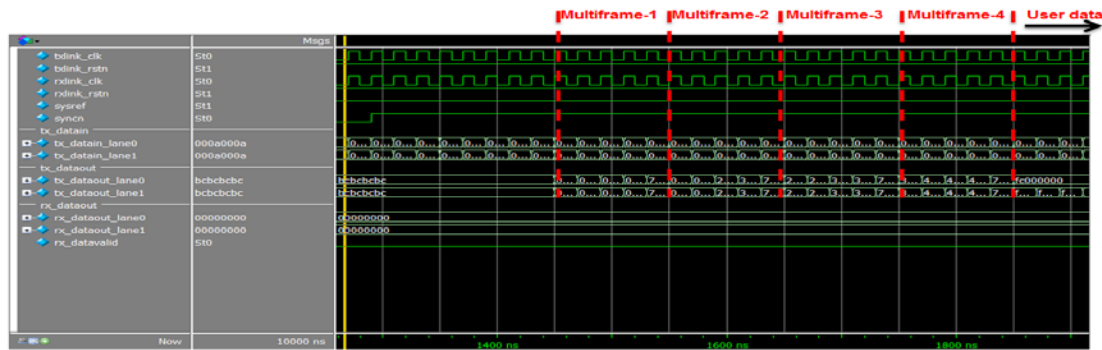


Figure 11 204B ILAS 由四个多帧来组成

- ILAS 系列中每一个多帧的第一个 octet 总是以 K28.0 (or /R/)0x1C 开始, 最后一个 octet 总是以 K28.3 (or /A/)0x7C 结束。而且第二个多帧中第二个 octet 总是 K28.4=0x9C 来表示 JESD 配置数据的开始。同时非配置信息里面的数据发送的都是累加数据。参考下图做了详细说明。

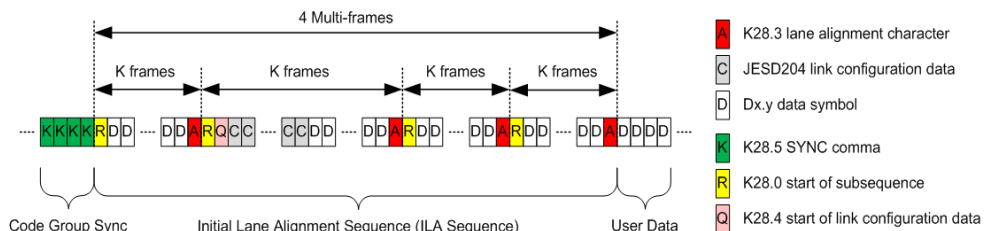
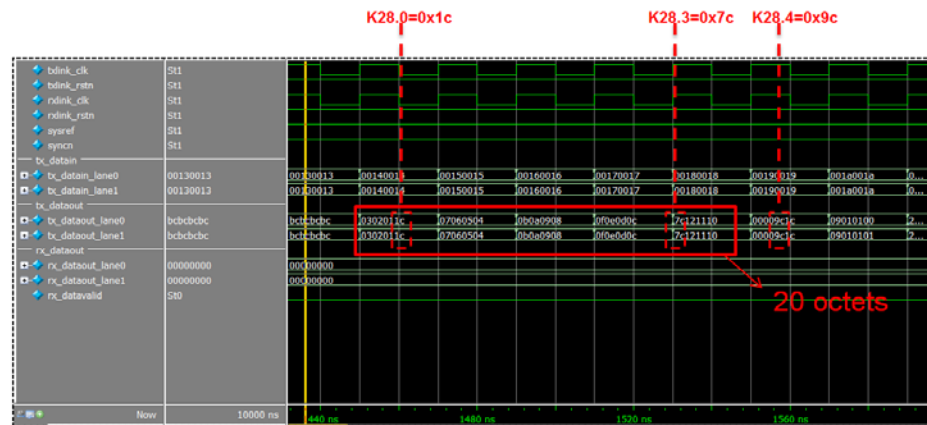


Figure 12 204B ILAS 帧结构

- ILAS 系列中, 器件的配置信息从第二个多帧中的第三个 octet 开始且每一个 octet 的映射关系如下表和图所示。

Table 21 — Mapping of link configuration fields to octets

Configuration octet no.	Bits							
	MSB	6	5	4	3	2	1	LSB
0	DID<7:0>							
1	ADJCN<3:0>				BID<3:0>			
2	X	AD/DIR<0>	PHAD<0>	LID<4:0>				
3	SCR<0>	X	X	L<4:0>				
4	F<7:0>							
5	X	X	X	K<4:0>				
6	M<7:0>							
7	CS<1:0>		X	N<4:0>				
8	SUBCLASSV<2:0>			N'<4:0>				
9	JESDV<2:0>			S<4:0>				
10	HD<0>	X	X	CF<4:0>				
11	RES1<7:0> - Set to all X							
12	RES2<7:0> - Set to all X							
13	FCHK<7:0>							

Octet 5=K-1 Octet 6=M-1

Register	Value	Hex	Bin	Hex	Bin	Hex	Bin	Hex	Bin
tx_datain									
tx_datain_lane0	00130013	00180018	00190019	001a001a	001b001b	001c001c	001d001d	001e001e	001f001f
tx_datain_lane1	00130013	00180018	00190019	001a001a	001b001b	001c001c	001d001d	001e001e	001f001f
tx_dataout									
tx_dataout_lane0	bcbcbcbc	7c121110	00009c1c	09101010	202f0f0f	3d000000	7c262524	2b2a291c	2f2e2d2c
tx_dataout_lane1	bcbcbcbc	7c121110	00009c1c	09101010	202f0f0f	3e000000	7c262524	2b2a291c	2f2e2d2c
rx_dataout									
rx_dataout_lane0	00000000	00000000							
rx_dataout_lane1	00000000	00000000							
rx_datavalid	St0								

Figure 13 204B ILAS 中第二个多帧中器件配置信息表

3.4.2 ILAS 同步中出现的可能问题排查

1. TX 和 RX 配置参数不匹配导致了 ILAS 同步失败。
 - a. L, M, F, etc
 - b. Lane ID needs to be set appropriately for each lane (i.e. 0, 1, 2, 3)
 - c. DID, BID, RES1, RES2, etc need to match as well (likely set to 0)
2. 上图中 table 21 中 FCHK 的总和计算是表中各个项目的计算而不是 octet 的计算。
3. 可以跳过 ILAS 的检测一般在 RX 侧 (DAC) 有如下的设置
 - a. 一旦检测到 ILAS 错误, 则将 SYNC 拉低。
 - b. 一旦检测到 ILAS 错误, 通过短暂拉低 SYNC 信号来告警。
 - c. 一旦检测到 ILAS 错误, 忽略该错误继续使用数据。

关于 JESD 中那些错误需要对 SYNC 进行拉低以及拉低多少长度，后面的告警章节为专门描述。

4 204B 实现确定性延迟—RBD 的设置

4.1 204B 中延迟的定义及其影响因素

延迟(Latency) 通常定义为当信号从 A 点到 B 点所需要的总时长, 单位可以是时间单位例如 ms/ns, 也可以是多个时钟 Cycle, 通常时钟的 Cycle 更常用, 这是一个相对表示值, 不同的时钟绝对值会不一样。

- 例如:
 - A 点可能是 ADC 的输入点。
 - B 点可能是 DAC 的输出点。
- 在一个 204B link 中:
 - A 点通常定义为 JESD204B transmitter 的输入。
 - B 点通常定义为 JESD204B receiver's elastic buffer(RBD)的输出。

从 A 点到 B 点各个节点的延迟定义模型可以参考下图所示。

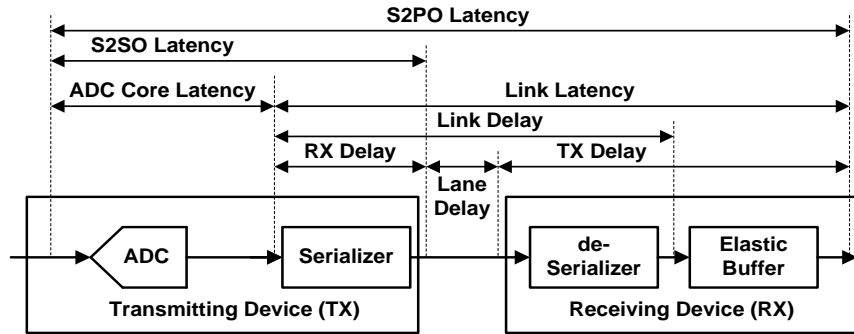


Figure 14 204B 中各个节点的延迟 (Latency)定义

这里需要强调的是 Latency 和 Delay 定义是不一样的。Latency 更偏向于具体运用中的一个广泛的定义，delay 是一个更具体的物理延迟。204B 中两个的定义如下：

- **Link Latency** — the latency from when the sampled parallel data is input to the serializer at the transmitter (ADC/FPGA) until the same data is available in parallel form at the output of the elastic buffer in the receiver (FPGA/DAC)
 - **Link Delay** — delay from when the sampled parallel data is input to the serializer at the transmitter (ADC/FPGA) until the same data is presented at the input to the elastic buffer in the receiver (FPGA/DAC)
- 延迟通常由如下的因素影响：
- TX/RX 器件相关的：
 - Link Layer 的数字实现的一些模块延迟。
 - Serdes 中串行/解串行实现中的延迟。
 - SYSREF 内部的延迟。
 - AD/DA 内部延迟例如 DDC/DUC/信号缓冲器等。
 - 时钟相关的：
 - 锁存 Device clock 并对齐的延迟。
 - 锁存 SYSREF 并对齐的延迟。
 - SYSREF 的建立保持时间。
 - PCB 相关的
 - 通道/时钟/SYSREF 的板上传输延迟。
 - PVT 相关
 - 温度/电压/工艺。

4.2 204B 确定性延迟 (Deterministic Latency) 的实现

204B 中对确定性延迟的定义如下，其核心是无论何时延迟是恒定的。
JESD204B Standard (abbr.): Latency from the frame-based data input at the TX to the frame-based data output at the RX. Latency should be programmable and repeatable over power cycles and re-sync events provided timing requirements are met

在 204B 中通过如下的三个特性来实现确定性延迟：

1. SYSREF 用于所有器件中的本地多帧 **Local Multi-Frame Clock (LMFC)** 的同步。
 2. 所有 TX 在 LMFC 的边缘发送 ILAS 系列明确了数据的开始和结束。
 3. 所有 RX 通过 ILAS 来判断出数据的开始和结束并和 LMFC 对齐，通过调整弹性缓冲器 (elastic buffer:RBD) 来补偿个条 lane 上的延迟，使得 RX 各条 lane 的数据对齐输出。
- 上述三点具体的实现过程，可以通过下图进行生动的描述。

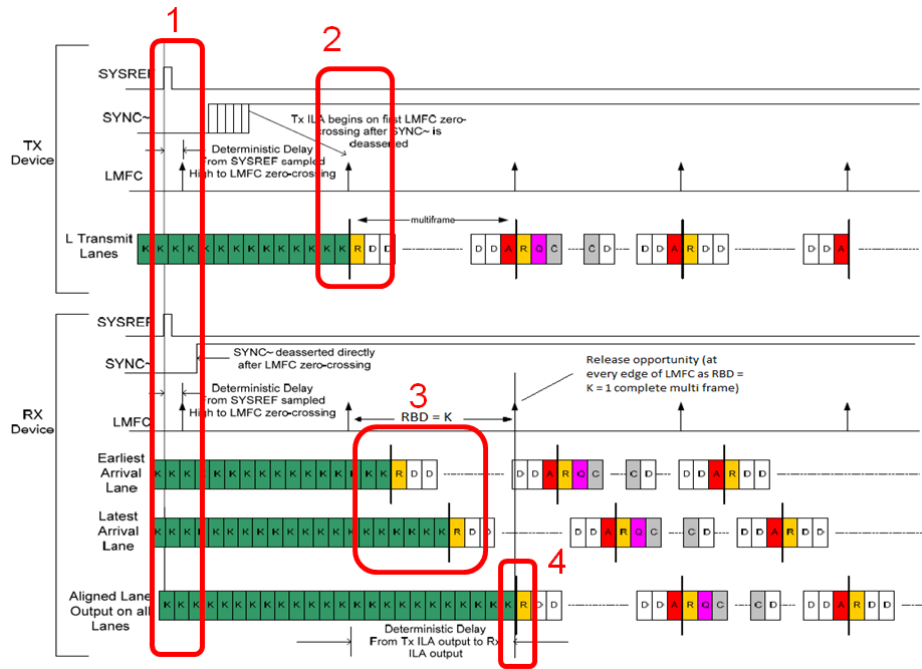


Figure 15 204B 中确定性延迟实现过程

参考上图，204B 实现确定性延迟的过程可以描述如下：

1. SYSREF 用于同步 TX/RX 的本地多帧时钟 LMFC。
2. TX 侧当 SYNC 变高后，所有的 Lane 在下一个 LMFC 的边缘开始发送 ILAS 系列。标注了数据的开始和结束。
3. RX 侧的各条 lane（有早有晚）在接收到 ILAS 系列中的 R 表示数据的开始从而开始按照 RBD 开设的缓冲器的大小缓存数据。
4. RX 侧的所有 lane 在下一个 LMFC 的上升沿（RBD=K）开始释放所有的缓冲数据，从而实现了所有 lane 上的数据对齐。到此完成了同步。

4.3 RBD 的设置是实现确定性延迟的关键

4.3.1 RBD 的定义

204B 中 RBD 的定义是：

- 设置 RBD 的值，可以实现滑动数据释放点相对于 LMFC 上升沿的位置，例如：
 - $1 < \text{RBD} < K$
 - $\text{RBD} = K$ 表示的是所有 RX lane 上的数据在下一个 LMFC 的上升沿发出，对应上图 15 中的情形。
 - $\text{RBD} = K-4$ 表示的是所有 RX lane 上的数据在下一个 LMFC 的沿之前的 4 个帧周期发出。
- 通过修改 RBD 的值可以实现：
 - RX 侧较早的释放数据来实现较小数据延迟。
 - 选择一个最优的 RBD 值来保证确定性延迟。

4.3.2 RBD 的设置实例

在实际使用中工程师往往简单的将 RBD 设置为 $K=32$ 最大值，这样的设置实际运用存在风险，当 Link 的延迟发生变化时很可能导致不确定性延迟的产生。设置为 $K=32$ 仅仅能应对的是在各种情况下(如高低温)最短和最长 lane

之间的延迟在一个多帧的范围内，如果 lane 的最长和最短的延迟超过一个多帧，那么当 Link 的延迟发生变化时会导致延迟也产生了变化。下面将结合实例来说明。假设：

- The LMFC period is 50 ns
- The link delay is 100 ns +/- 10 ns
- Min link delay = 90 ns
- Max link delay = 110 ns

1. Case 1: 设置 $RBD=K$ 。

下图中左边是假设了 Link delay 在最小 90ns 的情况下，右边图是 Link Delay 在最大 110ns 的情况下，可以看到如果设置 $K=32$ 在两种情况下会导致延迟从 100ns 变化到 150ns 变化了一个多帧的时间。从而导致了延迟的不确定。发生延迟不确定的原因是 lane 上的最短和最长延迟跨越了一个帧的边缘。

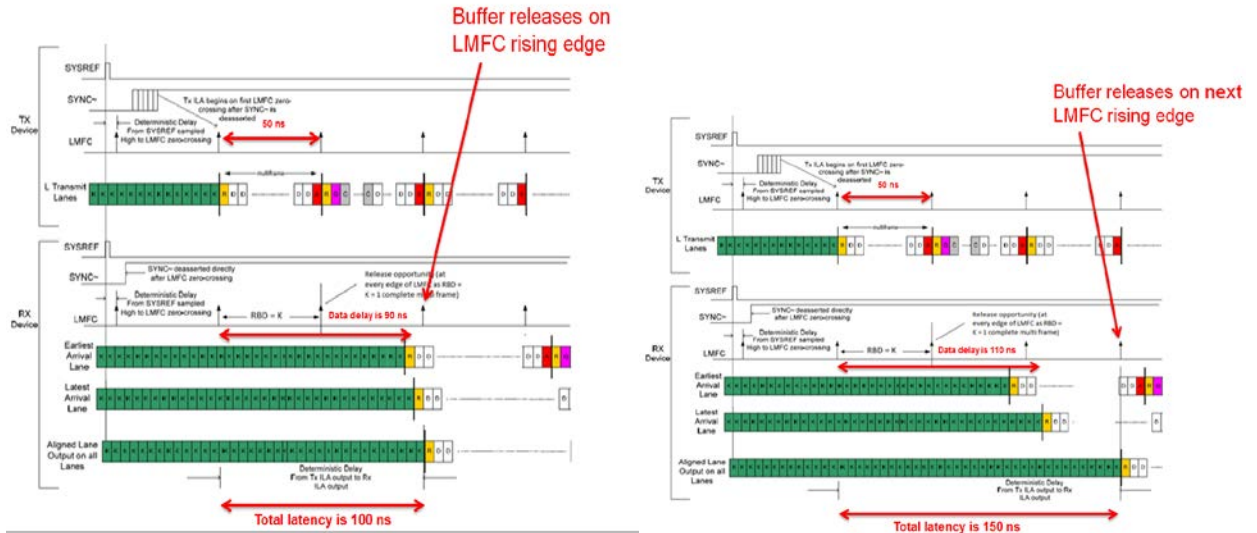


Figure 16 204B 中 RBD 设置不恰当导致延迟不确定

2. Case 2：设置 $RBD \neq K$ 。

可以尝试将 RBD 设置为 K 的一半来解决延迟的跳动。但在实际使用中需要搜索最优的 RBD 值, 下面将介绍如何搜索最优的 RBD 值。

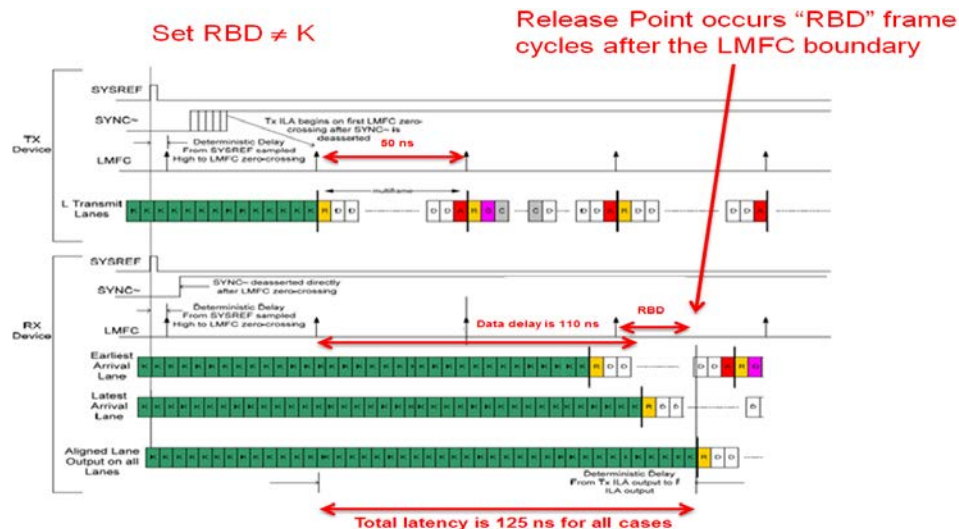


Figure 17 204B 中恰当的设置 RBD 值确保延迟的确定性

4.3.3 RBD 最优值搜索方法

RBD 的最优值搜索如下：

- 改变 RBD 的值从 $K-1$ 直到观察到延迟有一个 LMFC 周期的跳动。图中蓝色所示 RBD 的设置从大(Max) 到小(min)，那么延迟(total latency)的值也将从小到大的变化，但当 RBD 设置到 Min 的时候会发现 Latency 并不是最小而是跳到了最大处（图中蓝色箭头所示）。
- 将观察到一个周期 LMFC 跳动点的 RBD 设置为边界值，再以不跳动的值的范围的一半为 margin 加上边界值做为最后的 RBD 值，如图中最优的 RBD 箭头所示。

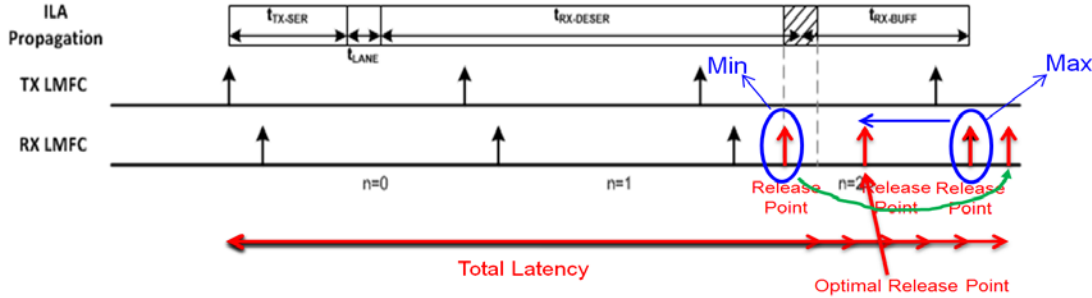
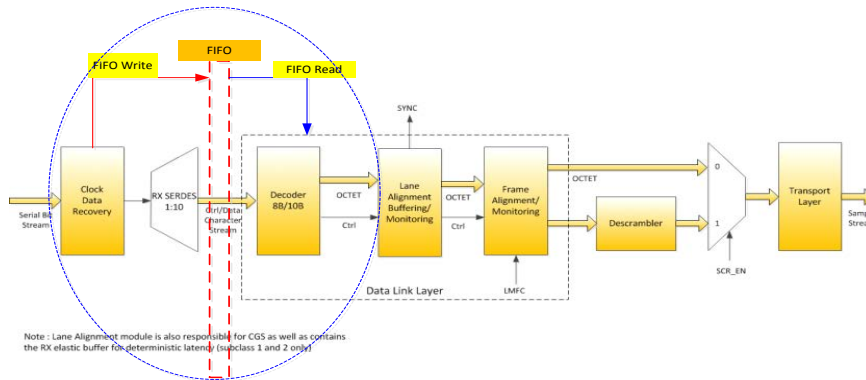


Figure 18 204B 中最优的 RBD 值搜索示意图

5 204B 告警简述

5.1 非 204B 标准中的告警

TI 的所有采用 204B 接口的 DAC 中都有一类 FIFO 相关的告警，其告警的种类如下表格中 AFE7689 中描述。该类告警涉及到的硬件对象和告警种类如下表/图所示。



Bit	Field	Type	Reset	Description
7:0	ALARMS_23_1 6	RO	0x00	[7:4] Lane 1 FIFO errors [3:0] Lane 0 FIFO errors bit3 = write_error : High if write request and FIFO is full (NOTE: only released when JESD block is initialized with mem_init_state) bit2 = write_full : FIFO is FULL bit1 = read_error : High if read request with empty FIFO (NOTE: only released when JESD block is initialized with mem_init_state) bit0 = read_empty : FIFO is empty

Figure 19 TI 204B 接口 DAC 中 FIFO 告警原理

FIFO 告警涉及到是两个时钟域之间的告警，一个是 Serdes 写时钟，CDR 从 Serdes 流中恢复出时钟作为 FIFO 写，JESD 模块利用本地的时钟进行 FIFO 读。

- FIFO input: SERDES block clock + CDR clock (recovered from SERDES eye).
- FIFO output: JESD clock.

这里需要强调的是 FIFO read empty error, 该告警仅仅是 warning 可以忽略。原因是在初次上电中 Serdes 模块可能没有接收到任何东西所以无法恢复出时钟，但 JESD 已经 ready，这时候会出现 FIFO empty 告警，该告警在 JESD 初始化的时候可以清除

5.2 204B 标准中的 告警类别

204B 标准中的第 7 章节定义了告警到种类。一类告警必须选择的最小告警类别，另外一类告警是可选择告警类别。在 RX 侧可以选择那些告警需要重新建联（Sync 拉低），那些不需要。

Table 18 — Minimum set of errors to detect per receiver	
Error	Description
Disparity error	The received code group exists in the 8B/10B decoding table, but is not found in the proper column according to the current running disparity.
Not-in-table error	The received code group is not found in the 8B/10B decoding table for either disparity
Unexpected control character	A control character is received that is not expected at the given character position
Code group synchronization error	The state machine for code group synchronization has returned to the CS_INIT state

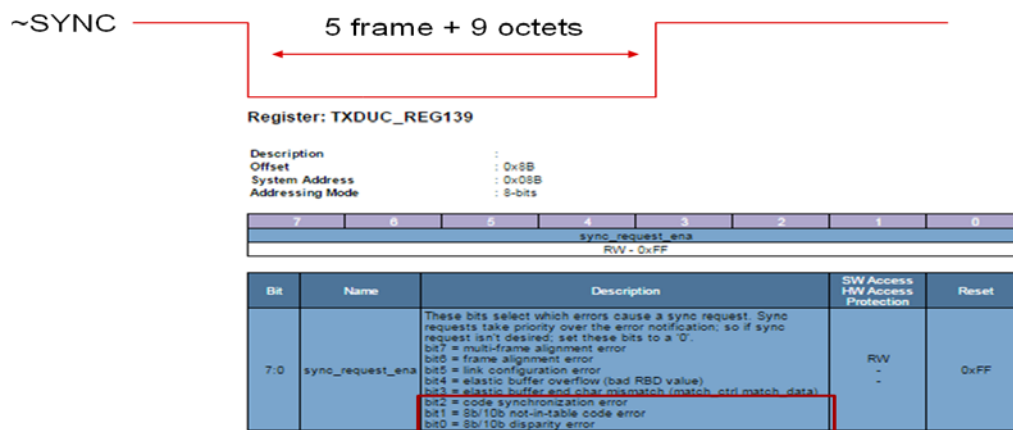
Minimum Required

Optional Error Reporting

In addition, many other kinds of errors may occur, which may not always require detection or action in each application, e.g.,

- Frame realigned (previous conversion samples may be in error)
- Lane realigned (previous conversion samples may be in error)
- Uncorrectable frame alignment error
- Initial lane alignment failure
- Uncorrectable lane alignment error
- Link configuration data error (parameters in TX and RX do not match)
- Lane alignment sequence decoding error (wrong octets decoded)

Figure 20 204B 标准中对告警的定义



Minimum Required per JESD204B standard. Other selection depends on application requirement. **TI recommends customers to evaluate their applications needs. For maximum reliability, select all of settings.**

Figure 21 TI 的 204B 接口 DAC 可以支持选择所有告警拉低 SYSNC 重新键链

6 参考文献

1. 204B 标准 “JEDEC Standard No. 204B” 2011 年。
2. TI 内部培训资料 “JESD Overview” SYED FAHAD AKHTAR & Jim Seton 2013 年。
3. TI 内部培训资料 “JESD204B Achieving Deterministic Latency” 2014 年。
4. TI 内部培训资料 “JESD204B Training: Link Bring-up and Debug” Matt Guibord 2014 年。

有关 TI 设计信息和资源的重要通知

德州仪器 (TI) 公司提供的技术、应用或其他设计建议、服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用；如果您（个人，或如果是代表贵公司，则为贵公司）以任何方式下载、访问或使用了任何特定的 TI 资源，即表示贵方同意仅为该等目标，按照本通知的条款进行使用。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。

您理解并同意，在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，以及您的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。您就您的应用声明，您具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。您同意，在使用或分发包含 TI 产品的任何应用前，您将彻底测试该等应用和该等应用所用 TI 产品的功能。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

您只有在为开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关单项 TI 资源。但并未依据禁止反言原则或其他法理授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等产权包括但不限于任何专利权、版权、屏蔽作品权或与使用 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对 TI 资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。

TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为您辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

您同意向 TI 及其代表全额赔偿因您不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

本通知适用于 TI 资源。另有其他条款适用于某些类型的材料、TI 产品和服务的使用和采购。这些条款包括但不限于适用于 TI 的半导体产品 (<http://www.ti.com/sc/docs/stdterms.htm>)、[评估模块](#)和样品 (<http://www.ti.com/sc/docs/sampters.htm>) 的标准条款。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司