

# 实验 3 – IP 核集成 SOC 设计实验报告

——建立 CPU 调试、测试和应用环境

姓名: 林逸竹 学号: 3160104229 专业: 计算机科学与技术

课程名称: 计算机组成与设计实验 同组学生姓名: 无

实验时间: 2018-3-26 实验地点: 紫金港东 4-509 指导老师: 施青松, 黎金洪

## 一、实验目的和要求

1. 初步了解 GPIO 接口与设备
2. 了解计算机系统的基本结构
3. 了解计算机各组成部分的关系
4. 了解并掌握 IP 核的使用方法
5. 了解 SOC 系统并用 IP 核实现简单的 SOC

## 二、实验内容和原理

### 2.1 实验任务

1. 分析基本接口和 IP 核
2. 设计存储器 IP 模块
3. 练习掌握 IP 核的使用方法
4. 选用第三方 IP 核和已有模块集成实现 SOC  
此实验顶层用原理图设计实现  
建立 CPU

### 2.2 Computer Organization

Computer System:

- Software
- Hardware
  - CPU
    - ◆ Control unit

- ◆ Datapath
  - Path: multiplexors
  - ALU
  - Registers
- Memory
- I/O interface
  - ◆ Input: PS2
  - ◆ Bidirectional: Storage
  - ◆ Output: VGA

## 2.3 SOC System on Chip

System on Chip(片上系统/系统级芯片)

- 从狭义角度: 是信息系统的芯片集成, 或将系统集成在一块芯片上。
- 从广义角度: Soc 是一个微小型系统

SOC 三要素:

- IP 核集成
  - IP(Intellectual Property)
- IP 核复用
- IC 工艺

IP 核的三种形式:

- 软 IP 核(soft IP Core)
- 固 IP 核(firm IP Core)
- 硬 IP 核(hard IP Core)

系统集成方法:

- 系统集成法
- 部分集成法
- IP 核集成法

## 三、主要仪器设备

### 3.1 实验设备

1. 计算机 (Intel Core i5 以上, 4GB 内存以上) 系统
2. 计算机软硬件课程贯通教学实验系统
3. Xilinx ISE14.4 及以上开发工具

### 3.2 材料

无

# 四、实验实现方法、步骤与调试

## OExp03-IP2SOC

- 1. 建立顶层模块
- 2. 导入各种 symbol 文件和 IP 核
- 3. 连线完成模块

# 五、实验结果与分析

能够实现下表功能。

### 图形功能测试

开关	位置	功能
SW[1:0]	X0	七段码图形显示
SW[2]	0	CPU全速时钟
SW[4:3]	00	7段码从上至下亮点循环右移
SW[4:3]	11	7段码矩形从下到大循环显示
SW[7:5]	000	作为外设使用（E0000000/FFFFFFE00）

### 文本功能测试

开关	位置	功能
SW[1:0]	01	七段码文本显示（低16位）
	11	七段码文本显示（高16位）
SW[2]	0	CPU全速时钟
SW[4:3]	01	7段码显示RAM数字
SW[4:3]	10	7段码显示累加
SW[7:5]	000	作为外设使用（E0000000/FFFFFFE00）

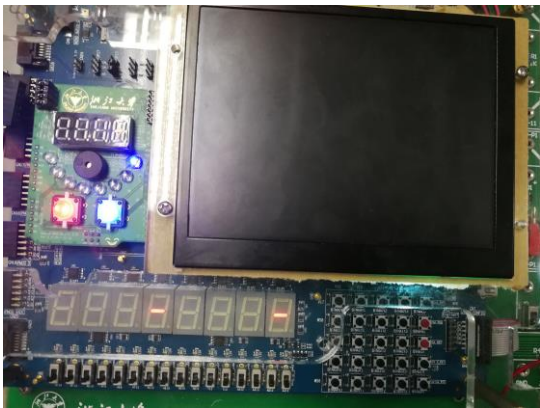


Figure 1 实验结果(1) 跑马灯

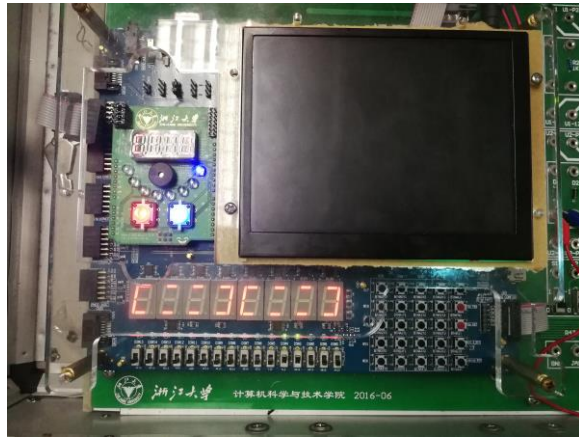


Figure 2 实验结果(2) 矩形

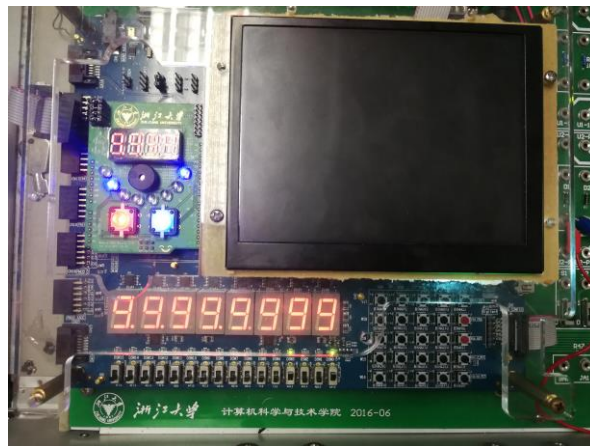


Figure 3 实验结果(3) RAM

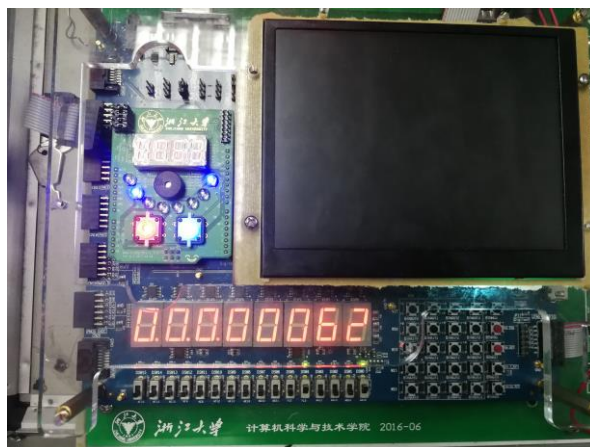


Figure 4 实验结果(4) 累加

## 六、讨论、心得

实验相对简单，连线即可，但还有一些功能性模块无法完全理解。