

# 实验 5 – CPU 设计—数据通路实验报告

## ——IP 核设计 CPU/IP2CPU

姓名：林逸竹 学号：3160104229 专业：计算机科学与技术

课程名称：计算机组成与设计实验 同组学生姓名：无

实验时间：2018-4-16 实验地点：紫金港东 4-509 指导老师：施青松，黎金洪

## 一、实验目的和要求

1. 运用寄存器传输控制技术
2. 掌握 CPU 的核心：数据通路组成与原理
3. 设计数据通路
4. 学习测试方案的设计
5. 学习测试程序的设计

## 二、实验内容和原理

### 2.1 实验任务

1. 设计 9+ 条指令的数据通路
  - ☐ 用逻辑原理图设计实现数据通路
    - ☐ ALU 和 Regs 调用 Exp04 设计的模块
  - ☐ 替换 Exp04 的数据通路核
  - ☐ 此实验在 Exp04 的基础上完成
2. 设计数据通路测试方案：
  - ☐ 部件测试：ALU、Register Files
  - ☐ 通路测试：I-格式通路、R-格式通路
3. 设计数据通路测试程序法

# 三、主要仪器设备

- 3.1 实验设备
1. 计算机（Intel Core i5 以上，4GB 内存以上）系统

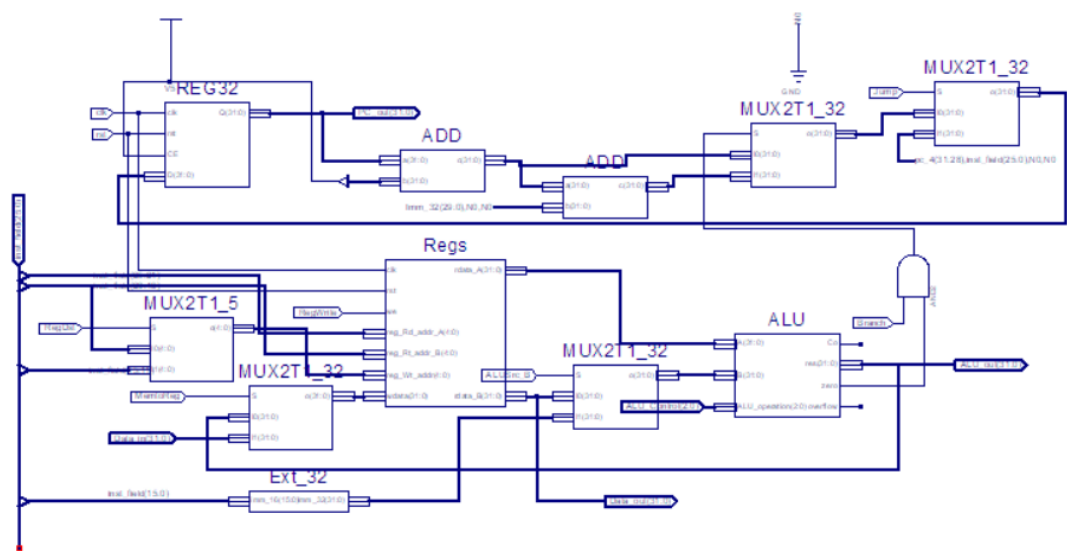
2. 计算机软硬件课程贯通教学实验系统

3. Xilinx ISE14.4 及以上开发工具
- 3.2 材料
- 无

# 四、实验实现方法、步骤与调试

## 4.1 OExp05-Datapath

使用先前设计好的 ALU 等模块设计数据通路，替换 IP 核。



# 五、实验结果与分析

能够实现下表功能。

图形功能测试

开关	位置	功能
SW[1:0]	X0	七段码图形显示
SW[2]	0	CPU全速时钟
SW[4:3]	00	7段码从上至下亮点循环右移
SW[4:3]	11	7段码矩形从下到大循环显示
SW[7:5]	000	作为外设使用（E0000000/FFFFFFE00）

文本功能测试

开关	位置	功能
SW[1:0]	01	七段码文本显示（低16位）
	11	七段码文本显示（高16位）
SW[2]	0	CPU全速时钟
SW[4:3]	01	7段码显示RAM数字
SW[4:3]	10	7段码显示累加
SW[7:5]	000	作为外设使用（E0000000/FFFFFFE00）

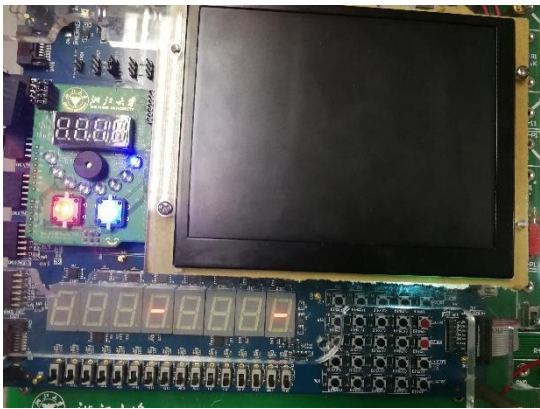


Figure 1 实验结果(1) 跑马灯

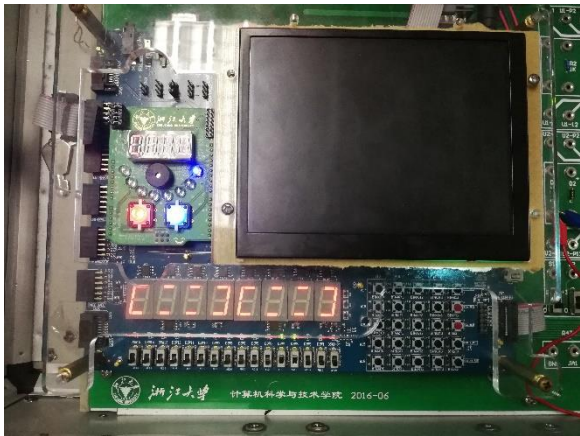


Figure 2 实验结果(2) 矩形

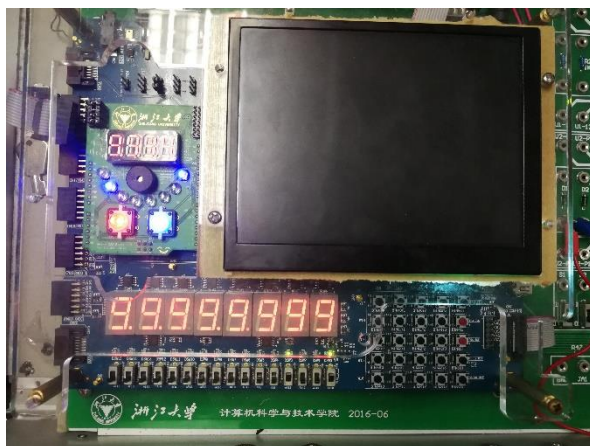


Figure 3 实验结果(3) RAM

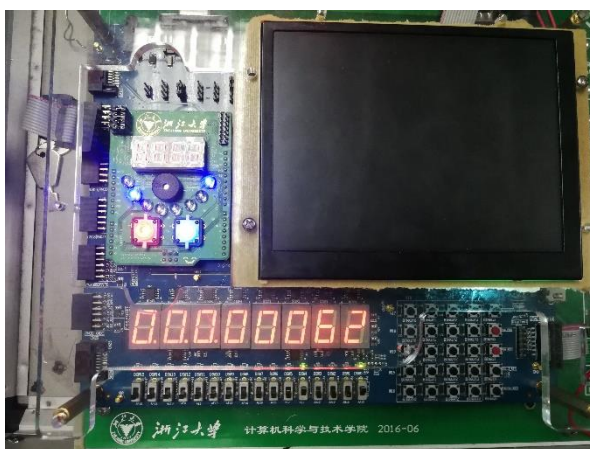


Figure 4 实验结果(4) 累加

## 六、讨论、心得

### 6.1 思考题

6.1.1 扩展下列指令，数据通路将作如何修改。

答：见实验 7.

6.1.2 增加 I-Type 算术运算指令是否需要修改本章设计的数据通路？

答：不需要修改数据通路。

### 6.2 心得

重点理解数据通路图，将各个指令自己走一遍。