

PCB 笔记

王 凡
wangfanstar@163.com

Version - March 5, 2012

版本更改记录

版本号	作者	备注
2011.07.01	王凡	转接板板号为354和822，功能板板号为335和820系列，原来写反了

摘 要

本文是自己在实验室学习过程的一些知识和技巧的积累，希望能为阅读的人更快更好地完成工作贡献出一份力量。如果觉得本文对你有所帮助 希望大家能更多地交流，互相学习，共同进步。

偶然的机会遇到壹基金，感觉真是一项伟大的工程，希望大家支持一下。

壹基金，发送 1 到 1069999309¹。

虽然不 能 彻 底
改 变 整 个 世 界， 但 我
们 可 以 尽 自 己 的 一 份
力 让 这 个 世 界 变 得
比 以 前 更 好 一
点 ♥

¹会替你从手机中捐出 1 元到基金会，用于赈灾和其他公益活动

目 录

摘要	I
目录	II
图目录	V
表目录	VII
第1章 背景知识	1
1.1 PCB 简介	1
1.1.1 PCB 的组成材料	1
1.1.2 PCB 层厚设置：阻抗控制	1
1.2 四层PCB板制作过程	3
第2章 Cadence 到 PCB 流程	14
2.1 Cadence Help 使用	14
2.1.1 cadence help 调用程序设置	14
2.1.2 cadence help 使用教程样例	14
2.1.3 cadence help 更新恢复	15
2.2 原理图部分	16
2.2.1 属性设置	16
2.2.1.1 物料单	16
2.2.1.2 ORCAD原理图库属性	16
2.2.1.3 ORCAD 高效快捷键	16
2.2.1.4 annotate 标号属性	18
2.2.1.5 MODE 属性	19
2.2.1.6 drc 属性	19
2.2.2 常用设计技巧	22
2.2.2.1 AD原理图封装转换ORCAD	22
2.2.2.2 模块电路保存调用	22
2.2.2.3 多窗口显示同一电路图	23
2.2.2.4 orcad 转 PDF	24
2.2.2.5 规则设置	24
2.2.2.6 ORCAD 注意事项	24

2.3 PCB 部分	26
2.3.1 allegro 操作设置	26
2.3.1.1 快捷键设置	26
2.3.1.2 鼠标手势设置	26
2.3.1.3 移动器件时改变封装定位处	27
2.3.1.4 ALLEGRO 高效快捷键	27
2.3.1.5 ALLEGRO 操作对应命令	27
2.3.1.6 绘制图形的精确坐标定位	28
2.3.1.7 移动器件时改变封装定位处	28
2.3.1.8 库设置	29
2.3.1.9 注意事项	29
2.3.2 allegro 参数设置	29
2.3.2.1 显示, 关闭所有层	29
2.3.2.2 导入网表设置	29
2.3.2.3 导入 dxf 设置	30
2.3.2.4 导入元器件坐标设置	30
2.3.2.5 电源网络飞线显示设置	31
2.3.2.6 布板常用规则设置	31
2.3.2.7 AD PCB图封装转换ALLEGRO	32
2.3.2.8 引入外部设置	33
2.3.2.9 批量修改网络拓扑属性设置	33
2.3.2.10 拓扑结构的设置	34
2.3.2.10.1 T 结点的设置	34
2.3.2.10.2 Minimum Spanning tree 拓扑	34
2.3.2.10.3 Daisy Chain 拓扑	35
2.3.2.10.4 Source Load Daisy Chain 拓扑	35
2.3.2.10.5 Star 拓扑	36
2.3.2.10.6 Far End Cluster 拓扑	36
2.3.2.11 ALLEGRO 自动布线设置	37
2.3.2.11.1 规则设置要点	37
2.3.2.11.2 半自动拉线	37
2.3.2.11.3 SUPER 自动拉线	37
2.3.2.12 自动布线所需设置的规则	42
2.3.2.12.1 差分线规则	42
2.3.2.12.2 间距规则	42
2.3.2.12.3 物理规则	42
2.3.2.13 xnet 设置	43
2.3.2.14 相对等长设置	44

2.3.2.14.1 相对等长显示设置	44
2.3.2.14.2 相对等长约束设置	45
2.4 PCB 检查流程	47
2.4.1 检查报告	47
2.4.2 修改注意事项	47
2.5 GERBE 制板文件	48
2.5.1 印制板最终文件设置	48
2.5.2 投板相关文件	56
2.5.3 投板说明	58
2.6 装配图	60
2.6.1 AUTOCAD 软件应用	60
2.6.2 TT设置	62
第3章 注意事项及推荐软件	64
3.1 推荐设置	64
3.2 SKILL 扩展功能	64
3.3 封装制作工具	66
3.4 阻抗计算工具	68
3.5 温升计算工具	69
3.6 单位换算工具	69
参考文献	71
附录	72
1 常用单位换算	72
2 走线与过电流	72
3 计算机总线阻抗控制	73
4 实验室图号设定	78
5 Cadence 软件配置注意	78
6 Cadence 软件菜单, 图标含义	78
7 Cadence 参考文档	92
致谢	93

图目录

图 1-1 PCB 的构成.....	1
图 1-2 微带线阻抗.....	2
图 1-3 带状线阻抗.....	3
图 2-1 Cadence Help 帮助	14
图 2-2 Cadence Help 使用示例	15
图 2-3 物料单设置.....	17
图 2-4 annotate 参数.....	18
图 2-5 DRC 检查参数	20
图 2-6 在 help 文档中查询操作命令	28
图 2-7 改变器件定位点.....	28
图 2-8 设置电源飞线显示.....	31
图 2-9 Minimum spanning tree 拓扑结构图	34
图 2-10 Daisy Chain 拓扑结构图	35
图 2-11 Source Load Daisy Chain 拓扑结构图.....	35
图 2-12 Star拓扑结构图.....	36
图 2-13 Far End Cluster 拓扑结构图.....	36
图 2-14 差分线规则的设置.....	42
图 2-15 AutoCad 操作命令	61
图 2-16 TT 的设置	62
图 2-17 列表和明细的设置.....	63
图 3-1 设置 SKILL 环境变量	65
图 3-2 ALLEGRO 封装制作工具	67

图 3-3 阻抗计算工具	68
图 3-4 温升计算工具	69
图 3-5 单位换算工具	70

表目录

表 1-1 3mm 厚 10层板设置.....	2
表 2-1 ORCAD 快捷键	17
表 2-2 系统自定义 Stroke 鼠标手势功能.....	26
表 2-3 快捷键.....	27
表 2-4 差分线规则要点.....	42
表 2-5 投板文件.....	56
表 2-6 GERBE (ART) 文件对应丝印层	57
表 3-1 Cadence 工作目录设置	64
表 1 单位换算.....	72
表 2 PCB 走线过电流与铜厚关系	72

第1章 背景知识

1.1 PCB 简介

1.1.1 PCB 的组成材料

PCB 主要由芯板(Core), 半固化片(Prepreg), 铜片(Copper), 阻焊层(Solder)¹组成。如图 1-1 所示²:

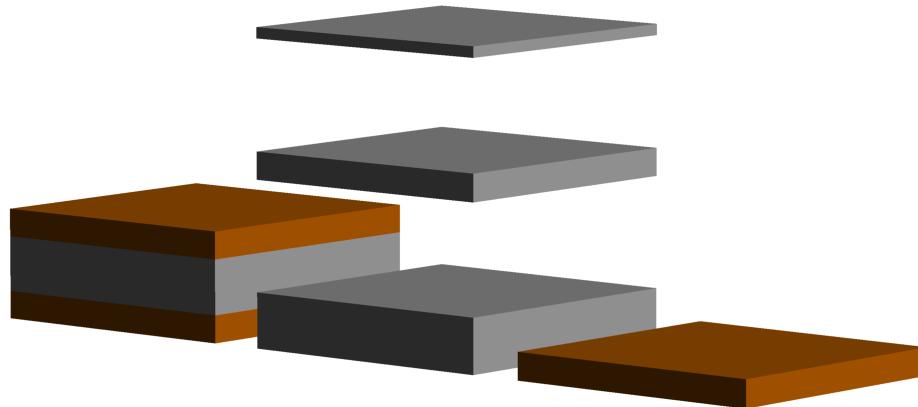


图 1-1 PCB 的构成

1.1.2 PCB 层厚设置：阻抗控制

每个层与层之间的厚度可由自己设定，在投板文件里说明给PCB生产厂家生产。如不特意说明各厂家会按默认的序列来制作。设定的主要意义在于控制高速信号线的阻抗。

厚度由生产 PCB 的三种材料：铜片，半固化件，芯板决定³。如所示。PCB 室（8室）所购芯板和半固化片的序列如下所示，芯板一次只能一张，半固化片最少2张，一般交替放置：

芯板: 0.1, 0.15, 0.2, 0.3, 0.4, 0.5, 0.6, 0.8, 0.9, 1.0, 1.2, 1.4, 1.6, 1.8

半固化片: 0.065, 0.11, 0.16

¹即绿油，可以有各种颜色

²为 3D 图，用 Adobe Reader 9 以上版本可进行缩放旋转等操作

³暂不考虑阻焊绿油的厚度

以四层板为例，一般的顶层到第二层和底层到倒数第二层用半固化片，中间用芯板，最后上下层用两片铜片夹起来。最薄的板可只用半固化片做 0.2mm，一般用于绝缘，比如放在航插与印制板间，对应的安装孔都在绝缘板上打好。

表 1-1 3mm 厚 10 层板设置

10 层设置 3mm 5信号层 (CPCI 背板)			
层数	设定厚度 mm	对应阻抗	备注
TOP-2	0.13	1 层 单线: 55 差分: 96	TOP 层信号 2 为地层
2-3	0.5	3 层 单线: 65 差分: 90	3 层信号 4 层电源
3-4	0.44		
4-5	0.4	5 层 单线: 51 差分: 87	5 层信号 6 层地
5-6	0.24		
6-7	0.15		7 为电源
7-8	0.44	8 层 单线: 65 差分: 90	8 层信号
8-9	0.5		
9-BOTTOM	0.13	10 层 单线: 55 差分: 96	BOTTOM 层信号 9 为地层

阻抗设计用 POLAR SI8000 软件，如下图所示各总线的阻抗要求见附录，POLAR SI8000 的使用示意图如下：

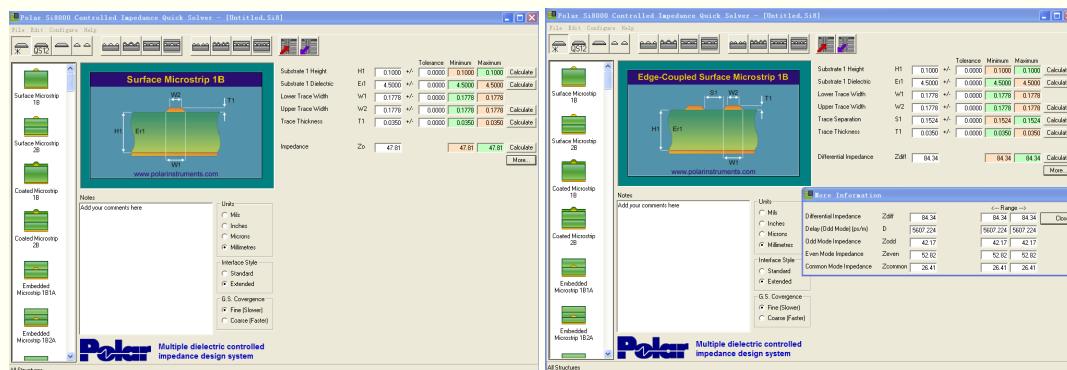


图 1-2 微带线阻抗

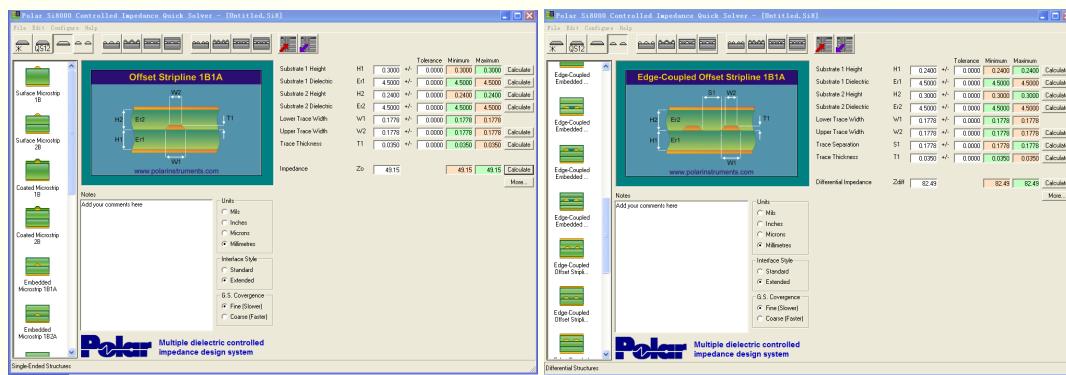
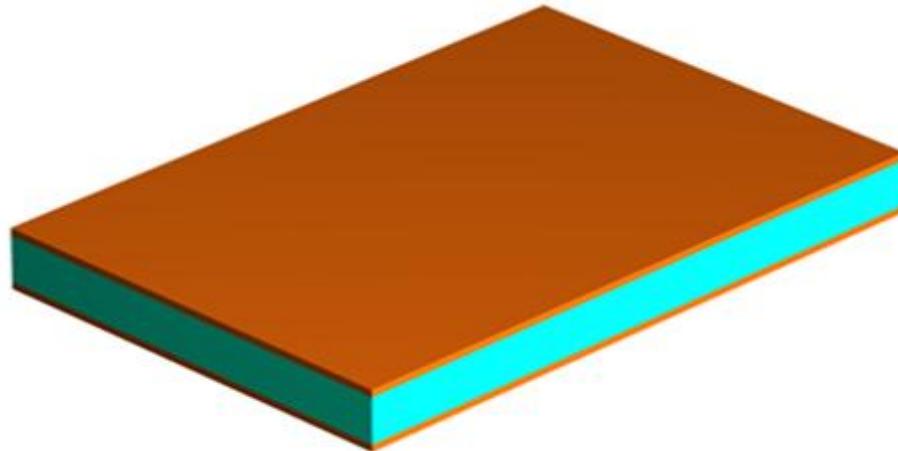


图 1-3 带状线阻抗

1.2 四层PCB板制作过程

以4层PCB板为例介绍PCB的制作过程。

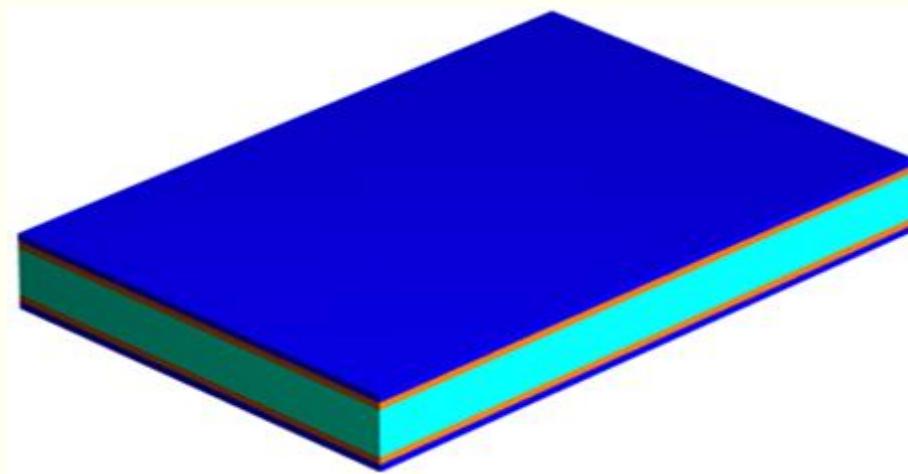
1. 化学清洗—【Chemical Clean】



为得到良好质量的蚀刻图形，就要确保抗蚀层与基板表面牢固的结合，要求基板表面无氧化层、油污、灰尘、指印以及其他污物。因此在涂布抗蚀层前首先要对板进行表面清洗并使铜箔表面达到一定的粗化层度。

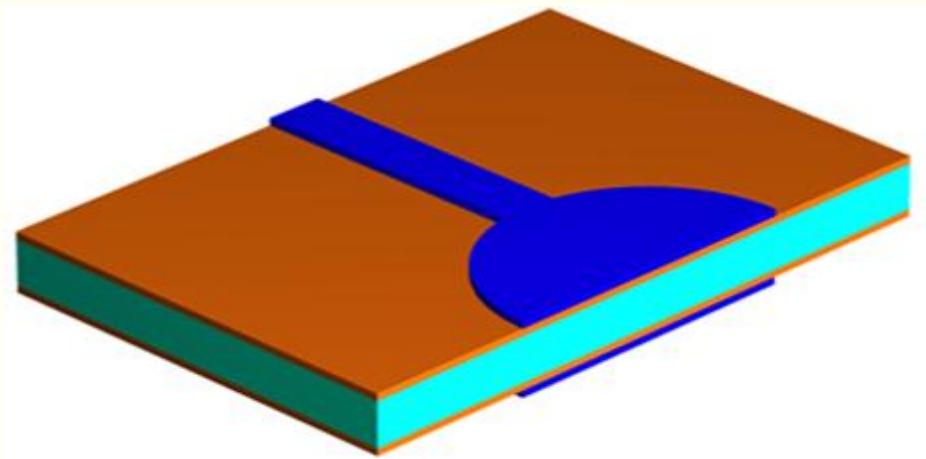
内层板材：开始做四层板，内层（第二层和第三层）是必须先做的。内层板材是由玻璃纤维和环氧树脂基复合在上下表面的铜薄板。

2. 裁板压膜—【Cut Sheet Dry Film Lamination】



涂光刻胶：为了在内层板材作出我们需要的形状，我们首先在内层板材上贴上干膜（光刻胶，光致抗蚀剂）。干膜是由聚酯薄膜，光致抗蚀膜及聚乙烯保护膜三部分组成的。贴膜时，先从干膜上剥下聚乙烯保护膜，然后在加热加压的条件下将干膜粘贴在铜面上。

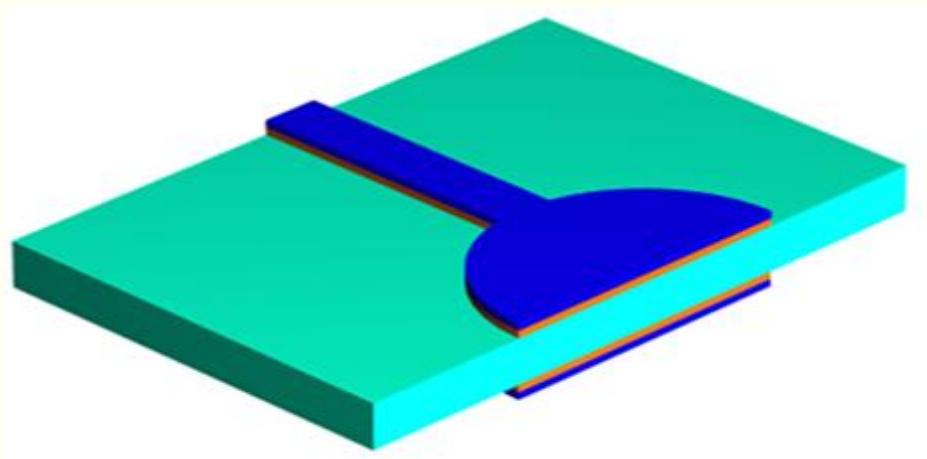
3. 曝光和显影【Image Expose】 【Image Develop】



曝光：在紫外光的照射下，光引发剂吸收了光能分解成游离基，游离基再引发光聚合单体产生聚合交联反应，反应后形成不溶于稀碱溶液的高分子结构。聚合反应还要持续一段时间，为保证工艺的稳定性，曝光后不要立即撕去聚酯膜，应停留15分钟以上，以使聚合反应继续进行，显影前撕去聚酯膜。

显影：感光膜中未曝光部分的活性基团与稀碱溶液反应生产可溶性物质而溶解下来，留下已感光交联固化的图形部分。

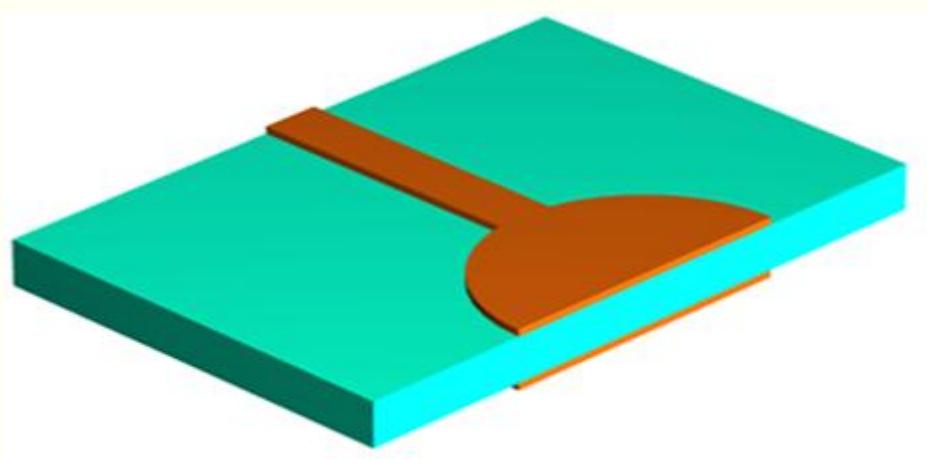
4. 蚀刻【Copper Etch】



在挠性印制板或印制板的生产过程中，以化学反应方法将不要部分的铜箔予以去除，使之形成所需的回路图形，光刻胶下方的铜是被保留下米不受蚀刻的影响的。

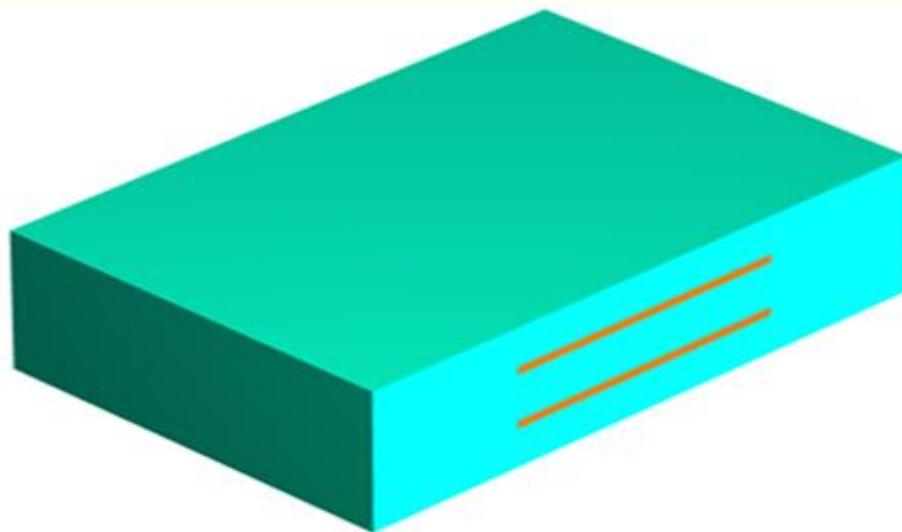
5. 去膜，蚀后冲孔，AOI检查，氧化

【Strip Resist】 【Post Etch Punch】 【AOI Inspection】 【Oxide】



去膜的目的是清除蚀刻后板面留存的抗蚀层使下面的铜箔暴露出来。“膜渣”过滤以及废液回收则须妥善处理。如果去膜后的水洗能完全清洗干净，则可以考虑不做酸洗。板面清洗后最后要完全干燥，避免水份残留。

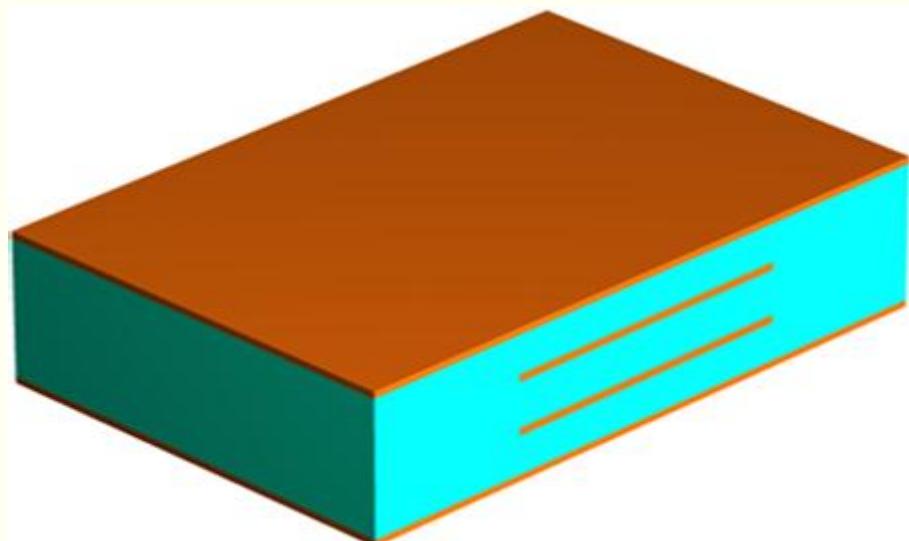
6. 叠板保护膜胶片【Layup with prepreg】



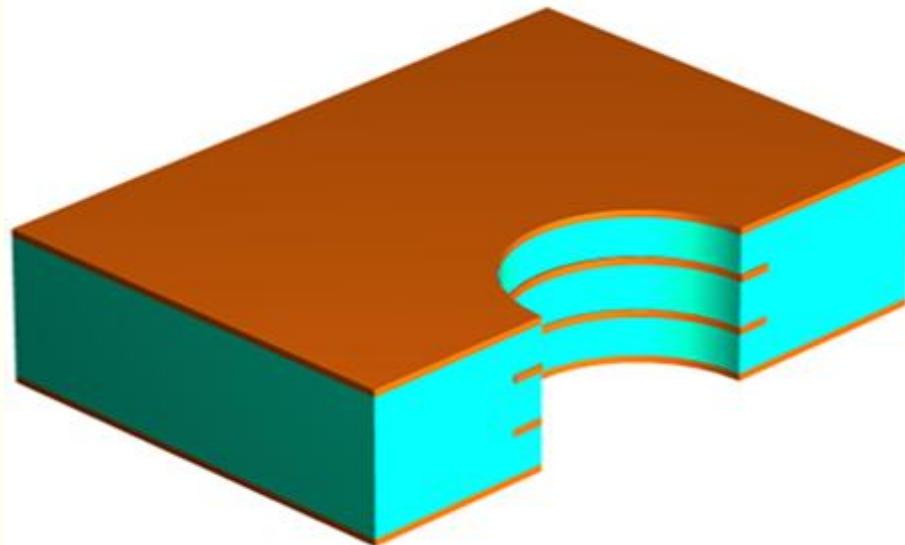
进压合机之前需将各多层板使用原料准备好以便叠板(Lay-up)作业除已氧化处理之内层外尚需保护膜胶片(Prepreg)-环氧树脂浸渍玻璃纤维。叠片的作用是按一定的次序将覆有保护膜的板子叠放以来并置于二层钢板之间。

7. 叠板铜箔 和真空层压

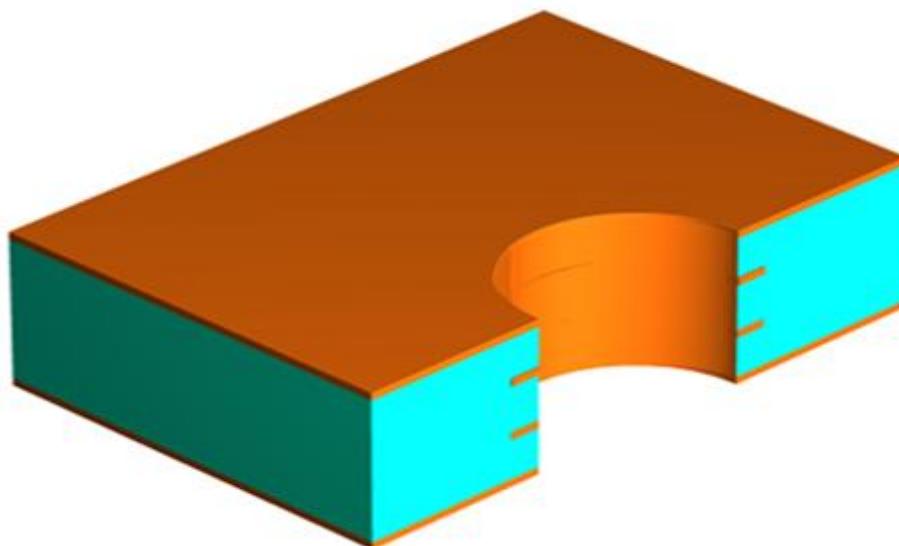
【Layup with copper foil】 【Vacuum Lamination Press】



铜箔给目前的内层板材再在两侧都覆盖一层铜箔，然后进行多层加压（在固定的时间内需要测量温度和压力的挤压）完成后冷却到室温，剩下的就是一个多层合在一起的板材了。

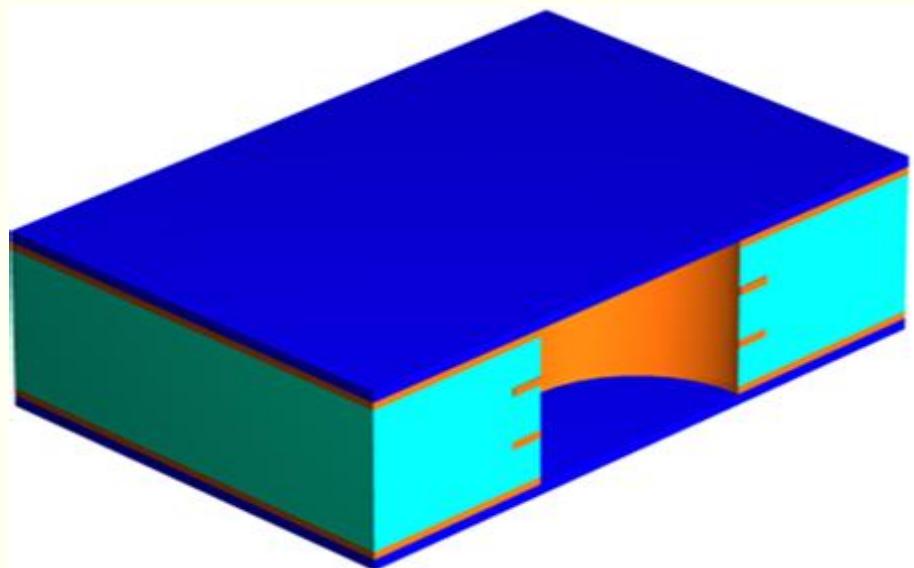
8.CNC钻孔【CNC Drill】

在内层精确的条件下，数控钻孔根据模式钻孔。钻孔精度要求很高，以确保孔是在正确位置。

9.电镀通孔【Electroless Copper】

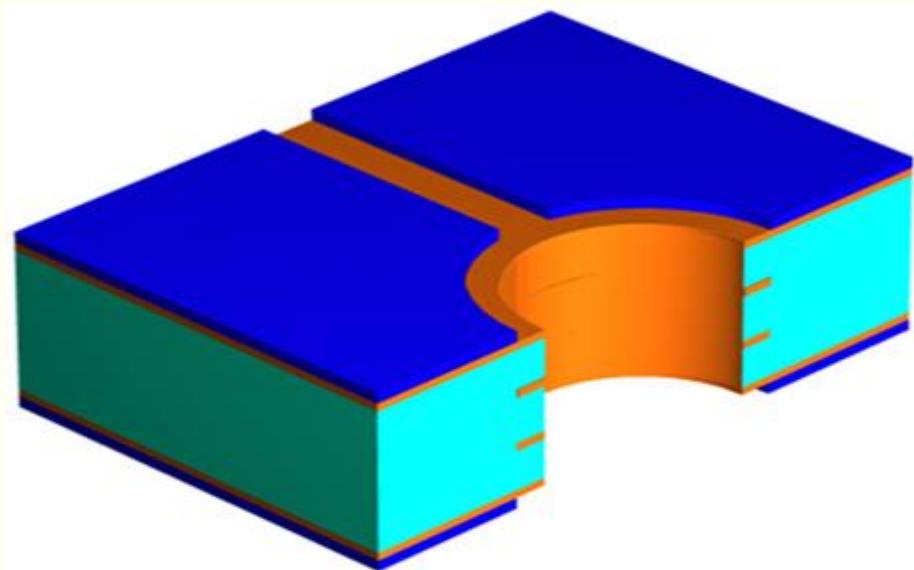
为了使通孔能在各层之间导通（使孔壁上之非导体部份之树脂及玻纤束进行金属化），在孔中必须填充铜。第一步是在孔中镀薄薄一层铜，这个过程完全是化学反应。最终镀的铜厚为50英寸的百万分之一。

10.裁板 压膜【Cut Sheet】 【Dry Film Lamination】

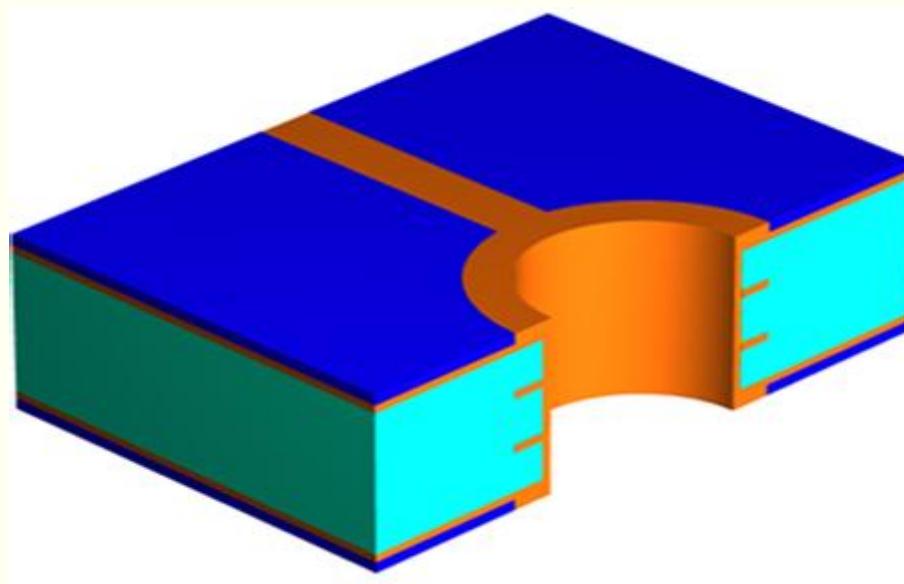


涂光刻胶：我们有一次在外层涂光刻胶。

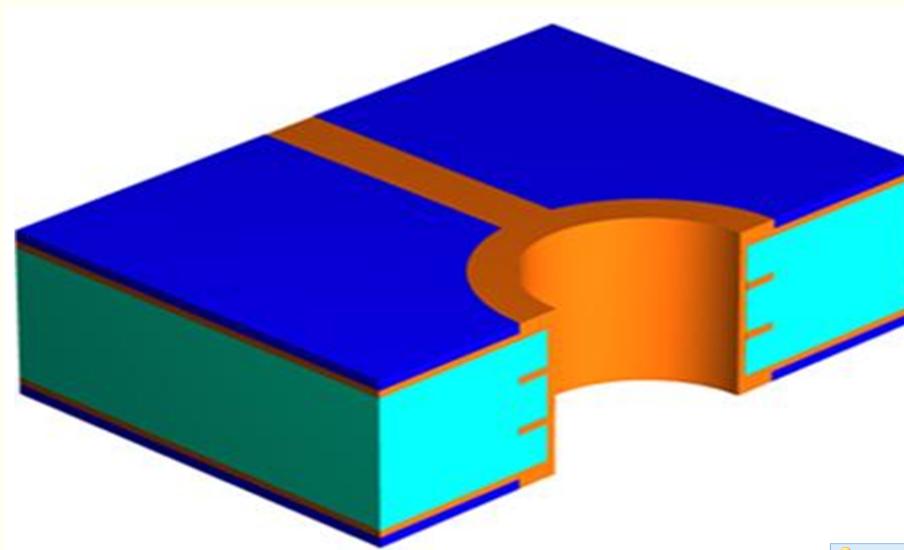
11.曝光和显影【Image Expose】 【Image Develop】



外层曝光和显影

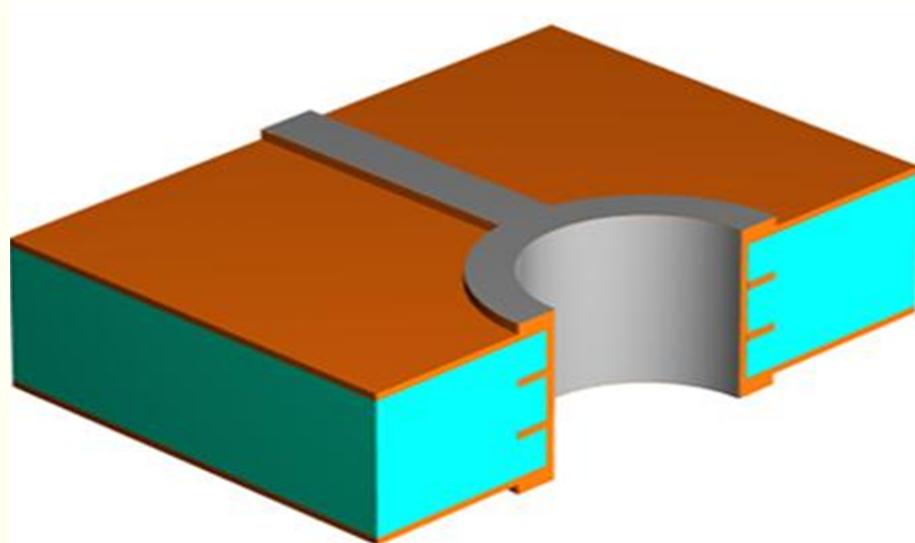
12. 线路电镀：【Copper Pattern Electro Plating】

此次也成为二次镀铜，主要目的是加厚线路铜和通孔铜厚。

13. 电镀锡【Tin Pattern Electro Plating】

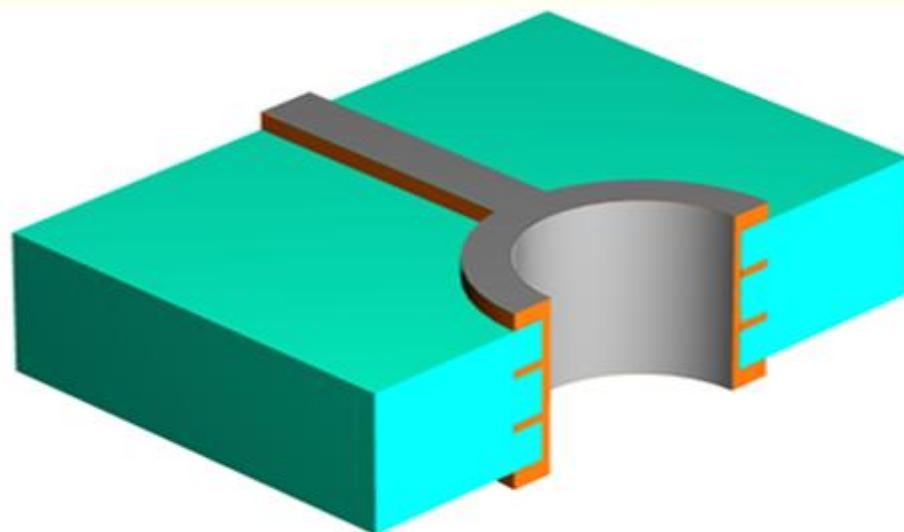
其主要目的是蚀刻阻剂，保护其所覆盖的铜导体不会在碱性蚀铜时受到攻击（保护所有铜线路和通孔内部）。

14. 去膜【Strip Resist】



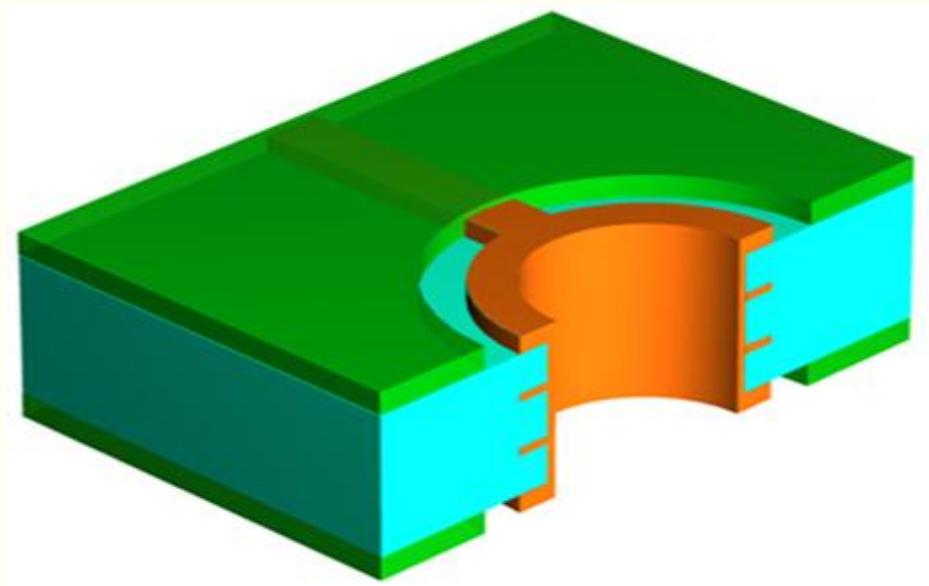
我们已经知道了目的，只需要用化学方法，表面的铜被暴露出来。

15. 蚀刻【Copper Etch】



我们知道了蚀刻的目的，镀锡部分保护了下面的铜箔。

16. 预硬化 曝光 显影 上阻焊

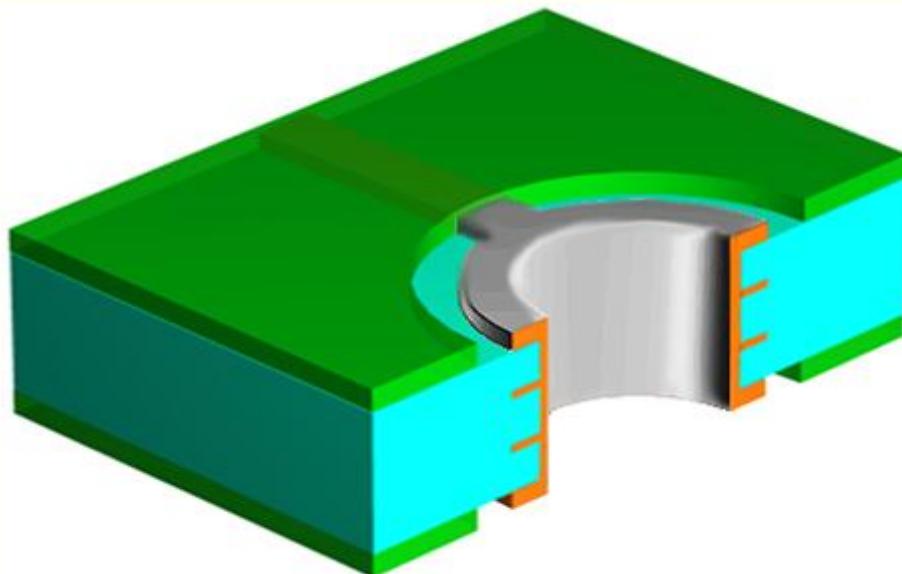


【LPI coating side 1】 【Tack Dry】 【LPI coating side 2】 【Tack Dry】

【Image Expose】 【Image Develop】 【Thermal Cure Soldermask】

阻焊层是为了把焊盘露出来用的也就是通常说的绿油层实际上就是在绿油层上挖孔把焊盘等不需要绿油盖住的地方露出来。适当清洗可以得到合适的表面特征。

17. 表面处理



【Surface finish】

> HASL, Silver, OSP, ENIG 热风整平，沉银，有机保焊剂，化学镍金

> Tab Gold if any 金手指

热风整平焊料涂覆 H A L (俗称喷锡)过程是先把印制板上浸上助焊剂，随后在熔融焊料里浸涂，然后从两片风刀之间通过，用风刀中的热压缩空气把印制板上的多余焊料吹掉，同时排除金属孔内的多余焊料，从而得到一个光亮、平整、均匀的焊料涂层。

金手指(Gold Finger,或称 Edge Connector)设计的目的在于藉由connector连接器的插接作为板对外连络的出口因此须要金手指制程之所以选择金是因为它优越的导电度及抗氧化性但因为金的成本极高所以只应用于金手指局部镀或化学金

最后总结一下所有的过程：

1) Inner Layer 内层

- > Chemical Clean 化学清洗
- > Cut Sheet Dry Film Lamination 裁板 压膜
- > Image Expose 曝光
- > Image Develop 显影
- > Copper Etch 蚀铜
- > Strip Resist 去膜
- > Post Etch Punch 蚀后冲孔
- > AOI Inspection AOI 检查
- > Oxide 氧化
- > Layup 叠板
- > Vacuum Lamination Press 压合

2) CNC Drilling 钻孔

- > CNC Drilling 钻孔

3) Outer Layer 外层

- > Deburr 去毛刺
- > Etch back - Desmear 除胶渣
- > Electroless Copper 电镀通孔
- > Cut Sheet Dry Film Lamination 裁板 压膜
- > Image Expose 曝光
- > Image Develop 显影

4) Plating 电镀

- > Image Develop 显影
- > Copper Pattern Electro Plating 二次镀铜
- > Tin Pattern Electro Plating 镀锡
- > Strip Resist 去膜
- > Copper Etch 蚀铜
- > Strip Tin 剥锡

5) Solder Mask 阻焊

- > Surface prep 前处理
- > LPI coating side 1 印刷
- > Tack Dry 预硬化
- > LPI coating side 2 印刷
- > Tack Dry 预硬化
- > Image Expose 曝光
- > Image Develop 显影
- > Thermal Cure Soldermask 印阻焊

6) Surface finish 表面处理

- > HASL, Silver, OSP, ENIG 热风整平, 沉银, 有机保焊剂, 化学镍金
- > Tab Gold if any 金手指
- > Legend 图例

7) Profile 成型

- > NC Routing or punch

8) ET Testing, continuity and isolation

9) QC Inspection

- > Ionics 离子残余量测试
- > 100% Visual Inspection 目检
- > Audit Sample Mechanical Inspection
- > Pack & Shipping 包装及出货

说明图为Circuitronic美国总部做的，比较好看，拿过来用了。

第 2 章 Cadence 到 PCB 流程

2.1 Cadence Help 使用

2.1.1 cadence help 调用程序设置

Cadence Help 是一个很强大的帮助文档，里面有 Cadence 的各个操作说明和帮助，还有很多视频教程帮助。非常方便。在使用前，先设好以下部分，如图 2-1 所示。

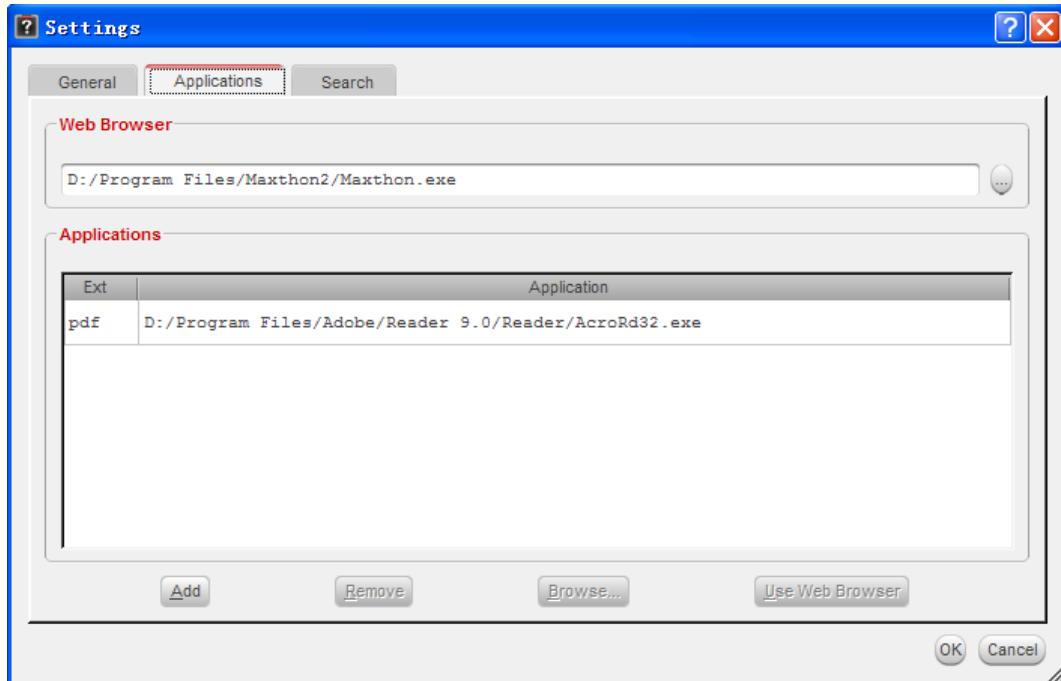


图 2-1 Cadence Help 帮助

设置好浏览器和 PDF 阅读器的指定应用程序，浏览器设成傲游的，PDF 阅读器设成 ADOBE READER，这样可以在浏览器中观看视频操作指南，可以从 HELP 文档中导出到 PDF 格式查看，非常方便。

2.1.2 cadence help 使用教程样例

点击图标上的 Home 图标，如图 2-2 所示，可以点击 [Searching in Cadence Help](#) 进入相关的网页和视频教程熟悉常用的搜索操作。

Cadence Help

Cadence Help provides a list of manuals for the different Cadence products installed on your system. You can access the different topics that explain how to use a product. The Cadence Help window also lets you search for specific topics and contents.

Related Topics

You can view the following help topics to learn more about Cadence Help:

General Features	Getting Started	How To
<ul style="list-style-type: none">• Introducing the Panestack• Introducing the Tree View• Introducing the Topic View Pane	<ul style="list-style-type: none">• Starting Cadence Help• Switching Views• Viewing a Topic• Printing a Topic• Closing Cadence Help	<ul style="list-style-type: none">• Adding Customized Documents• Searching in Cadence Help• Specifying Settings• Opening a Library• Frequently Asked Questions

图 2-2 Cadence Help 使用示例

2.1.3 cadence help 更新恢复

如果遇到不正常开关机等致使 Cadence Help 文档不能正常使用时，可在安装程序选项 **Cadence Spb 16.2** → **Cadence Help** → **File** → **Rebuild Search Index** 时间会很长...⌚...⌚

2.2 原理图部分

电路图设计结构分类 (Design Structure) :

1. 分层式电路设计(Hierarchical Design):设计比较复杂的电路时用,是一种从上而下的 设计方格.
2. 拼接式电路设计(Flat Design):只有一个层次电路设计, 不包含子电路框图, 可以有 多页电路存在.
3. 单页式电路设计(One-page Design):只有单独的一页电路图. 下面重点讲下分层式电路 的画法.

我们一般用第 2 种方式, 在一个层次中设计多页原理图。

2.2.1 属性设置

2.2.1.1 物料单

原自定义的 ORCAD 元器件属性不能有中文和特殊符号如 %,* 使用下列方法, 可以 导出有中文属性的元器件列表。

1. 在LIBRARY中建立好库文件, 元件增加 Comment_CH (具体型号)、Description_CH (种类) 等属性,
2. 在配料单中设置如下, 就可以按照标准的出料单用EXCEL导出.

让物料单按所需格式导出表格设置命令如下:

```
Item\tComment_CH\tDescription_CH\tQuantity\tReference  
{Item}\t{Comment_CH}\t{Description_CH}\t{Quantity}\t{Reference}
```

其中\t是表示他们之间间隔一个 Tab (空格) 在 ORCAD 中的设置如图 2-3 所示:

2.2.1.2 ORCAD 原理图库属性

批量修改: **EDIT** → **browse** → **parts**

同步更新: **Design Cache** → **replace cache** → **replace ... properties**

2.2.1.3 ORCAD 高效快捷键

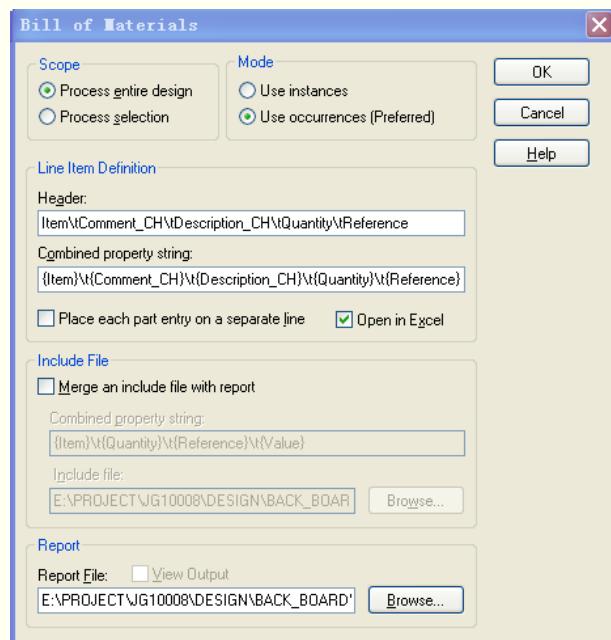


图 2-3 物料单设置

表 2-1 : ORCAD 快捷键

快捷键	说明
F4	重复上次操作
W	画线
B	总线
P	放置元气件
E	总线接入线
J	放置节点
X	不连接
F	电源
N	网络标号
G	地
T	放置文本
Y	折线
F10	下页
SHIFT+F10	上页
CTRL+G	转到坐标

接下页

表 2-1 ORCAD 快捷键 -- 接上页

快捷键	说明
R ,SHIFT+R	翻转
I	放大
O	缩小

2.2.1.4 annotate 标号属性

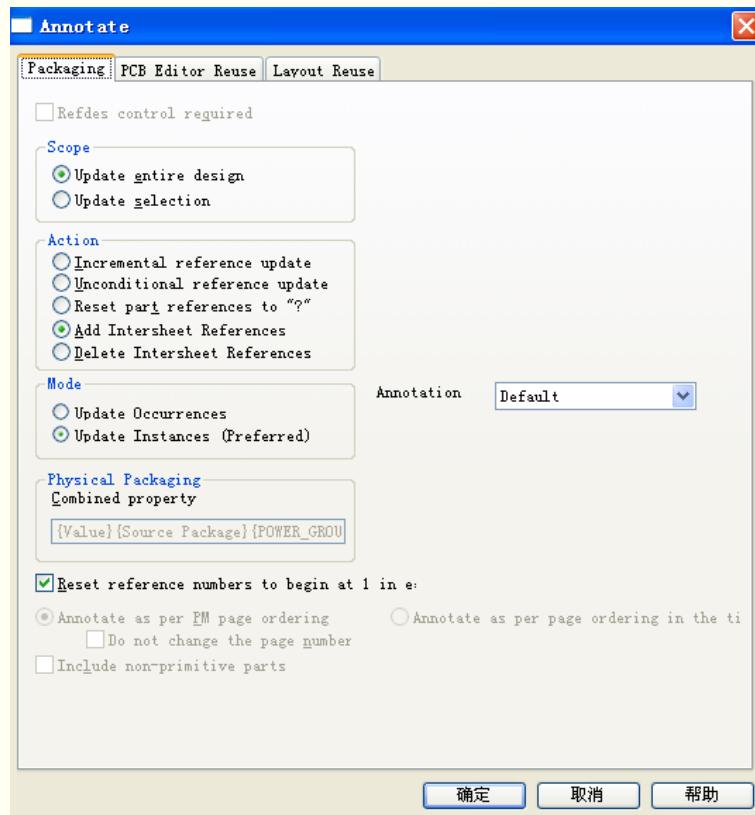


图 2-4 annotate 参数

Scope:	
Update entire design:	更新整个设计
Update selection:	更新选择的部分
Action:	
Incremental reference update:	
在现有的基础上进行增加排序	
Unconditional reference update:	
无条件进行排序	
Reset part reference to “?” :	
把所有的序号都变成“?”	
Add Intersheet References:	
对应含义如下:	在分页图纸间的端口的序号加上图纸编号
Delete Intersheet References:	
Combined property:	
把对话框中的属性相结合	
Reset reference numbers to begin at 1 each page:	
编号时每张图纸都从1开始	
Do not change the page number:	
不要改变图纸编号	

2.2.1.5 MODE 属性

Mode	: 检查模式
Instance(样本原型)	: 在复合分层电路结构中，有两个或则多个子电路框图对应的相同的下层次子电路。因此就存在一个层次子电路被多处应用的现象。在Capture 中，将原始的子电路称为 Instance.
Occurrence(引用)	: 将每一个“引用”称为 Occurrence

2.2.1.6 drc 属性

drc 的检查选项如下图所示

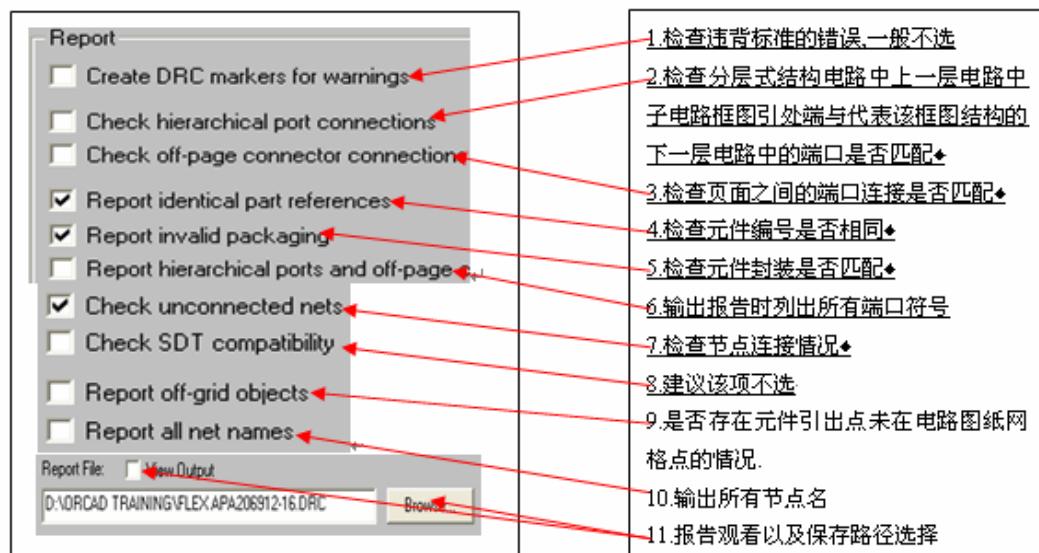
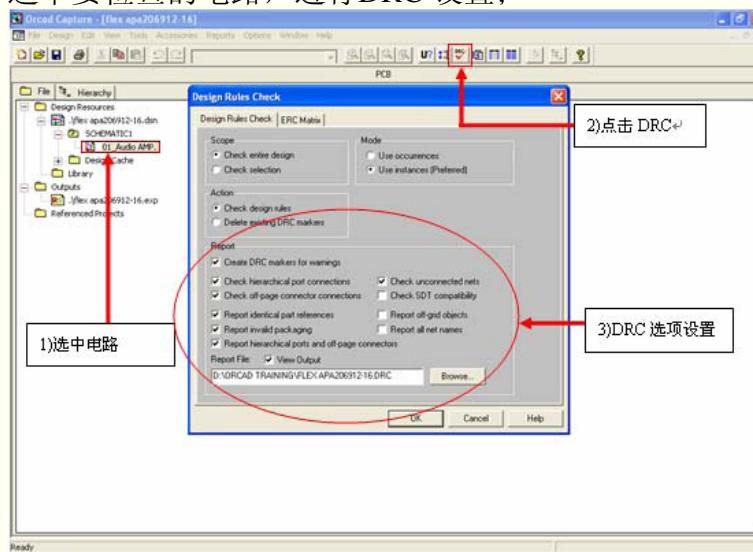
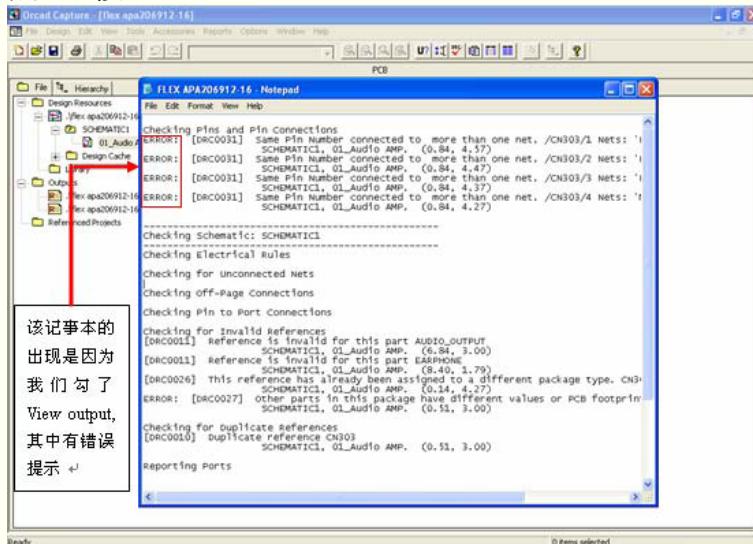


图 2-5 DRC 检查参数

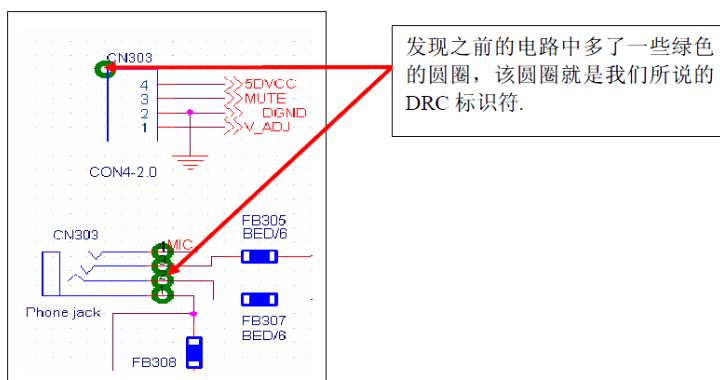
1. 选中要检查的电路, 进行DRC 设置:



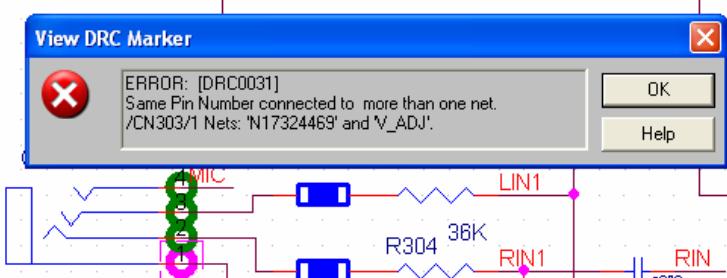
2. 点OK按钮



3. 根据DRC 出错提示进行电路修改.打开电路图;



4. 根据记事本中关于 Error 的描述或则双击绿色的圆圈，如下提示



问题出在有重复网络，该类问题大部分是元件编号重复，我们发现上图中有两个 CN303，将其中一个修改过来就可以了。

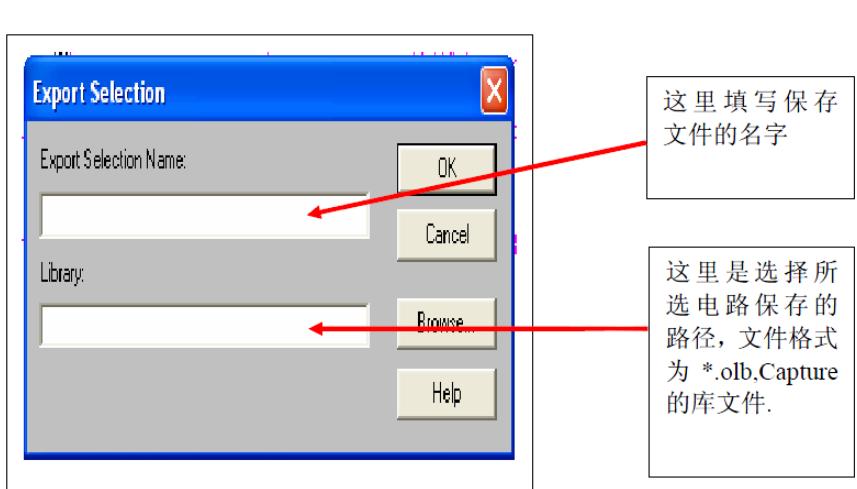
2.2.2 常用设计技巧

2.2.2.1 AD原理图封装转换ORCAD

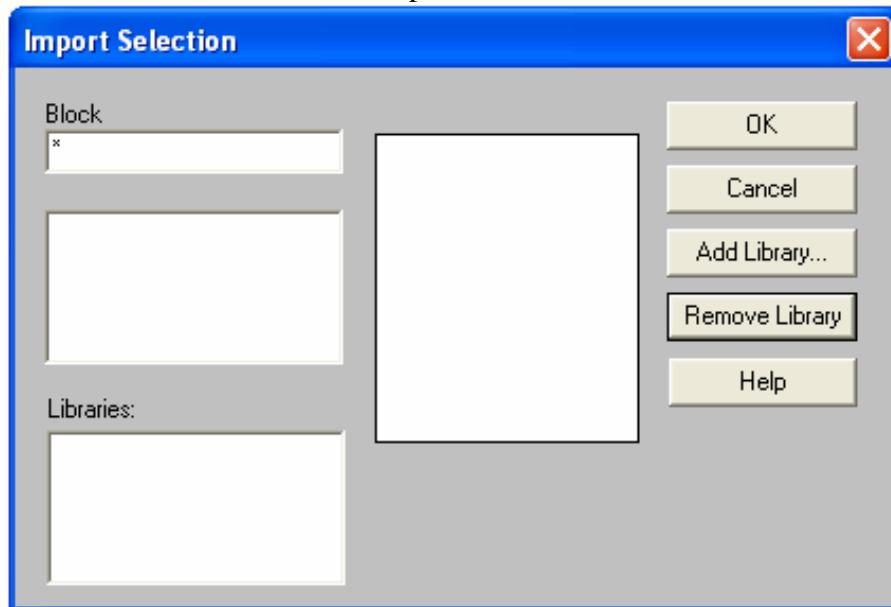
在 AD 中，点FILE→SAVE PROJECT AS 保存为DSN文件，同理元器件原理图库也可以

2.2.2.2 模块电路保存调用

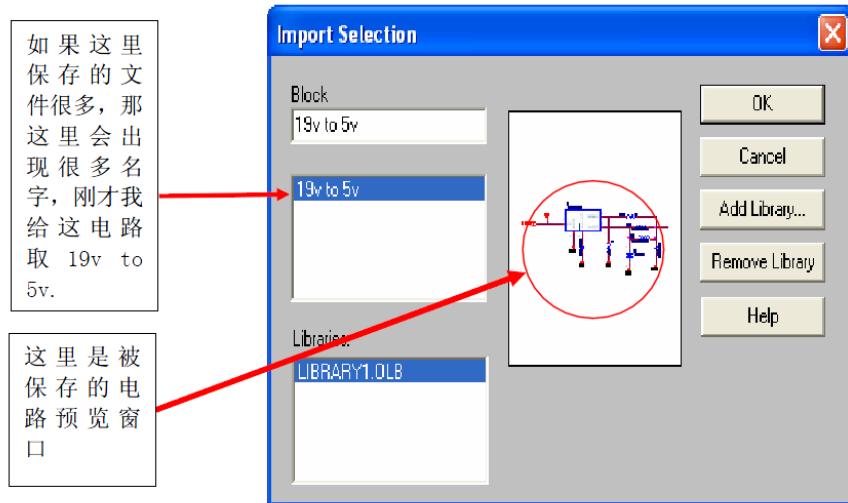
1. 选中电路，执行File/Export Selection；



2. 调用保存的电路，执行File/Import Selection；

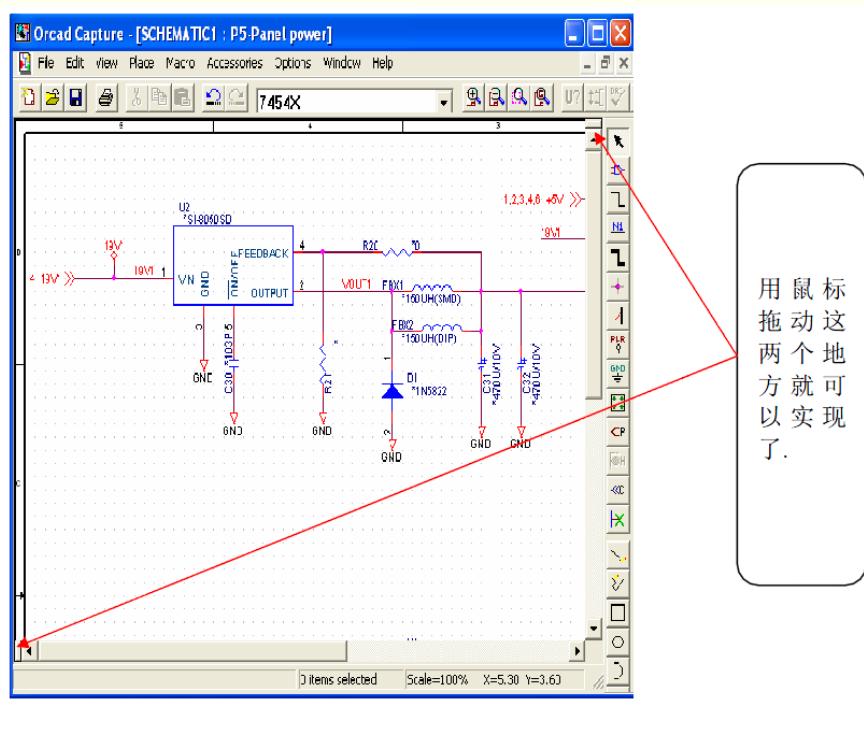


3. 点Add Library，选择刚才我们所保存电路的路径，如下



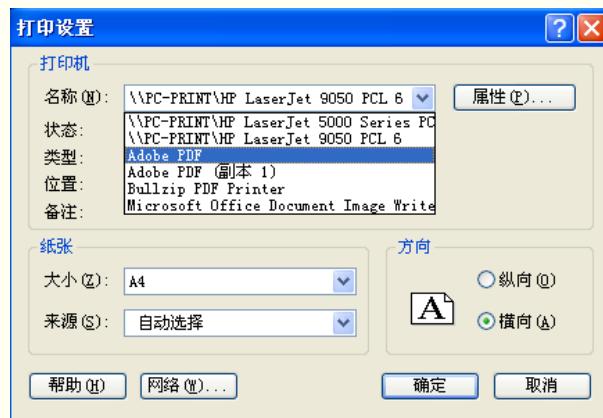
2.2.2.3 多窗口显示同一电路图

如下图所示：



2.2.2.4 orcad 转 PDF

装虚拟打印机，可用 ADOBE ACROBAT 安装软件，选择打印，在下拉框中选择 ADOBE PDF 打印机，点击打印即可。如下图所示：



2.2.2.5 规则设置

自动检测 warning 和 error

1. 检测未连接的引脚，显示出 warning 或 error。
2. 在 offpage 连接符后加上对应的页码。
- 3.

2.2.2.6 ORCAD 注意事项

1. 复制粘贴时必须注意：
 - 复制有多个部件的元器件时，粘贴其他部分的时候标号会和上部分的标号不一致，须手动改过来！
 - 如果是从 AD 转换成的 ORCAD 原理图，千万不要直接在 offpage 的网络标号上直接修改属性，其显示属性修改完后可能网络属性仍然不变，非常危险，而且检查不出来！
2. 使用ORCAD首先要建立工程，和其他软件类似也可以建立自己的元件库FILE/NEW/LIBRARY，然后就可以在里面设计自己的库了啊，但是在设计库的时候一般的要求线的类别，如输入，输出，电源，三态等，这些都要对照DATASHEET 选择，否则在DRC检查的时候会出现错误！

3. 有些设计需要多个电源的时候，在orcad库里的元件很多是隐藏电源的，如果你不显示出来的话，系统默认VCC，这样会使设计出错，那么可以用鼠标左键点击元件选中，然后点击右键，选择 EDIT PART 就可以修改了。
4. 画原理图的时候网络标号在线的两端最好都标注上，以便在DRC检查的时候可以轻松发现问题，而且可以尽量保证安全啊。
5. 在画总线的时候，要给总线起名字，而且总线的命名格式是如DIO[0..7]或者DIO[0:7]，这样子。总线的名字一定要写，否则DRC检查不能通过，还有画总线接入线的时候可能需要画很多，那有一种快捷的办法，就是把第一个接入线放好的时候，可以用鼠标左键点击接入线，沿着总线向你想要放的紧挨着的接入线的位置放下，然后点F4就可以轻松的放接入线了，还有其他的有规律的线都可以用这种方法！
6. 建立新页，一张电路图也许不能够画完所有的电路图，所以就需要分页，这样可以在管理窗口点击.ds1文件的子目录中的 schmetics 右键点，然后 NEW PAGE 就可以了，但是页与页之间一定要用 off-page connector 符号连接，原则是出来的都用 offpage left-L，进入的用 offpageleft-R，而且在同一页的这种标号最好放齐，进来的都放在页面的左边，出去的都放在页面的右边
7. 画原理图要分模快画，同一模快的放在一块
8. 相同元件的标号的放置，如果是水平放置的元件把标号和值放在元件两侧，尽量靠近元件，垂直放置的时候，放在一侧上下放置，值在上，标号在下
9. 如果在画图的过程中，某些元件需要改动或者删除的话，一定要重新给元件进行标号，那么首先要把标号变成问号的形式，然后用软件的排列可以给元件按照顺序编号
10. 生成网络表要在管理窗口下，点.ds1 的文件，然后点 tools/creat netlists，在生成网络表之前一定要把元件的封装添好。

2.3 PCB 部分

2.3.1 allegro 操作设置

2.3.1.1 快捷键设置

找到pcbenv文件夹中的env文件，在第二行加入

```
alias Del Delete
alias Pgdown zoom out
alias Pgup zoom in
alias ~R angle 90
alias ~F mirror
alias ~Z next
alias End redisplay
alias Insert Define grid
alias Home Zoom fit
```

~表示CTRL键，可自己再另外定义其他快捷方式

2.3.1.2 鼠标手势设置

鼠标手势使用方法：

ALLEGRO 自带的 Stroke 功能，一边按住 Ctrl 键，一边用鼠标右标在工作区域滑动，可实现不同的操作命令。表 2-2 为系统自定义 Strokes，自定义 Strokes 可在 **Tools**→**Utilities**→**Stroke Editor**。

不用按 Ctrl 键的设置方法：

setup→**User Preference**→**Ui**→**Input**→**✓ no_dragpopup**

表 2-2 系统自定义 Stroke 鼠标手势功能

Stroke	功能
C	Copy
M	Move
Z	Zoom In
U	Oops (undo)
W	Zoom Workd
^	Delete

2.3.1.3 移动器件时改变封装定位处

2.3.1.4 ALLEGRO 高效快捷键

如表 2-3 所示：多用快捷键将大大提高工作效率

表 2-3 快捷键

按键	对应指令
CTRL+N	新建
CTRL+O	打开
F6	DONE 完成操作
SHIFT+F6	移动
SHIFT+F5	复制
CTRL+D	删除
F4	信息查询
SHIFT+F4	测量，可查看线宽线距
F3	CONNECT 连线操作
SHIFT+F3	推挤
F10	网格显示
F2	使 PCB 缩放适应整个窗口
F11	放大
F12	缩小
F8	后退
F9	取消

2.3.1.5 ALLEGRO 操作对应命令

如[附录](#)中所示，可以在 HELP 文档中搜索 COMMAND 找到 COMMAND MAPPING 来查找操作对应命令。如图 2-6 所示。

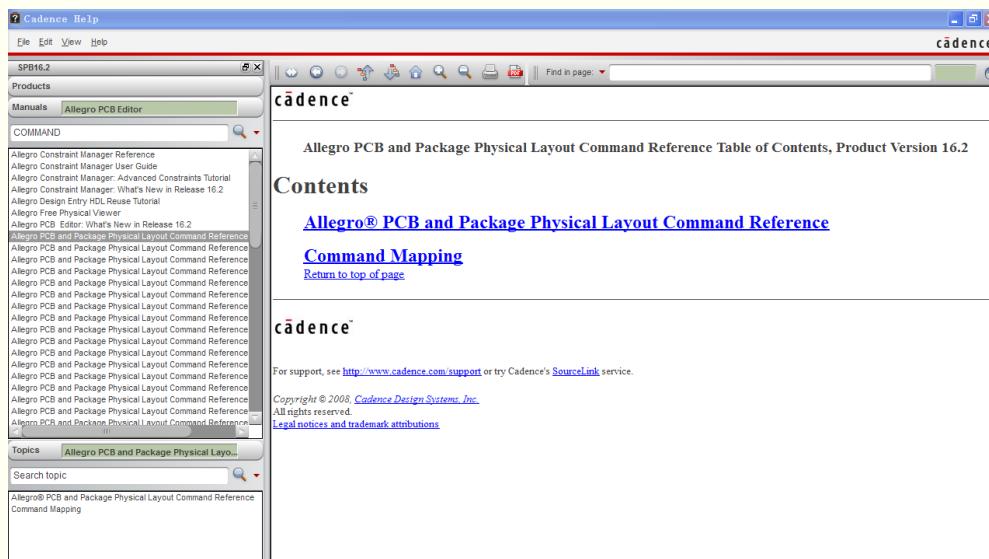


图 2-6 在 help 文档中查询操作命令

2.3.1.6 绘制图形的精确坐标定位

操作	命令	说明
输入绝对坐标	x m n	m 为 x 坐标, n 为 y 坐标。
输入相对坐标	ix m n	m 为相对上一点的 x 坐标距离, n 为相对上一点的 y 坐标距离。

2.3.1.7 移动器件时改变封装定位处

选择移动命令后, 如下所示, 在OPTION处可自己定义移动时的封装定位处。

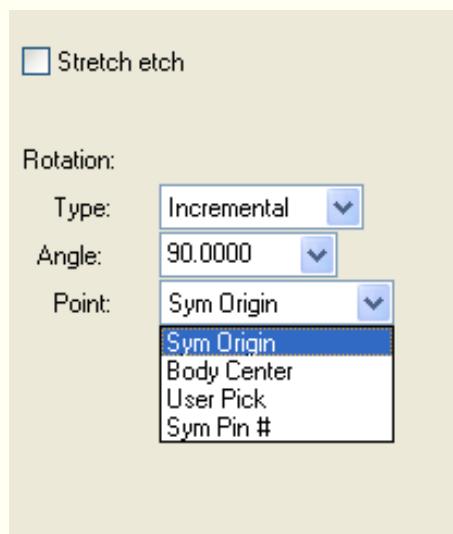


图 2-7 改变器件定位点

2.3.1.8 库设置

可在封装放在与 BRD 同一个文件夹下，即可调用，但会比较乱。

1. 将库元器件直接放在 BRD 同一个文件夹中，可自动引用此库元器件
2. **Setup** → **User Preference** → **Path** → **Library** → ...

主要是 padpath 和 psmpath 两部分的路径

2.3.1.9 注意事项

1. 同时在原理图里选中多个器件时，必须同时框住，才能在 ALLEGRO 里多个器件同时移动，如果按 CTRL 一个一个选中，则 ALLEGRO 里会高亮所有器件，但移动只能移一个。
2. 不能在 PCB 中单独放一个焊盘，必须为这个焊盘再建一个 DRA 文件，而且每个 DRA 封装都必须有PIN1脚。对应每个安装孔都是有 DRA 文件的。里面可能就一个焊盘。必须为 CONNECT PIN

2.3.2 allegro 参数设置

2.3.2.1 显示，关闭所有层

有时为了发现错误，不知道在哪一层，可以在 Display → color/visibility → global visibility 选择 ON 和 off 来进行所有层显示的切换

2.3.2.2 导入网表设置

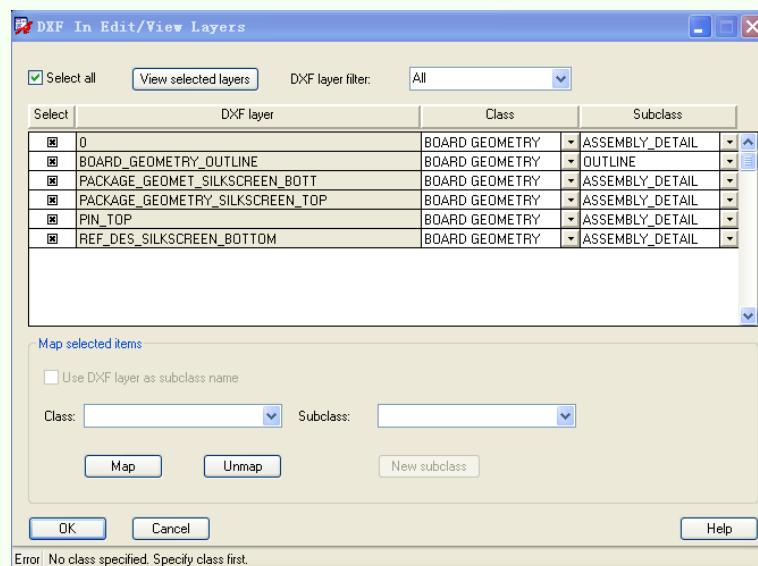
选择导入 DESIGN ENTRY CIS 的网表，有以下选项：

- Place changed component
 - Always: 无论元器件在电路图中是否修改，该元件会放在原处
 - Never: 如果元器件被修改过，不将它放于电路板中
 - If same symbol: 如果元器件修改过，但封装不变，元件仍然保留在原处
- Allow etch removal during ECO: 进行 2 次以后的输入网络表时，Allegro 会删除多余的线。
- Ignore Fixed Properties: 有 Fixed 选项的元素时，选项此项可忽略错误

2.3.2.3 导入 dxf 设置

注意事项：

1. 把 incremental additonal 勾上，否则会清空原有的布局布线设计，只显示 dxf 的图形。
2. DXF 的外框必须是完整的多义线，不能是一段一段的线拼起来的封闭线，否则不能 Z-COPY 外框，不方便电源和地层的铺铜。
3. 一般将 dxf 的参考外框导入一不需要的层，或新建一个 cad 层。在 PCB 设计中不用时关掉。如下图所示



2.3.2.4 导入元器件坐标设置

[File] → [import] → [placement]

注意要点：

1. 元器件必须未放置在 PCB 中，导入后才可以正确地放在坐标上，若已放置，请先删除。
2. 注意单位是 MIL 还是 MM
3. 导入的 txt 文件可根据自己的需要进行修改，改标号、正反面、旋转角度等

2.3.2.5 电源网络飞线显示设置

因电源和地显示太多飞线不方便，可将其属性设成在自己引脚上以星号显示。设置步骤如图 2-8 所示。记得不要在前面的框上打勾，直接点 OK 或 APPLY 就可以了，旁边有个显示属性的 TXT 文档，点 APPLY 后会显示属性增加。

EDIT → Properties → option 面板的 net → 选择网络 → Ratsnet_Schedule → Power and Ground

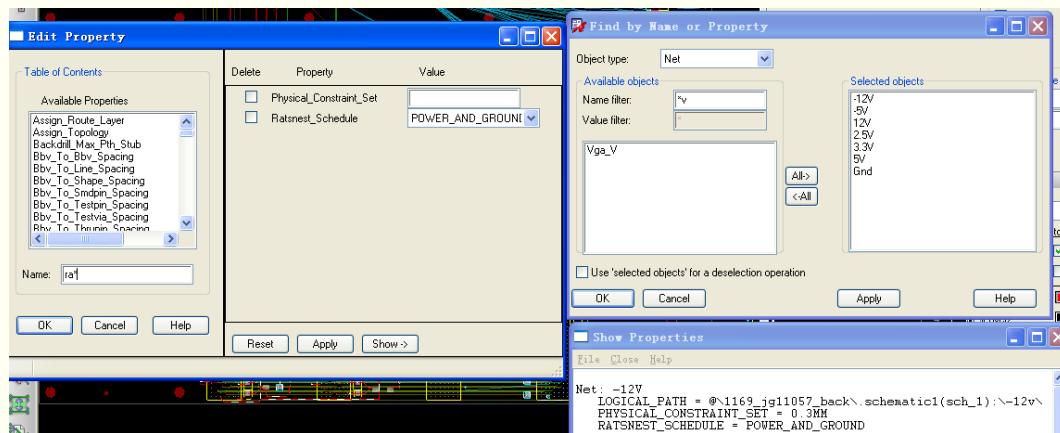


图 2-8 设置电源飞线显示

2.3.2.6 布板常用规则设置

本规则以常用的 CPCI 板卡规则为例，其设计可看情况参考

1. 间距

首先 SHAPE 大面积铺铜到线及各孔的距离最小为 0.2mm，建议都设为 0.3mm，其中 shape 到 shape 设为 0.5mm 或更高。线 line 到其他网络的距离设为 0.178，这样可以在 CPCI 连接器里走 2 根线。如图所示：

Type	Objects	Line To									
		Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Microvia	Shape	Bond Finger
		mm	mm	mm	mm	mm	mm	mm	mm	mm	mm
*	*	*	*	*	*	*	*	*	*	*	*
Dsn	back_1045	0.1780	0.1780	0.1780	0.1780	0.1780	0.1780	0.1780	0.1780	0.3000	0.1780
SCS	DEFAULT	0.1780	0.1780	0.1780	0.1780	0.1780	0.1780	0.1780	0.1780	0.3000	0.1780
SCS	2_5MM	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000
Type	Objects	Shape To									
		Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Microvia	Shape	Bond Finger
		mm	mm	mm	mm	mm	mm	mm	mm	mm	mm
*	*	*	*	*	*	*	*	*	*	*	*
Dsn	back_1045	0.3000	0.3000	0.3000	0.3000	0.3000	0.3000	0.3000	0.3000	1.0000	0.3000
SCS	DEFAULT	0.3000	0.3000	0.3000	0.3000	0.3000	0.3000	0.3000	0.3000	1.0000	0.3000
SCS	2_5MM	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000	2.5000

2. 线宽

3. 等长

4. 铺铜

5. 区域

2.3.2.7 AD PCB图封装转换ALLEGRO

步骤 1: AD 转成 PROTEL : 将 PCB 文件另存为 PROTEL 2.8 ASCII .PCB 文件

步骤 2: PROTEL 转成 ORCAD : 打开 CADENCE 16.2 的 LAYOUT PLUS , IMPORT 选项的 PRTOTEL PCB, 选择转化的 PCB 文件, 并转成 MAX 文件。

步骤 3: ORCAD 转成 BRD : 新建 BRD 文件, IMPROT 选 ORCAD LAYOUT。

步骤 4: BRD 导出 LIB : EXPORT 选 LIBRARIES , 全选, EXPORT 得到元器件的封装, 这时焊盘的相对位置都是正确的, 把焊盘换成自己库中正确的焊盘, 加入 RES 标记 layout->labels->refdes 在 REF DES 的 TOPSILK 层中, 再设定所占区域 set up -> areas->package boundary。对应所在的 package geometry 的 place-bound-top 层中

注意事项:

1. 最大的问题: 有时候转过去的 AD 封装引脚左右是反的, 切记核对, 大多是正常的, 如果遇到反的情况可以多试几次, 试下放在板子背面。
2. 安装孔都被转成连接焊盘了, 在封装中要将其去除, 重新加一个, 记得保存下焊盘的坐标信息。
3. 焊盘都得重新换过, 或者改成合格焊盘后, 保存成对应的名称, 保存到自己的库内
4. 记得把所在文件夹加入到 CADENCE 的库路径内, 否则打开转出的文件会看不到焊盘, 注意保持英文和无空格路径。
5. 必须放在英文目录下ORCAD才能导入PROTEL PCB
6. 必须在.PCBDOC中加入封装, 再转换成.PCB文件才能使用, 不能直接在.PCB中加入封装
7. export 的选项要全部勾上, 特别是 No Library Dependencies, 否则生成封装找不到焊盘

2.3.2.8 引入外部设置

通过 import 设置可引入之前或别人的设置，不用再重复设置。已发现的可引入的有以下几种，推荐引入层数，ARTWORK，颜色这三种常用设置：注意引入规则设置时须将各层的名字改成与原规则层数一致，否则不起作用，建议统一设成 LAYER2,LAYER3... 格式。

1. 层数设置：将以前的 PCB export TECH 文件，再导入即可，以后多层板不用每次手工再加入层数，建议 4, 6, 8, 10 层板各导出 TECH 文件，以后再画板可重新导入，另外单位也会导入进去，注意设置好 MM 或是 MIL
2. 颜色设置：PARA 参数文件，注意 EXPORT 时选择需要的选项，不要全选，因为删掉很麻烦。
3. ARTWORK 设置：PARA 参数文件，建议将 4, 6, 8, 10 层对应的 ARTWORK 设置都保存一个参数文件，这样每次生成 GERBE 文件将非常方便。
4. 元器件位置设置：可用 EXPORT 选 placement 选项，导出为 TXT 文件，里面保存了元器件的坐标，旋转角度，标号，可对其进行修改或根据自己需要增加删除元器件，比较适合抄别人的板子，或替换个别元器件。
5. 规则设置，CONSTRAINT 文件，默认是 5 MIL 的线宽线距，建议设置好 7MIL 的线宽线距再导入。有时导入后的层数会发生变化。
6. DXF 文件：一般用于 CAD 确定的外形尺寸，建议全部导入至 CADENCE 的 BOARD GEOMETRY 的 ASSEMBLY-DETAIL 层，在 BRD 文件通过打开和关闭此层来定位元器件。但导入后 BRD 文件会丢失以前的布局设置，只显示当前导入的外形，所以只能在布板前导入设计。

注意事项：

1. 由于导入后各层的名称不会变化，所以除 TOP 和 BOTTOM 层外，建议统一使用 LAYER2, LAYER3, LAYER4, 等来命名各信号和电源层。方便导入以后的设计同时也方便 PCB 加工厂确定各层的顺序，不要使用 VCC, GND 等其他名字来命名层。

2.3.2.9 批量修改网络拓扑属性设置

在自动布线前设计好网络的拓扑结构，对多个焊盘共用一个网络的布线特别有用，如 CPCI 背板中，可在设置中批量改成 Minimum spanning tree¹ 属性再进行自动布线。步

¹ 因为不确定 Driver PIN 是哪个，用其他拓扑可能会导致布线时绕过最近的 PIN 而连到比较远的 PIN

骤如下：

Constraint Manage → electrical → wire → Topology → Schedule

2.3.2.10 拓扑结构的设置

在布线时，如果多个引脚共用一个网络，则其布线策略可有多种形式，这就需要设置其网络的拓扑结构来进行自动布线的设置。主要参考 Cadence Help 的 Working with Topologies 章节。[见附录](#)，拓扑设置修改参考手册上的步骤。

2.3.2.10.1 T 结点的设置 即设置布线时的分叉交点。参考帮助文档。

2.3.2.10.2 Minimum Spanning tree 拓扑 如图 2-9 所示，特点如下：

- 用布线长度最短的策略连接所有的 PIN 引脚；
- 一个 PIN 可以连接任意数目的 PIN；
- 首先从第一个 driver 出发，找到最近的 PIN 并布线连接，然后找未布线的 PIN 中与布完线后的任一 PIN 最近的一个并布线，一直重复此过程直到布线完成。

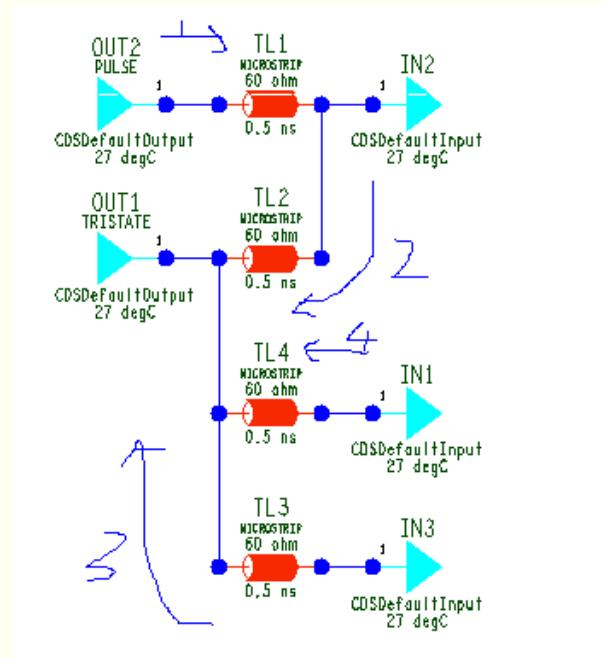


图 2-9 Minimum spanning tree 拓扑结构图

2.3.2.10.3 Daisy Chain 拓扑 菊花链拓扑，如图 2-10 所示，特点如下：

- 在每个引脚最多只连接两个其他引脚的前提下，用布线长度最短的策略连接所有的 PIN 引脚；
- 首先从第一个 driver 出发，找到最近的 PIN 并布线连接，以这个最近的 PIN 为原点，再找最近未布线的 PIN 进行连接，如此重复直到引脚连接完成。
- 与 minimum spanning tree 不同的是 Daisy Chain 进行下一次布线前已确定好参考 PIN（最后一个），不能再连接到第一个 PIN。而 minimum spanning tree 没有 PIN 的限制，只要是最近的 PIN 就行。

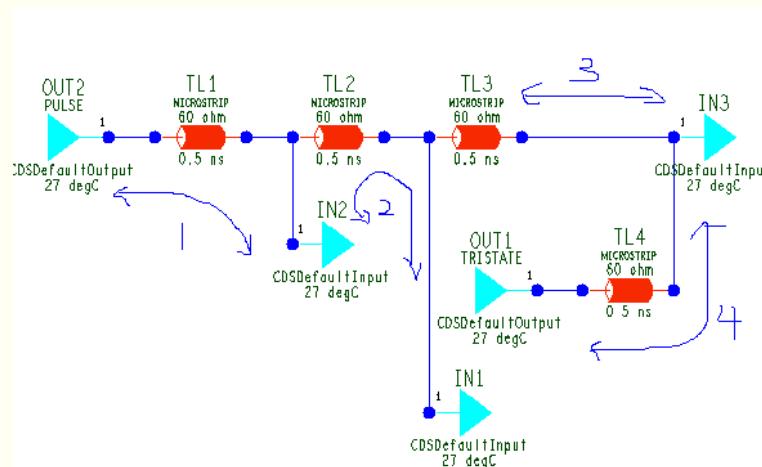


图 2-10 Daisy Chain 拓扑结构图

2.3.2.10.4 Source Load Daisy Chain 拓扑 如图 2-11 所示，Source Load Daisy Chain 拓扑类似 Daisy Chain，不同的是要先将 Driver PIN 连接完再连接 Receive PIN。

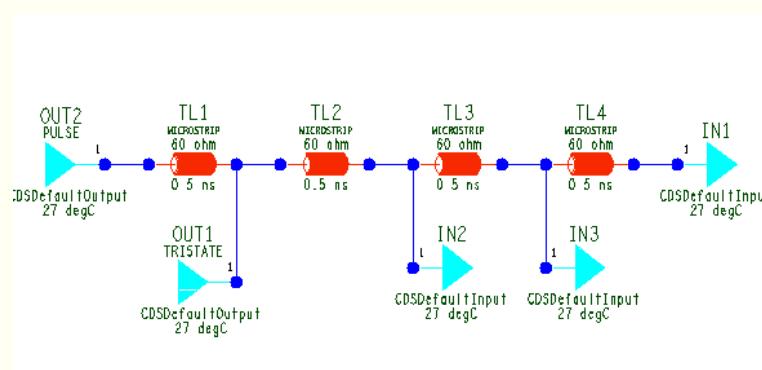


图 2-11 Source Load Daisy Chain 拓扑结构图

2.3.2.10.5 Star 拓扑 如图 2-12 所示，首先 Driver PIN 以 Daisy Chain 拓扑连接完成后，所有的 Receive PIN 都连接到最后一个 Driver PIN 的引脚上。图中 1 表示第一步连接 Driver PIN，图中 2 表示 Receive PIN 从最近的 PIN 开始，都连接到最后一个 Driver PIN 上，这里为方便理解都看作第 2 步，实际上会按距离的长短来排序进行。

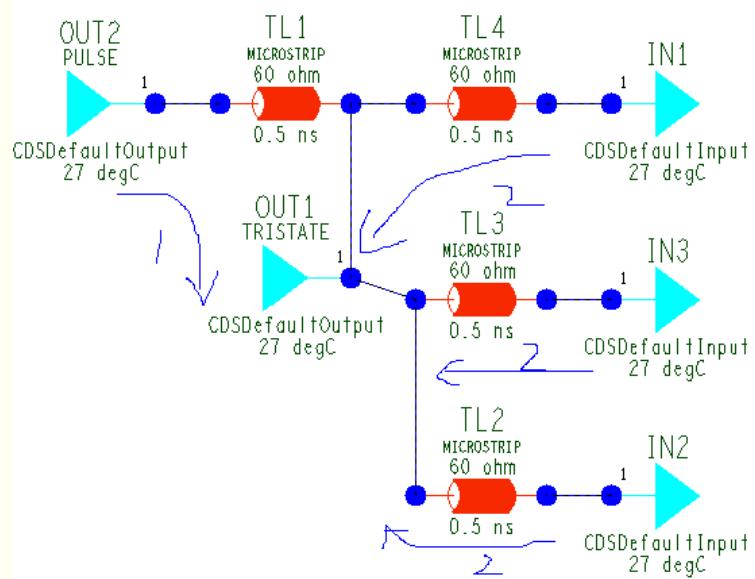


图 2-12 Star 拓扑结构图

2.3.2.10.6 Far End Cluster 拓扑 如图 2-13 所示，不同的是最后一个 Driver PIN 和 Receive PIN 以 T 结点的方式连接，不直接连接到引脚上。

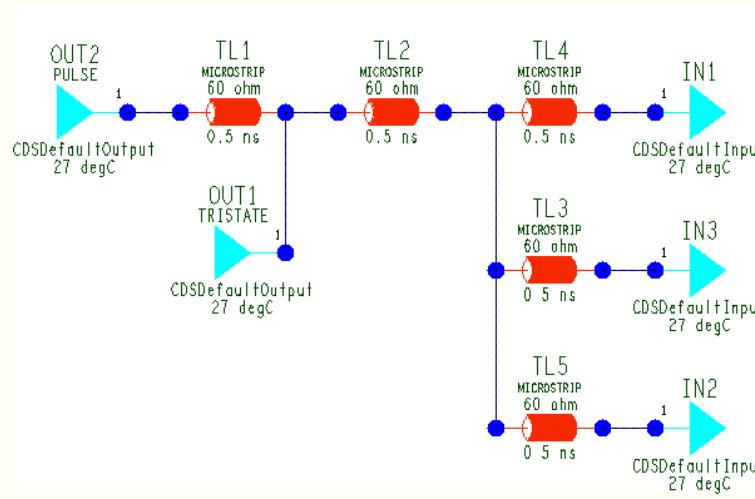


图 2-13 Far End Cluster 拓扑结构图

2.3.2.11 ALLEGRO 自动布线设置

与 AD 最本质的区别，也是多花几个月学 CANDENCE 之后发觉最 NB 的一项功能，学会了之后，你将摆脱 AD 的拉线工人般的苦力活，你可以轻松地一边喝咖啡一边工作。

2.3.2.11.1 规则设置要点

1. DIFFERENT 的 neck 设得比正常时小 1 mil，不然很多 MITTER 后拐角处会小 0.001mil 的间距，会有DRC错误。uncouple length 设大一点，400mil 因为从不同引脚出来的差分脚的间距有时会很长。
2. 自动布线是会按 PHYSIC 规则设定的线宽进行布线，注意是否设置了区域规则，有优先级顺序。
3. 请先将电源平面和地平面设定好后再自动布线，电源线和地线一般自己拉。比如去耦电容，最好自己一个一个地打过孔接地，自动一般会全连起来，再打一个过孔接地，这种方式不利于去耦。

2.3.2.11.2 半自动拉线 在规则中先设定好线宽，线距和过孔。不管路径，随便找一条路点过去，快到终点时点右键 finsh ,只要对面无障碍物就可以。线很不平，坑坑洼洼怎么办，点 ，再用推挤工具调整大致位置。

2.3.2.11.3 SUPER 自动拉线 此项针对干要将几百根线一起差分内等长，差分对间也等长的拉线工作而言。在 AD 干这种事情一般都是在虐待自己的脑细胞和身体，在 CADENCE 里则意味着你将喝咖啡的时间从一分钟提高到 10 分钟。

对于非差分线，设置自动布线，设置完后，点自动布线，查看最大长度，将最大长度加减裕量设在规则内，（最好后加小数点后两位）然后再自动布线，布完后点 MITTER ，一般的线长会自动在几个 MIL 误差范围内。

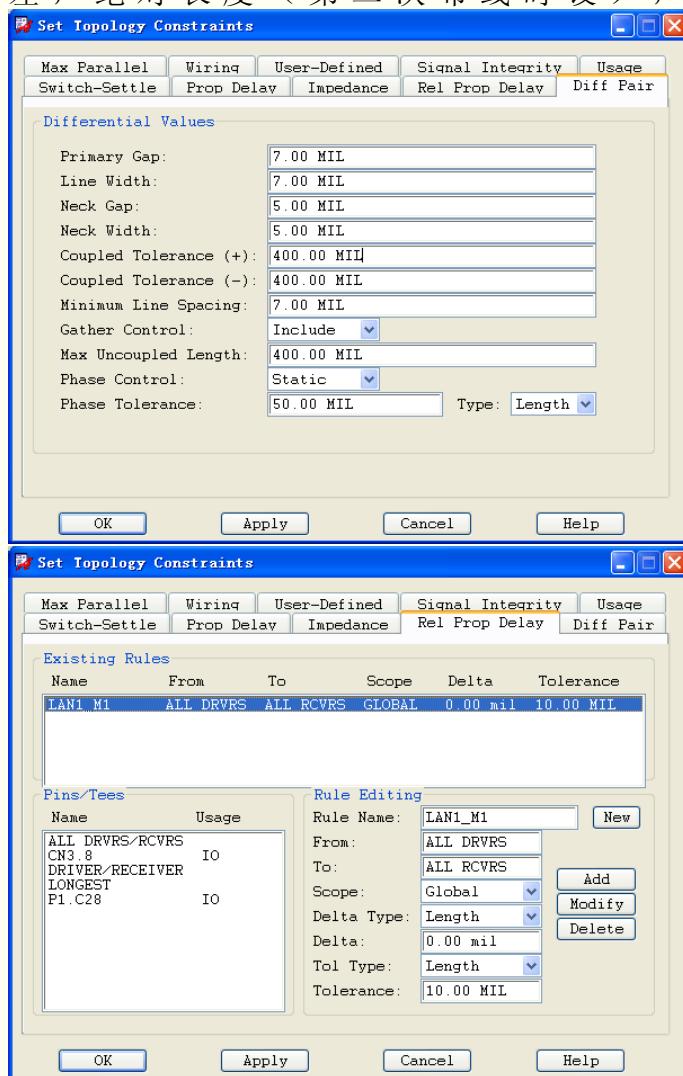
差分线因为内部有多个规则设置，一旦有违反设置的地方，结果就有很大一部分不等长，经多次试验，按以下规则设置，可使差分线尽可能符合规则，使最终等长结果 测试结果可使常用的差分线自动布线后等长在2mil范围内。

步骤 1： 设置 PHYSIC NET 规则，限定线宽，差分线宽线距，NECK，过孔类型

Dsn	BSPLC	DEFAULT	5.00	50.00	7.00	0.00
NCIs	DATA	DEFAULT	5.00	50.00	7.00	0.00
NCIs	LAN	7MIL	7.00	50.00	5.00	0.00
NCIs	PAREELL	7MIL	7.00	50.00	5.00	0.00
NCIs	SERIAL	7MIL	7.00	50.00	5.00	0.00
NCIs	USB	7MIL	7.00	50.00	5.00	0.00
NCIs	VGA	15MIL	15.00	50.00	7.00	0.00
NCIs	422_1	DEFAULT	5.00	50.00	7.00	0.00
Net	GND	DEFAULT	5.00	50.00	7.00	0.00
Net	N18463051	DEFAULT	5.00	50.00	7.00	0.00
Net	N18467137	DEFAULT	5.00	50.00	7.00	0.00
Net	RST	7MIL	7.00	50.00	5.00	0.00
Net	5V	15MIL	50.00	50.00	50.00	100.00
Net	12V	15MIL	15.00	50.00	7.00	0.00

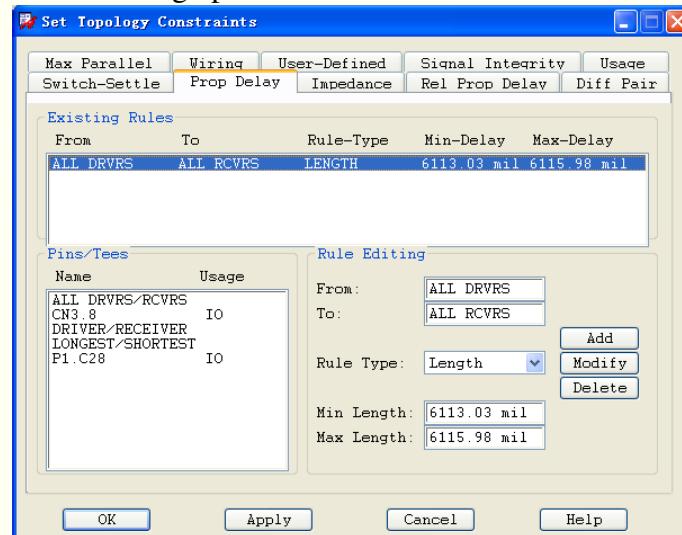
*	*	*	*	*
0.00	0.00	0.00	0.00	VIA60-30-85
0.00	0.00	0.00	0.00	VIA60-30-85
7.00	7.00	0.00	0.00	VIA60-30-85
7.00	7.00	0.00	0.00	VIA60-30-85
7.00	7.00	0.00	0.00	VIA60-30-85
7.00	7.00	0.00	0.00	VIA60-30-85
0.00	0.00	0.00	0.00	VIA60-30-85
0.00	0.00	0.00	0.00	VIA60-30-85
0.00	0.00	0.00	0.00	VIA60-30-85
0.00	0.00	0.00	0.00	VIA60-30-85
7.00	7.00	0.00	0.00	VIA60-30-85
7.00	7.00	0.00	0.00	VIA60-30-85
7.00	7.00	0.00	0.00	VIA60-30-85

步骤 2: 设置 sigXploe 的规则，设置差分线间距，相对线间误差，绝对长度（第二次布线时设），第一次开始布线

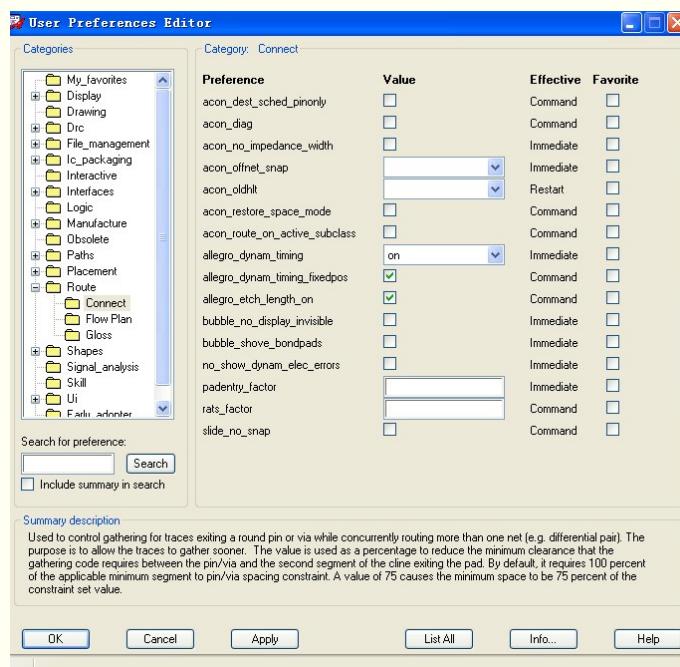


步骤3: 设置 route automatic 规则，设置走线层，是否保护，共享过孔，MITTER。

步骤4: 选定网络名或选 route nets by pick，布线完后查看最长的线长，加上几百 MIL 后在 sigXploe 中设定绝对长度，注意不要有多个绝对长度规则。



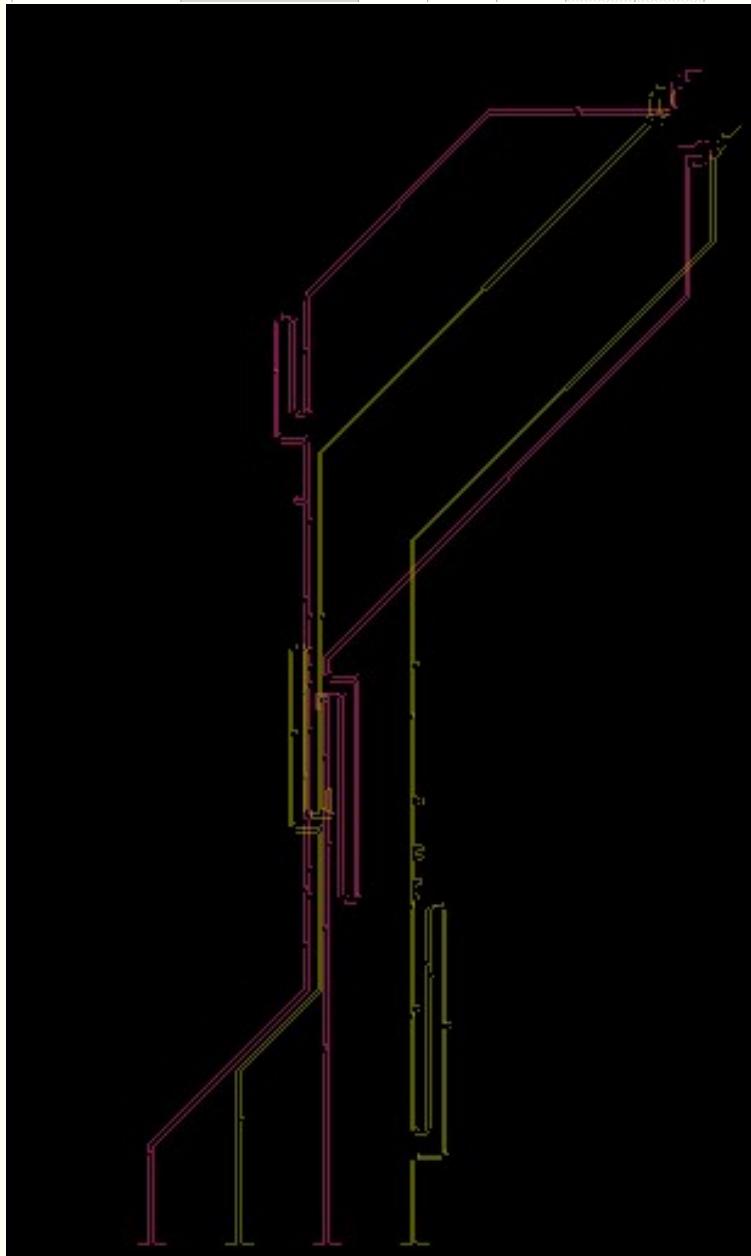
步骤5: 第二次自动布线，一般布完后就基本等长，有时几十根线中有一根差别很大，其他都一样长，这时候就手动拉一下，在 set preference 中的 routing 设置显示动态长度进度条，会看到三个绿色栏，手动拉一下，enjoy



步骤 6: 自动布线的效果，在规则管理器中查看，ELECTIAL 的 NET → ROUTING → min/max progration delays 中用颜色显示了绝对长度的匹配程度，红色表示不符合，绿色表示符合，边上会显示误差值，一般在几个 mil 之内。经常会有红色 0.01mil 的误差，把规则改下就行了，在 total etch length 中 actual 栏中选中要分析的布线，按 F9 会给出网线的布线长度，或右键 analyze。布好后的效果如下图所示

NCIs	□ 422	422		
DPr	□ 422RXD0_1	422		
Net	422RXD0_1_N	422		8600.23
Net	422RXD0_1_P	422		8604.67
DPr	□ 422RXD0_2_	422		
Net	422RXD0_2_N	422		8600.22
Net	422RXD0_2_P	422		8600.22
DPr	□ 422RXD0_3	422		
Net	422RXD0_3_N	422		8600.21
Net	422RXD0_3_P	422		8604.65
DPr	□ 422RXD0_4	422		
Net	422RXD0_4_N	422		8603.22
Net	422RXD0_4_P	422		8600.21
DPr	□ 422RXD0_5	422		
Net	422RXD0_5_N	422		8600.21
Net	422RXD0_5_P	422		8604.65
DPr	□ 422RXD0_6_	422		
Net	422RXD0_6_N	422		8600.21
Net	422RXD0_6_P	422		8604.39
DPr	□ 422RXD0_7_	422		
Net	422RXD0_7_N	422		8602.66
Net	422RXD0_7_P	422		8600.21
DPr	□ 422RXD0_8_	422		
DPr	□ 422RXD0_9	422		
DPr	□ 422RXD0_10	422		
DPr	□ 422RXD0_11	422		
DPr	□ 422RXD0_12	422		
DPr	□ 422TXD0_1	422		
DPr	□ 422TXD0_2_	422		
DPr	□ 422TXD0_3	422		
DPr	□ 422TXD0_4	422TXD0_4		
DPr	□ 422TXD0_5_	422		
DPr	□ 422TXD0_6_	422		
DPr	□ 422TXD0_7_	422		
DPr	□ 422TXD0_8_	422		
DPr	□ 422TXD0_9	422		
DPr	□ 422TXD0_10	422		
DPr	□ 422TXD0_11	422TXD0_11		
DPr	□ 422TXD0_12	422TXD0_12		
Net	422TXD0_12_N	422TXD0_12		8600.21
Net	422TXD0_12_P	422TXD0_12		8604.66

LAN1	All Drivers/All Receivers		6110.02 ...	0.05 mil	6116.98 ...	0.99 mil
RD1	All Drivers/All Receivers		6110.02 mil	0.05 mil	6116.98 mil	3.95 mil
RD1+	All Drivers/All Receivers	P1.C33:CN3.3	6110.02 mil	3.01 mil	6116.98 mil	3.95 mil
RD1-	All Drivers/All Receivers	P1.C34:CN3.4	6110.02 mil	3.01 mil	6116.98 mil	6.91 mil
RD2	All Drivers/All Receivers		6110.02 mil	6110.07 ...	0.05 mil	6110.07 ...
RD2+	All Drivers/All Receivers	P1.C27:CN3.7	6110.02 mil	3 mil	6116.98 mil	1 mil
RD2-	All Drivers/All Receivers	P1.C28:CN3.8	6110.02 mil	3 mil	6116.98 mil	3.96 mil
TD1	All Drivers/All Receivers	P1.C36:CN3.1	6110.02 mil	6113.02 ...	5.96 mil	6116.98 mil
TD1+	All Drivers/All Receivers	P1.C37:CN3.2	6110.02 mil	6115.08 ...	5.96 mil	6115.08 ...
TD2	All Drivers/All Receivers	P1.C30:CN3.5	6110.02 mil	3.02 mil	6116.98 mil	0.99 mil
TD2+	All Drivers/All Receivers		6110.02 mil	5.97 mil	6116.98 mil	0.99 mil
TD2-	All Drivers/All Receivers	P1.C31:CN3.6	6110.02 mil	6115.99 ...	3.02 mil	6116.98 mil
			6110.02 mil	6113.04 ...	3.02 mil	6113.04 ...



2.3.12.12 自动布线所需设置的规则

自动布线的质量严重依赖于规则的设置。好的规则可以很快地自动布出高质量的线，反之则悲剧。

2.3.12.12.1 差分线规则 要想对差分线自动布线，推荐按以下规则设置差分线规则，如图 2-14

其中规则设置的要点如表 2-4 .

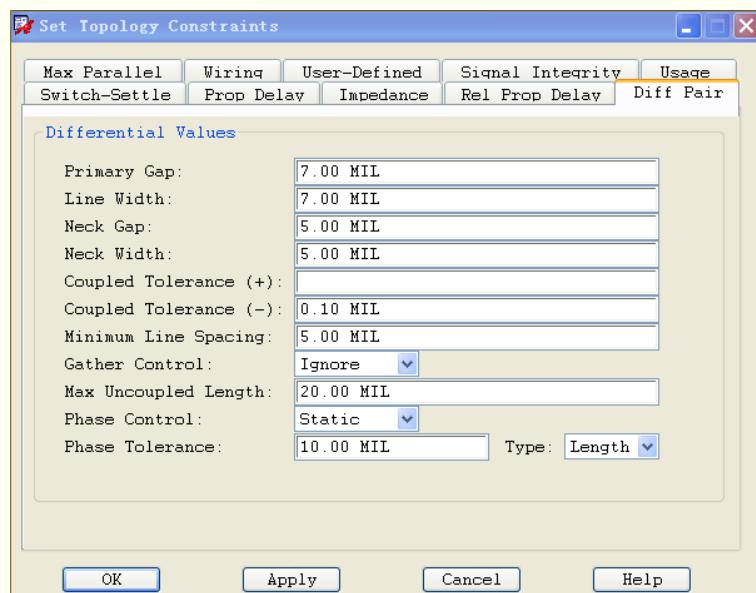


图 2-14 差分线规则的设置

Uncoupled Length	除了平行走线的这段距离外的走线距离，Include 表示包括从引脚出来这段距离，Ignore 表示忽略。
Phase Tolerance	相位差: 差分线的两条长度之间的差值
Primary Width(gap)	自动布线优先线宽和线距
Neck Gap(width)	其次可允许的最小线宽和线距
Line Spacing	值要小于 Neck 减 (-) Tolerance

表 2-4 差分线规则要点

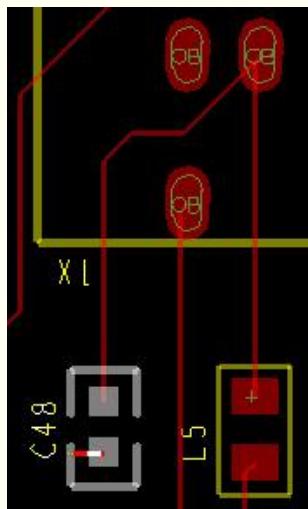
2.3.12.2 间距规则

2.3.12.3 物理规则

2.3.2.13 xnet 设置

在 Constraint Manager 里可以设置 XNET，但是需要将对应的元器件都建立模型。在 **Analyze** → **SI EMI SIM** → **Module** → 选择一个 xnet 中用到的元器件参数，输入任意值 → 然后 autosetup，确定

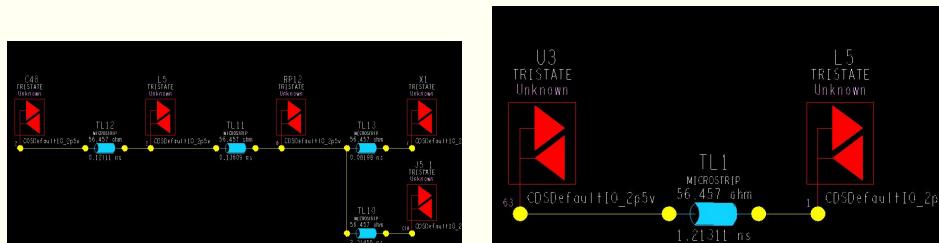
1. 原网络 KBDATA、KB_DATA:



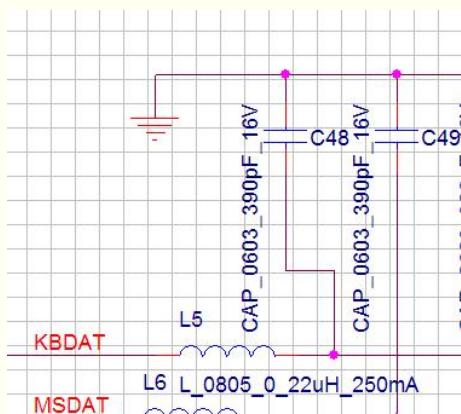
Constraint Manager 显示：



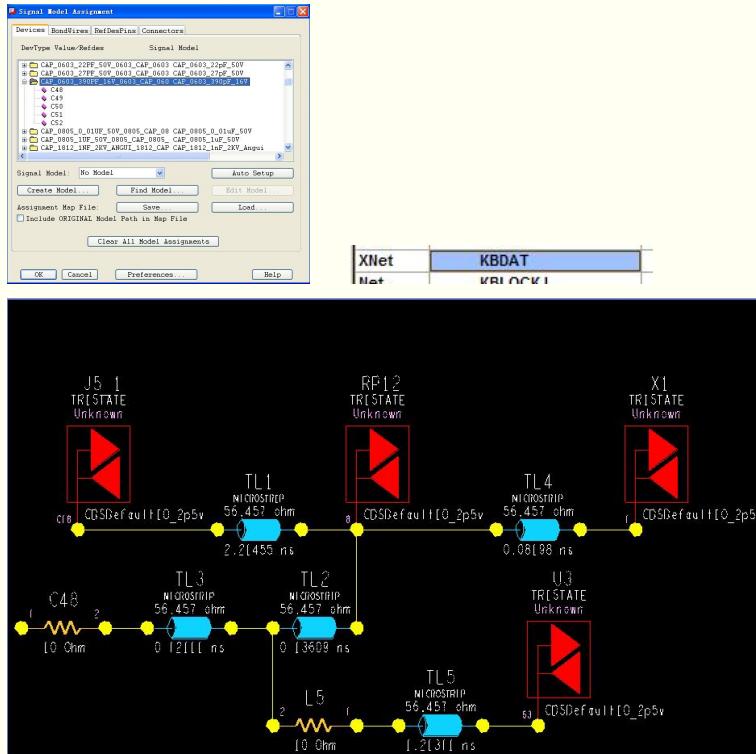
SIGXPLORER



2. 建立模型：找到 Xnet 中用到的器件，按本节方法生成 Module



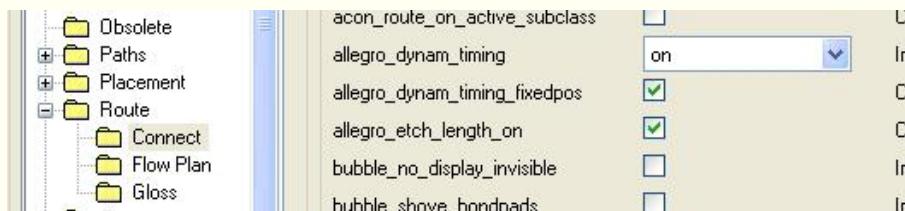
3. 自动生成xnet:



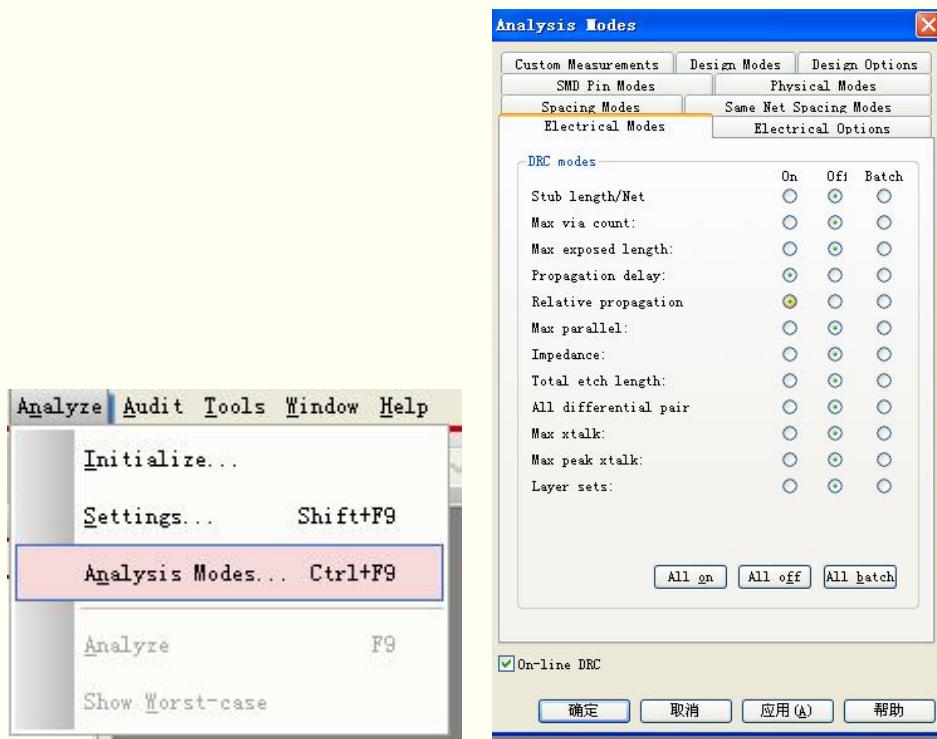
2.3.2.14 相对等长设置

2.3.2.14.1 相对等长显示设置

1. 布线图中显示约束进度条:

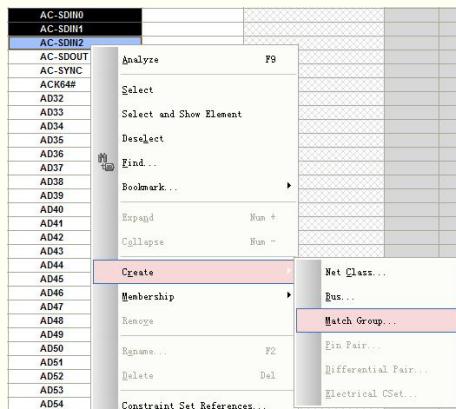


2. 管理器中显示所有长度数值:

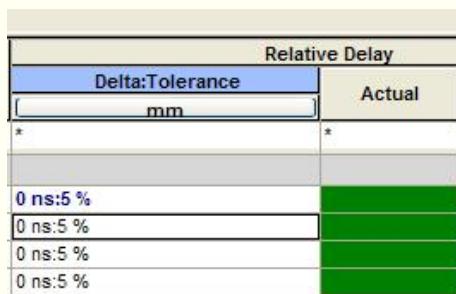


2.3.2.14.2 相对等长约束设置

1. 建立组：选取要等长的一组线，创建组。



2. 设置相对约束：也可以在 SigXplorer 里设置约束。



3. 设置 Target 线：默认的 target 线按以下规则设定，可以在 SigXplorer 里单独对最长的线将 delta 值改为 None。

- 有且只有一对 pin-pair delta 的值设为 None（**不是 0**），此线为 Target。
- 所有 pin-pair 都有 delta 值，则 delta 值最小的线为 Target
- 多个 delta 值最小，则长度最长的 pin pair 线为 Target
- 多个 delta 值为 None，则 长度最长的 pin pair 线为 Target

2.4 PCB 检查流程

2.4.1 检查报告

在菜单中选择 TOOLS → quickreports → 主要检查

- 未放置的器件 Unplaced components
- 未连接的引脚 Unconnected pin
- DRC 错误 Design Rules Check Report

容易出问题的还有铺铜，选择 shape report，可以查看铜皮的属性，将前面有 no etch 属性的 shape 找到，打开所有层看其所在的位置。有时会在 Boundary 的层上有一些 SHAPE 导致铜不能 UPDATE TO SMOOTH，需要打开对应层，删除其 SHAPE，一般可以在 shape report 里查看到其 shape 属性为 No Etch。

2.4.2 修改注意事项

有 DRC 也可以生成 GERBER 文件，确定后设置好 ARTWORK，undefined width 须设成 0.12mm，这个宽度表示默认的丝印厚度，太粗了看不清，默认会 0 不显示丝印，须每层单独设置，无法批量修改。artwork 的层数设置可以从以前的参数导入，必须保证对应的层的名称相同（除了 TOP 和 BOTTOM 外的其他几层的名字）。

2.5 GERBE 制板文件

送去 PCB 厂的文件包括投板说明和投板文件两部分，如果用 AD 画的 PCB，只要将原来的 PCB 和投板说明发过去就可以，用 Cadence, Mentor 等高级作图工具需将 PCB 转化成 Gerbe 文件。

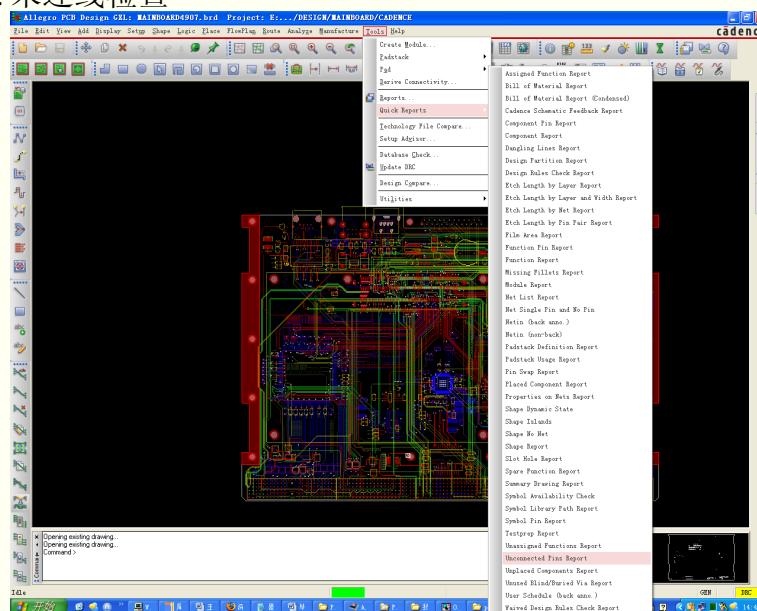
2.5.1 印制板最终文件设置

在画板完成后，需要制作 GERBE 及钻孔文件，主要流程如下：

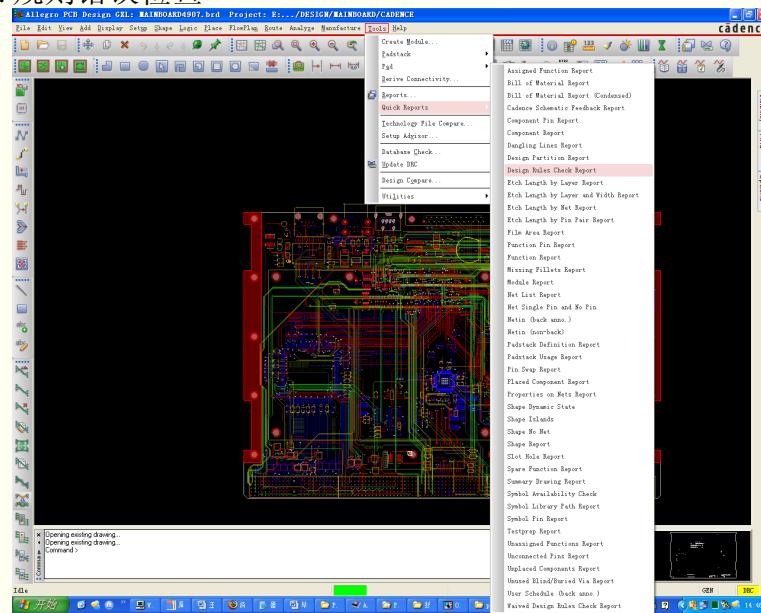
注：有时生成不了 GERBE 文件可试着用 TOOL 的 Database Check 工具 Check 一下，有时 Check 完就好了。

步骤1: 规则检查设置，主要检查未连接的网络和违反规则的地方，有错则改至无错为止。注：有 DRC 错误也可生成 GERBE 文件

1. 未连线检查

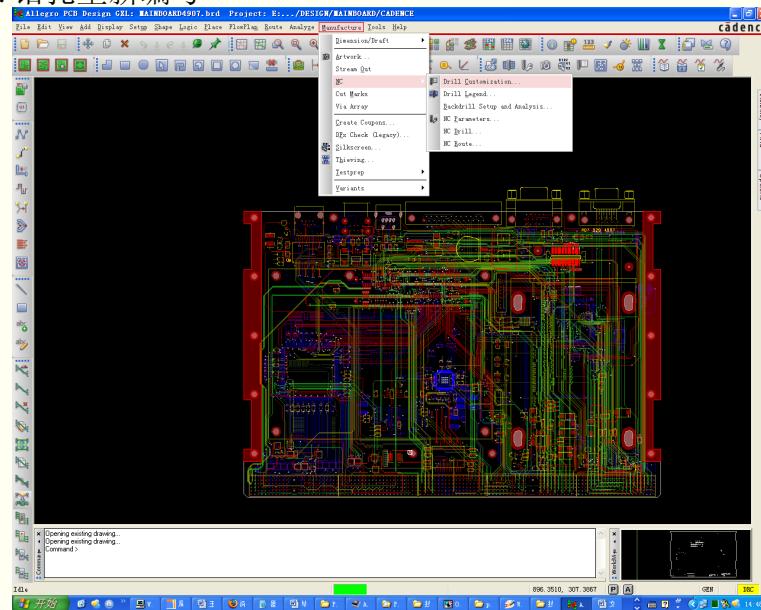


2. 规则错误检查

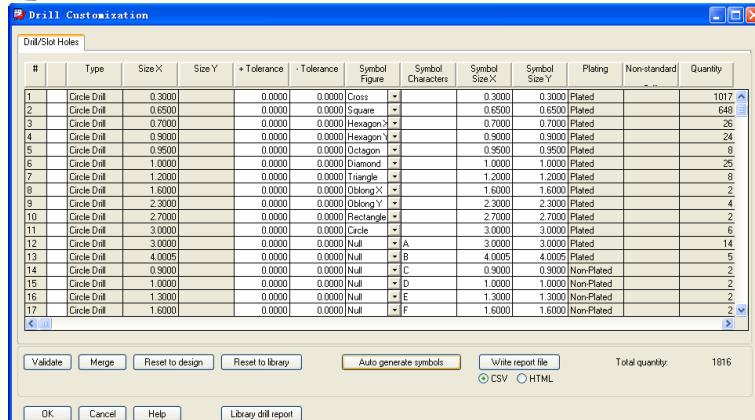


步骤2： 钻孔文件设置，按以下顺序依次设置，如有异形孔：如椭圆孔和方形孔需再加最后的NC-route步骤，无则可省略

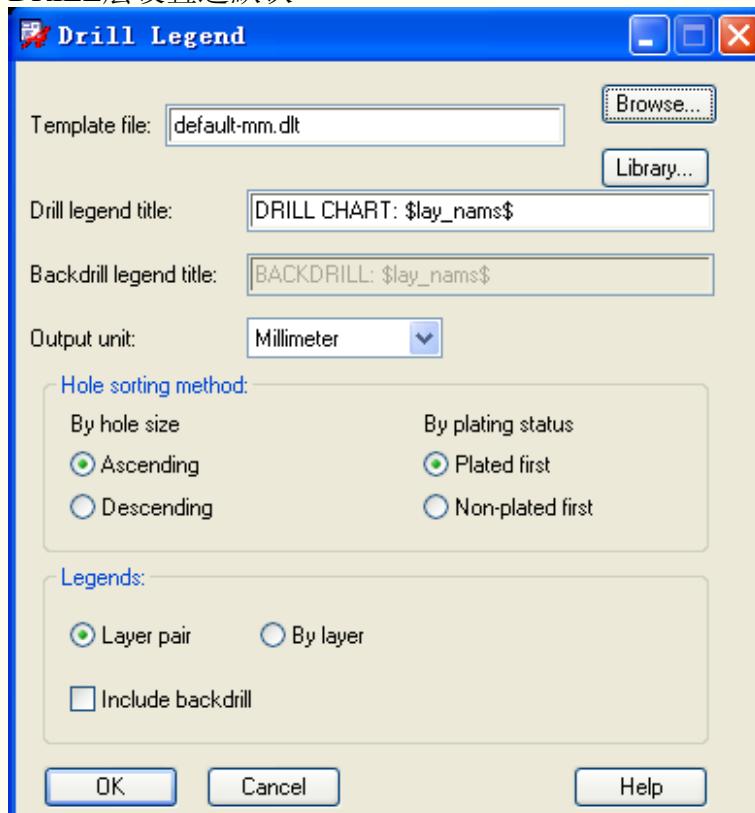
1. 钻孔重新编号



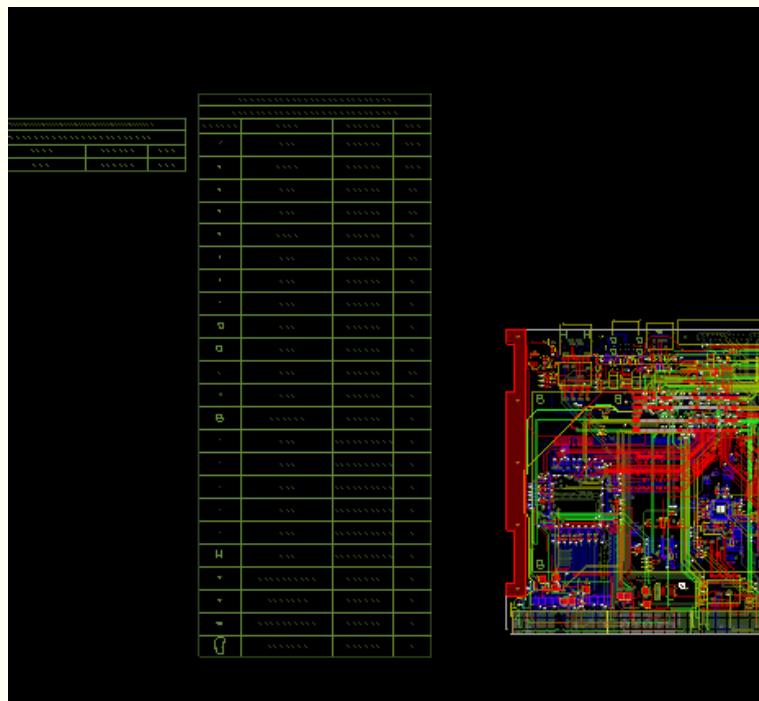
2. 选 Auto → OK



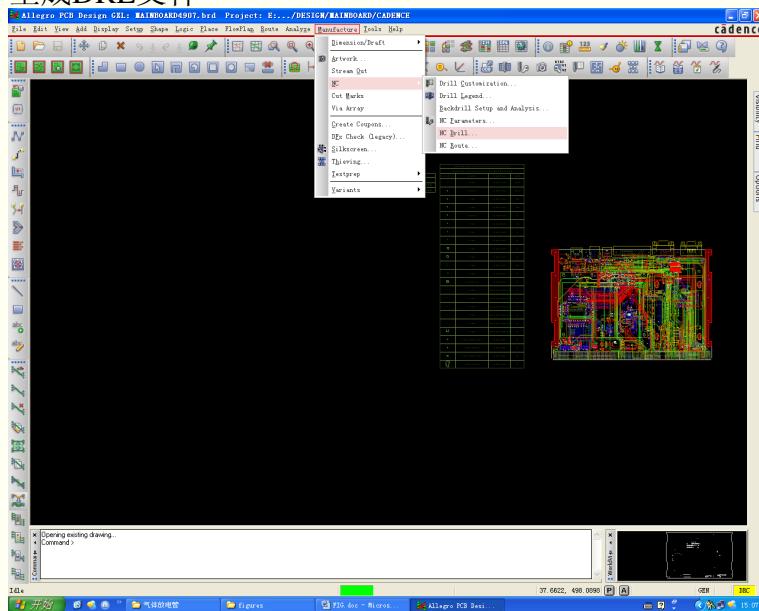
3. DRILL 层设置选默认



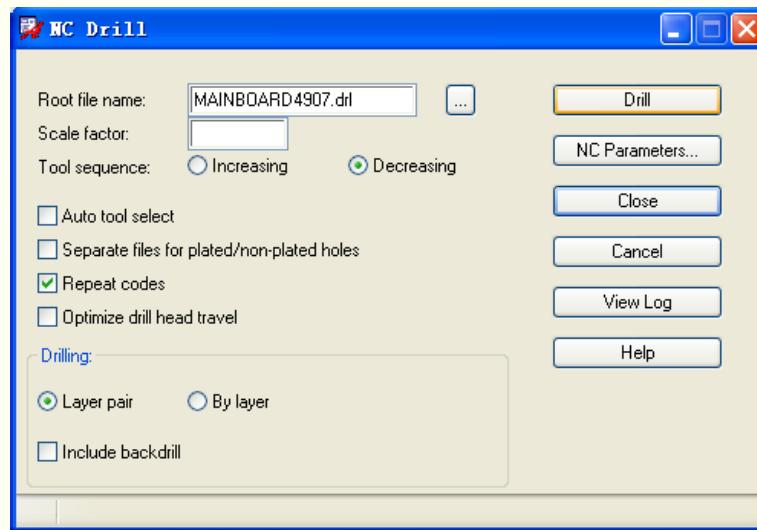
4. 单击左键选择放置的位置



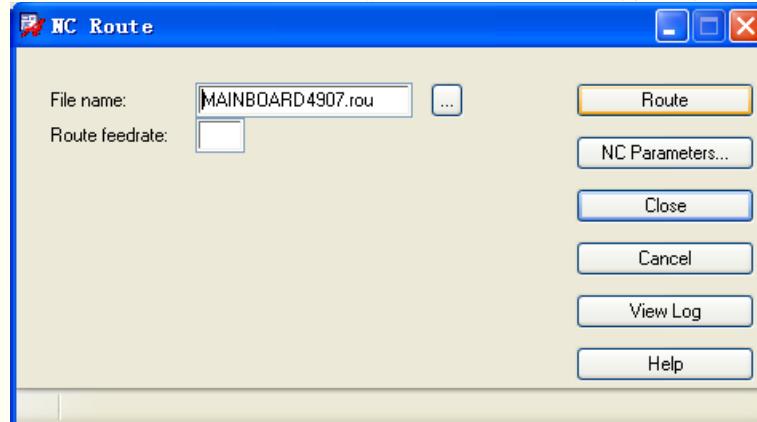
5. 生成DRL文件



6. 默认设置，点DRILL生成钻孔文件



7. 生成异形孔（非圆钻孔：椭圆，方形孔）文件，单击 route

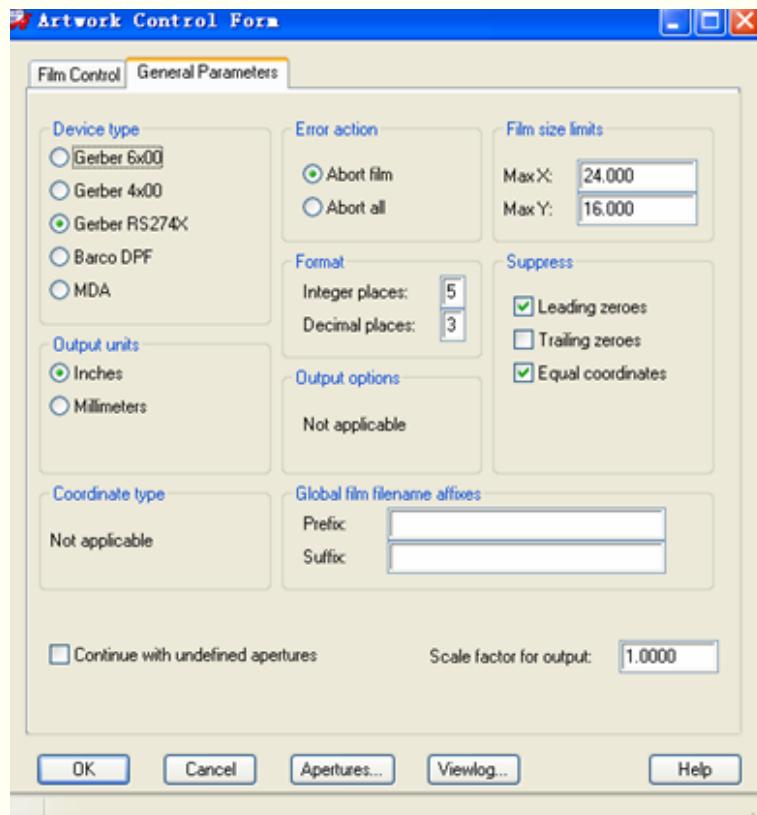


步骤3： ART GERBE文件设置，此步骤须设置的部分在图片中用红笔标识出来，包括每层ART文件需对应加上或减去相应的层，须和表 2-6 一致

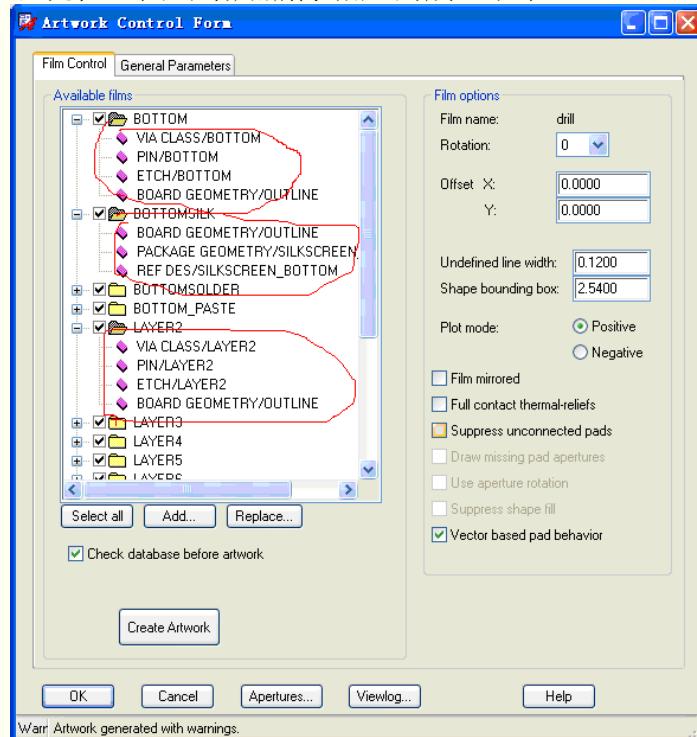
1. ART文件设置



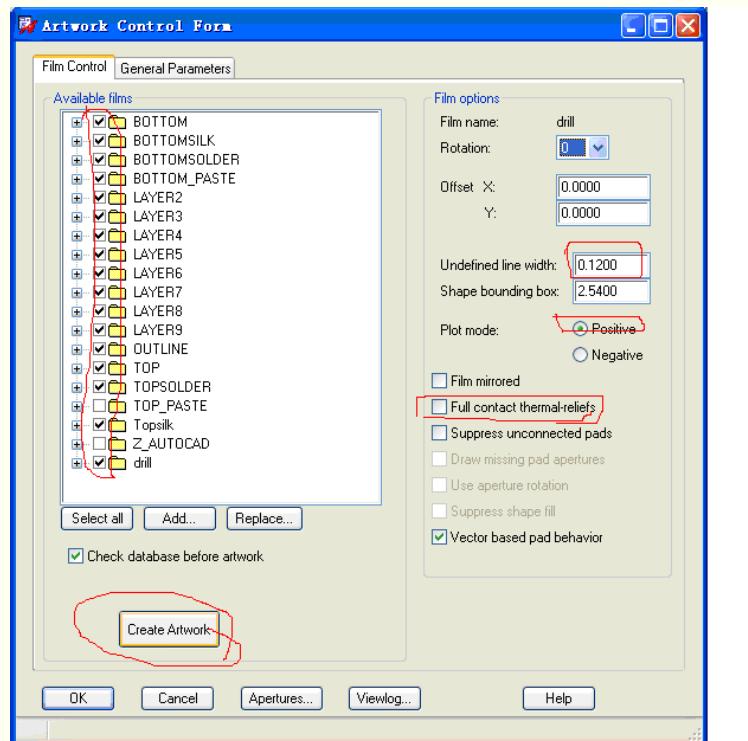
2. 选 RS274X



3. 右键在上面可增加删除相应的层，和表 2-6 一一对应



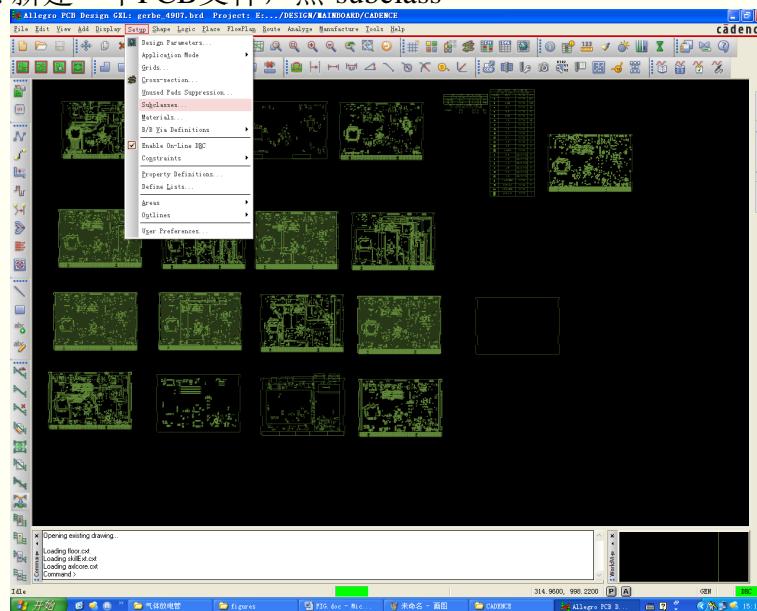
4. 选择要生成的文件打√



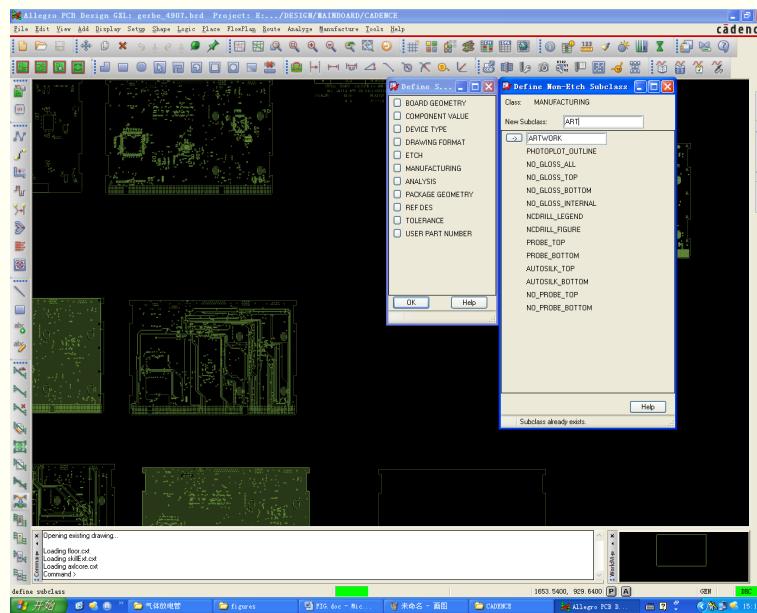
注意未定义线宽设为 0.12mm，选正片，热风焊盘不要将 full contact 加上

步骤 4：GERBE 文件查看

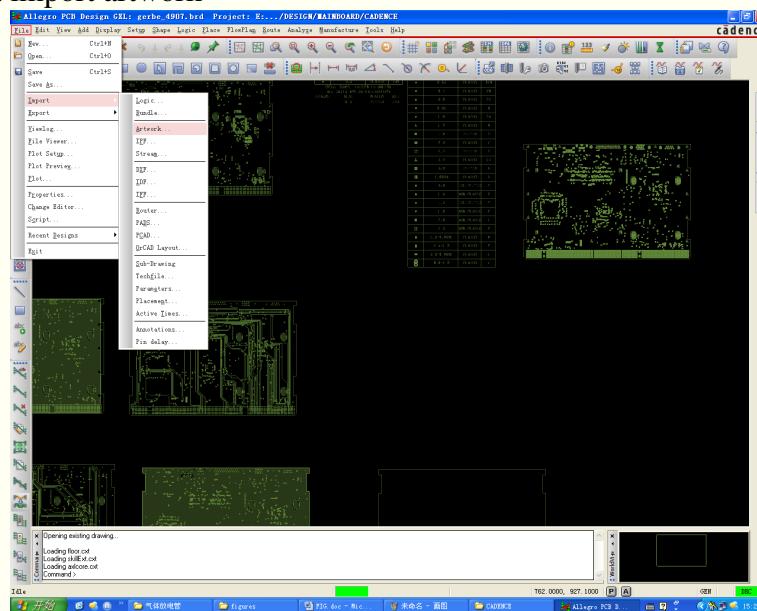
1. 新建一个PCB文件，点 subclass



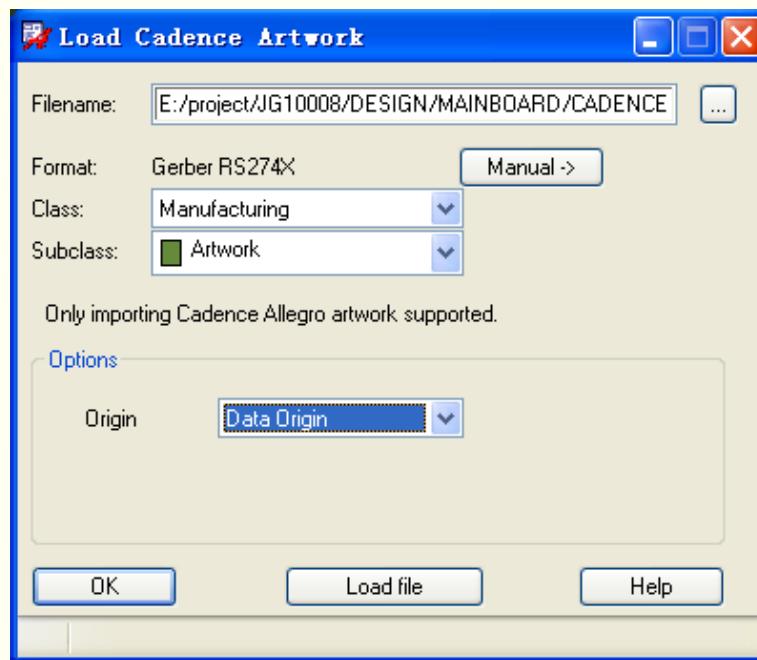
2. 在 manufacture 里新建 artwork 层，关闭



3. import artwork



4. 选择文件，并设置好层，选 data origin，load file



设置完后可查看GERBE 文件，注意设置PCB的大小，否则可能放不下。

2.5.2 投板相关文件

表 2-5 投板文件

文件类型	注释	对应 PCB 层
ART文件	光绘	文件外框、电气层、丝印层、阻焊层、钻孔文件（不用机器焊的可不用助焊层）
DRL , ROU文件	钻孔异形孔文件	NCDRILL和NCROUTE得来，不是 art 文件
TXT文件	钻孔文件及光绘文件参数说明	说明 PCB 格式单位和相关设置参数（有时可不用）

表 2-6 GERBE (ART) 文件对应丝印层

文件类型	对应 PCB 层
TOP	BOARD GEOMETRY/OUTLINE VIA CLASS/TOP PIN/TOP ETCH/TOP
LAYER2	BOARD GEOMETRY/OUTLINE VIA CLASS/LAYER2 PIN/LAYER2 ETCH/LAYER2
LAYER3	BOARD GEOMETRY/OUTLINE VIA CLASS/LAYER3 PIN/LAYER3 ETCH/LAYER3
BOTTOM	BOARD GEOMETRY/OUTLINE VIA CLASS/BOTTOM PACKAGE PIN/BOTTOM BOARD ETCH/BOTTOM BOARD
SILKSCREEN_TOP	REF DES/SILKSCREEN_TOP PACKAGE GEOMETRY/SILKSCREEN_TOP BOARD GEOMETRY/SILKSCREEN_TOP BOARD GEOMETRY/OUTLINE
SILKSCREEN_BOTTOM	REF DES/SILKSCREEN_BOTTOM PACKAGE GEOMETRY/SILKSCREEN_BOTTOM BOARD GEOMETRY/SILKSCREEN_BOTTOM GEOMETRY/OUTLINE
SOLDERMASK_TOP	VIA CLASS/SOLDERMASK_TOP PIN/ SOLDERMASK_TOP PACKAGE GEOMETRY/ SOLDERMASK_TOP BOARD GEOMETRY/ SOLDERMASK_TOP BOARD GEOMETRY/OUTLINE
SOLDERMASK_BOTTOM	VIA CLASS/SOLDERMASK_BOTTOM PIN/SOLDERMASK_BOTTOM PACKAGE GEOMETRY/SOLDERMASK_BOTTOM BOARD GEOMETRY/SOLDERMASK_BOTTOM BOARD GEOMETRY/OUTLINE
DRILL	MANUFACTURING/NCLEGEND MANUFACTURING/NCLEGEND1-6 BOARD GEOMETRY/OUTLINE
OUTLINE	BOARD GEOMETRY/OUTLINE

DRILL 层的 MANUFACTURING/NCLEGEND1-? 取决于板的层数。

2.5.3 投板说明

投板说明样例：（彩色字体为说明注释，不用写）

投板说明

王凡 5161... 手机号

板号：AQ7.822.920-b

层数：10

板厚：3mm

各层铜厚：1 (oz) (即35um)

数量：3块

1天加急（投外面）

民品加急（投8室）

各层层厚要求：

top-2层 0.13mm

2-3层 0.5mm

3-4层 0.44mm

4-5层 0.4mm

5-6层 0.24mm

6-7层 0.15mm

7-8层 0.44mm

8-9层 0.5mm

9-bottom层 0.13mm

过孔覆绿油(可选)

其中P1为压接件。（CPCI连接器）

投板文件要求说明如图所示，注意以下几点：

1. 铜厚如不注明，默认顶层底层用 1/2(OZ), 内部用 1(OZ), 因考虑有盲孔顶层底层多次镀铜，铜厚会由 1/2 OZ 增加到 50um 左右，计算时仍按 1oz 进行 1(oz)=35um。
2. 整板镍金会提高板的性能，需多加手续费 50 以及每平方 mm 1 毛左右的价钱（仅个人记忆参考），量产或其他工程项目可去除此项。
3. 阻焊层颜色代表板的颜色，默认为绿，其他颜色包括黑、红、蓝、橙等，可自己要求，但 PCB 中心其他颜色备量较少，经常没有其他颜色的阻焊，这项关系不大。
4. 板厚 3 是由阻抗要求决定，标准 CPCI 系统板为 1.6mm，但经过计算阻抗所需的最小厚度如图所示，故选 3mm
5. 按此要求设计出的各层阻抗如下表：默认按线宽 0.178mm，差分线距 0.178mm。各层厚按 PCB 中心的芯板和半固化件的种类厚度序列决定，不能取任意值
6. 加急费 500 元左右，10 层板有盲埋孔加急要 10 天以上，其他层少的不加急大概一周左右，视情况而定，主板等高密印制板容易做坏板，时间又会延长，请根据情况决定是否加急
7. 必要时须注明 CPCI 连接器 J1 J5 为压接件，PCB 中心按压接件标准来制作，否则会出现压不上或压上后不紧的情况。

2.6 装配图

主要是 AUTOCAD2004 和 TT 辅助软件的运用。TT 可以方便地将 EXCEL 中的数据按设定的格式导入到 CAD 中。

2.6.1 AUTOCAD 软件应用

注意从 PCB 等软件导出来的 CAD 图是彩色的，这样在 AUTOCAD 中打印出来会模糊不清，请在打印前将线宽改为 0，颜色都改为白色。**CAD 中的快捷命令：**

- 移动：输入 M 即可
- 缩放：输入 SC，按要求输入比例因子
- 精确定位：相对移动输入 @ x,y 其中 x,y 表示相对移动的距离
- 文字替换：文字工具栏的查找与替换功能，可以方便地将选中的图形中的相关文字替换掉。

NB 的快捷键操作，如图 2-15 所示

	图标	命 令	快 捷 键	命 令 说 明		图标	命 令	快 捷 键	命 令 说 明
1		LINE	L	画 线			DIMLINEAR	DLI	两点标注
2		XLINE	XL	参 照 线			DIMCONTINUE	DCO	连续标注
3		MLINE	ML	多 线			DIMBASELINE	DBA	基线标注
4		PLINE	PL	多 段 线			DIMALIGNED	DAL	斜点标注
5		POLYGON	POL	多 边 形			DIMRADIUS	DRA	半径标注
6		RECTANG	REC	绘 制 矩 形			DIMDIAMETER	DDI	直径标注
7		ARC	A	画 弧			DIMANGULAR	DAN	角度标注
8		CIRCLE	C	画 圆			TOLERANCE	TOL	公 差
9		SPLINE	SPL	曲 线			DIMCENTER	DCE	圆心标注
10		ELLIPSE	EL	椭 圆			QLEADER	LE	引 线 标 注
11		INSERT	I	插 入 图 块			QDIM		快 速 标 注
12		BLOCK	B	定 义 图 块			DIMEDIT		标 注 编 辑
13		POINT	PO	画 点			DIMEDIT		
14		HATCH	H	填 充 实 体			DIMEDIT		
15		REGION	REG	面 域			DIMSTYLE		
16		MTEXT	MT, T	多 行 文 本			DIMSTYLE	D	标 注 设 置
17		ERASE	E	删 除 实 体			HATCHEDIT	HE	编 辑 填 充
18		COPY	CO, CP	复 制 实 体		PEDIT	PE		编 辑 多 义 线
19		MIRROR	MI	镜 像 实 体			SPLINEDIT	SPE	编 辑 曲 线
20		OFFSET	O	偏 移 实 体			MLEDIT		编 辑 多 线
21		ARRAY	A R	图 形 阵 列			ATTEDIT	ATE	编 辑 参 照
22		MOVE	M	移 动 实 体			DDEDIT	ED	编 辑 文 字
23		ROTATE	RO	旋 转 实 体			LAYER	LA	图 层 管 理
24		SCALE	SC	比 例 缩 放			MATCHPROP	MA	属 性 复 制
25		STRECH	S	拉 拢 实 体			PROPERTIES	CH, MO	属 性 编 辑
26		LENGTHEN	LEN	拉 长 线 段			NEW	^+N	新 建 文 件
27		TRIM	TR	修 剪			OPEN	^+O	打 开 文 件
28		EXTEND	EX	延 伸 实 体			SAVE	^+S	保 存 文 件
29		BREAK	BR	打 断 线 断			UNDO	U	回 退 一 步
30		CHAMFER	CHA	倒 直 角			PAN	P	实 时 平 移
31		FILLET	F	倒 圆			ZOOM+[]	Z+[]	实 时 缩 放
32		EXPLODE	X	分 解 炸 开			ZOOM+W	Z+W	窗 口 缩 放
33		LIMITS		图 形 界 限			ZOOM+P	Z+P	恢 复 视 窗
34		帮助主题	[F1]	[F8] 正交			DIST	DI	计 算 距 离
35		对象捕捉	[F3]	[F10] 极轴			PRINT/PLOT	^+P	打 印 预 览
36		WBLOCK	W	创 建 外 部 图 块			MEASURE	ME	定 距 等 分
37		COPYCLIP	^+C	跨 文件 复 制			DIVIDE	DIV	定 数 等 分
38		PASTECLIP	^+V	跨 文件 粘 贴					

图 2-15 AutoCad 操作命令

2.6.2 TT设置

TT 设置

安装后，在 AUTOCAD 中输入 TT 即可运行，新建两种设置（列表和明细），一个用在装配图，一个用在明细表。如图 2-16 所示。



图 2-16 TT 的设置



图 2-17 列表和明细的设置

第3章 注意事项及推荐软件

注意安装软件不要在中文和有空格的文件夹下，像 **Program File** 这种文件夹。同样 PCB 文件也不要保存在中文和有空格或特殊符号的文件夹下，不要小数点。否则有些高级功能不能使用或使用过程中死机。

3.1 推荐设置

1. CADENCE: 安装在 C 盘

表 3-1 Cadence 工作目录设置

文件夹	注释	子文件夹
PCB	ALLERGO 工作目录	NETLIST 网表文件夹 相关参数文件夹 投板文件夹
SCH	ORCAD 工作目录	DSN 原理图文件 opj 工程文件
CAD	AUTOCAD 工作目录	dxf 印制板导出文件 dxg 出图文件
DOC	工程参考文件	word PDF PPT 参考文件

3.2 SKILL 扩展功能

和 CADENCE 配合使用，可以自己编程设定各种功能，网上有很多已写好的实用小程序，可以实现元器件对齐，DRC定位，查找孤立的线，未连接的线，网络表在线编辑等功能。安装设置如下，以我自己的安装为例，其他功能扩展也一样，附件为华为的扩展插件，如需安装请参考其手册：

[华为的扩展 skill.pdf 双击打开](#)



1. 将压缩包“stella”解压至任一地址，添加环境变量 stella_skill 值为解压的地址。如图 3-1 所示
2. 将下列代码，复制到 TXT 文件，保存为 allegro.ilinit 文件，放在 pcbenv 的文件夹中注意路径更改为对应的解压包路径。**注意路径是斜杠，非反斜杠**，直接从 windows 里面复制路径须注意把斜杠改为反斜杠。

allegro 配置文件，在附件中下载

```
setSkillPath(buildString(append1(getSkillPath() "c:/CADENCE/stella")))
;
load("align_sym.il")
load("net_editor.il")
load("DRC_WALK(IL")
load("find_dlines.il")
load("mot_find_stubs.il")
load("Find_Component.il")
;
```

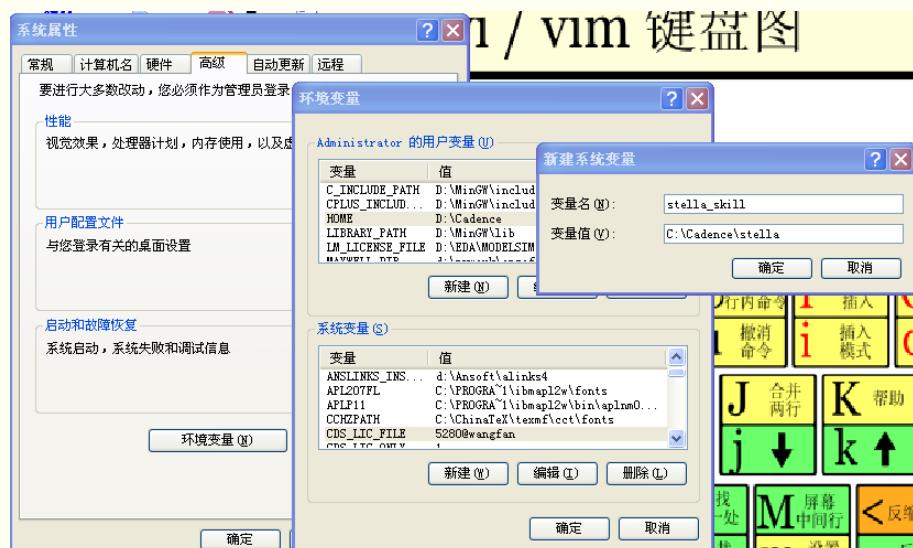


图 3-1 设置 SKILL 环境变量

3. 找到 **C:/Cadence/SPB_16.2/share/pcb/text/cuimenus** 中的对应 .men 文件，在 allegro.men 和 apd.men 后对应加上如下代码：注：加在未尾即可，和其它菜单是相同的关系。注意 BEGIN 和 END 的对应关系，不要直接加在最未尾，**未尾应还剩一个 END**。

```
POPUP "&STELLA"
BEGIN
    MENUITEM "Align Symbol",           "align_sym"
    MENUITEM "DRC Walker...",        "drc_walk"
    MENUITEM "Find Dang Line/Cline",   "find_dang"
    MENUITEM "Find Stubs",            "find_stubs"
```

```
MENUITEM "Hilight Net without TP", "hl_ntp"  
MENUITEM "Netlist Editor", "net_editor"  
END
```

安装后重启 ALLERGRO 即可在 help 后看到增加的 stella 功能按钮。

Align Symbol

使用元器件对齐功能：布局时比较方便。注意只能对齐有标号的的器件，后来手动加的封装不能对齐。

1. 输入 align_sym 命令或点开菜单，一般打开菜单后选 PIN1 , group , BOTH 选项，不要关闭面板以方便观察。
2. 选中第一个器件，命令行会提示 Key Component “CE8” Selected，引号中的标号为你选中的器件（注意把 option 的 symbol 勾上，否则选不中器件）。PIN1 为基准点，选中完第一个后，选择要对齐的其他器件，选完后右键 complete 所有元器件以 PIN1 向第一个元器件对齐。
3. 对齐后可继续使用，再选第一个器件（Key Component），可以在面板上调整对齐选项，如此重复2-3步。不对齐可用右键 Done 结束对齐命令。

DRC Walker

错误检查器：直接输入命令 drc walk 或点击对应菜单进入选项面板，勾上对应选项可自动定位到错误地点，选择定位区域的大小，选择查看何种类型的错误，显示错误信息。

Find Dangling Clines

查看无网络的孤立线：有时删除未删干净剩余的无网络线段，或是原理图中未用页连接符导致两边相同网络未相连，此选项可自动查找并删除对应的线段。

Find Stubs

查找桩线：有时连线时在中间会不小心多画一些小线段，附在原线上，这些不小心画出的有网络的信号线可用此选项来进行查找

3.3 封装制作工具

可方便地制作各种过孔，安装孔，建议选中所有型号的过孔焊盘全部生成，以后就可以直接在里面选择了。Cadence 做封装是很费时的事情，用这个小软件可以延长你的休闲时间。注：本软件为免费软件，作者开了个小玩笑，0.0.8.0 版本的从2010年4月1号之

后只能在每个月的1号才能使用了，要用只能改日期。不过改日期也太麻烦了，用IDA看了一下，发现作者检测了一下时间，在xx之后不是1号就退出，解决方法如下：用UltraEdit把FPM.exe打开，搜索”33 C0 E9 F2”，找到后换成”8B C0 E9 00”，如果找不到请再重装一次，

原理：

xor eax, eax 变成了 mov eax, eax (相当于NOP)

jmp xxxx 变成了 jmp [下一个地址] (相当于NOP)

本软件禁止安装在中文目录和有空格的目录下，在属性设置下选择最宽松，焊盘尽量比 datasheet 的推荐值要大一些，否则会导致生成的焊盘太小无法焊接

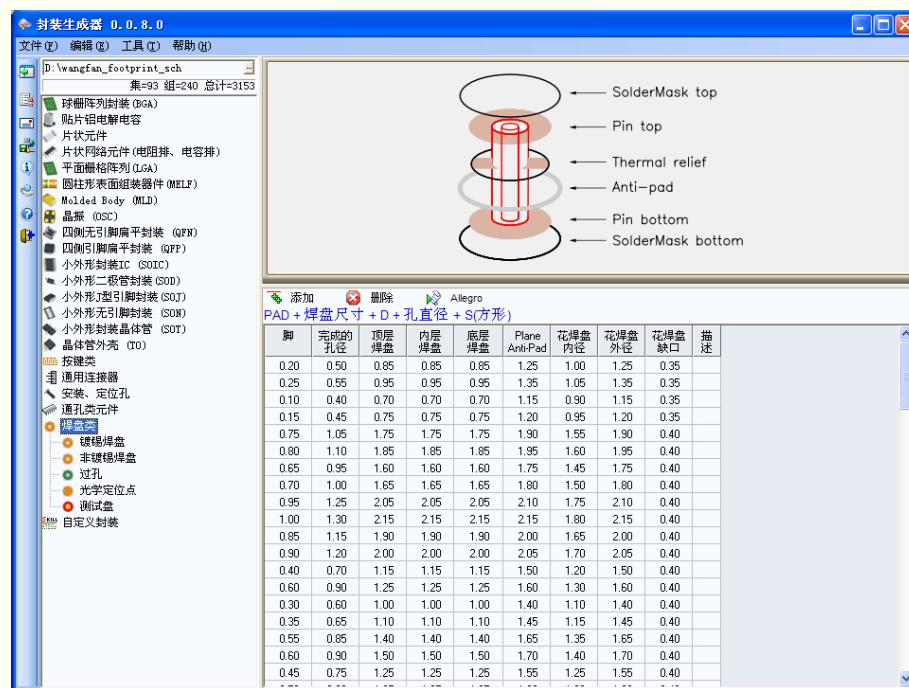


图 3-2 ALLEGRO 封装制作工具

3.4 阻抗计算工具

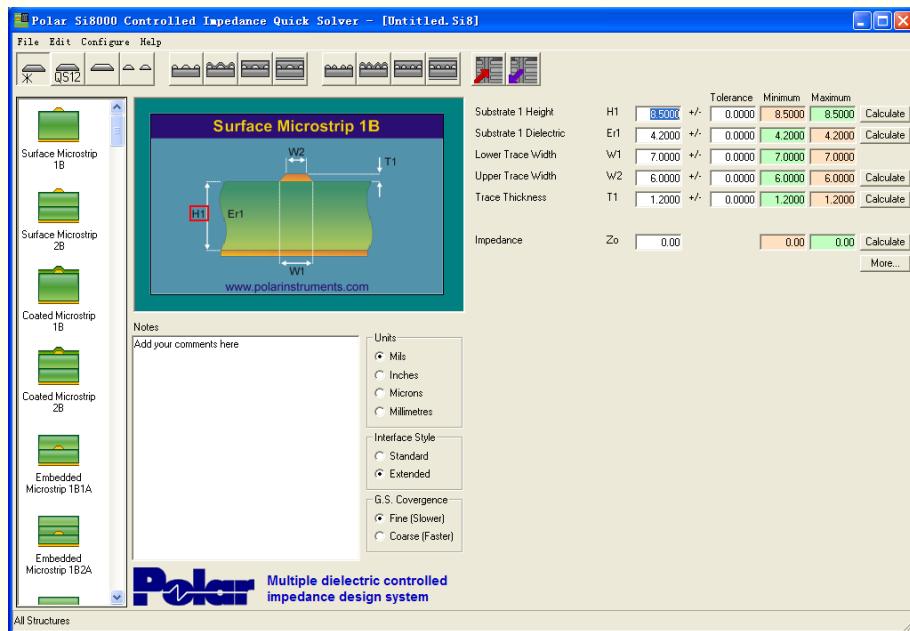


图 3-3 阻抗计算工具

3.5 温升计算工具

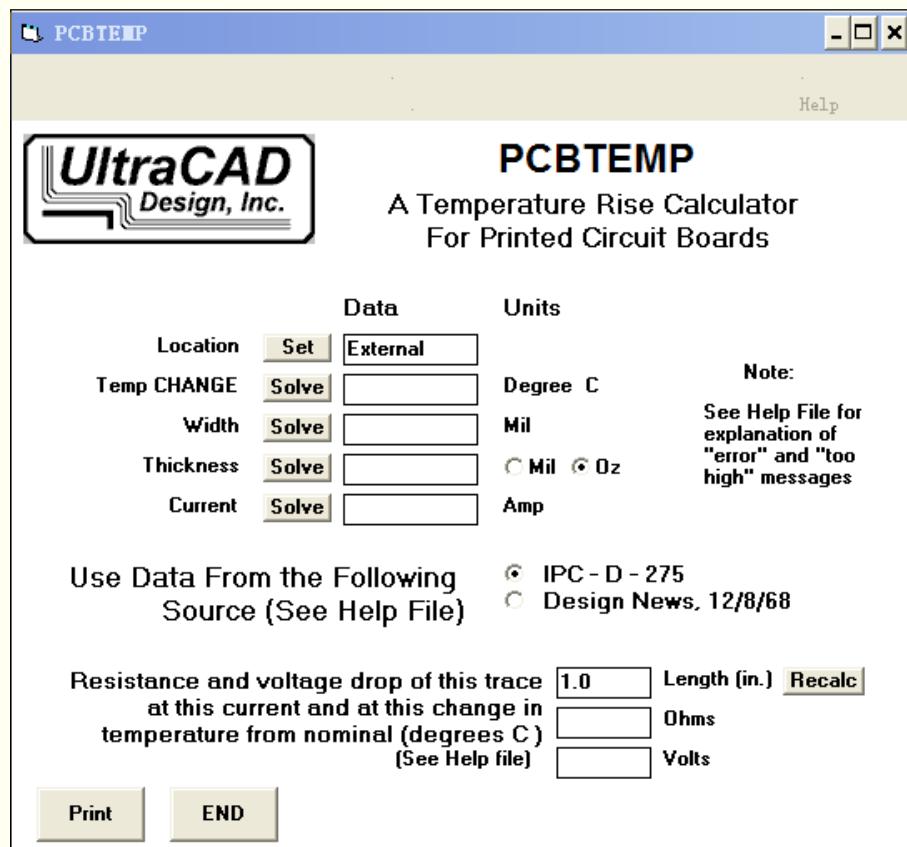


图 3-4 温升计算工具

3.6 单位换算工具



图 3-5 单位换算工具

参考文献

- [1] 周润景.袁伟亭 Cadence 高速电路板设计与仿真[M] 北京：电子工业出版社 2006.9
- [2] leal_huang@yahoo.com.cn ORCAD Capture 9.2 使用笔记[M/OL]
- [3] Ampro 公司 COM Express Design Guide Revision .09 (Preliminary)[EB] 2007.06.04

附录

1 常用单位换算

表 1 单位换算

单位换算	备注
1 OZ=35 um = 0.035 mm	一般 1 OZ 有的电源板用 2 OZ
1 mil = 0.0254 mm	CPCI 及差分线间距一般用 7 MIL
1mm = 39.37mil	火零线间距一般 2 MM

2 走线与过电流

PCB 走线宽度与过电流如表 2 , 随温度上升过电流会变小, 设计时注意留裕量。

表 2 PCB 走线过电流与铜厚关系

宽度 (mm)	电流 (A) 1 oz	电流 (A) 50 μm	电流 (A) 2 oz
0.15	0.2	0.5	0.7
0.2	0.55	0.7	0.9
0.3	0.8	1.1	1.3
0.4	1.1	1.35	1.7
0.5	1.35	1.7	2
0.6	1.6	1.9	2.3
0.8	2	2.4	2.8
1	2.3	2.6	3.2
1.2	2.7	3.0	3.6
1.5	3.2	3.5	4.2
2	4	4.3	5.1
2.5	4.5	5.4	6

注意事项

1. 用铜皮作导线通过大电流时, 铜箔宽度的载流量应参考表中的数值降额50%去选择考虑。
2. 上述表格中数值条件: 1oz=35 μm , 2oz=70 μm , $\Delta t = 10^{\circ}C$.

3 计算机总线阻抗控制

以下选自 COM-E 模块设计的标准，总结时钟线，高速差分线的控制比较重要，特别是网口。

PCI Express 1.1 Trace Routing Guidelines

Parameter	Trace Routing
Transfer Rate / PCIe Lane	2.5 GBit/s
Maximum signal line length (coupled traces)	TX and RX path: 21.0 inches
Signal length allowance on the COM Express Carrier Board	TX and RX path: 15.85 inches @ 0.28dB/GHz/inch to PCIe device 9.00 inches @ 0.28dB/GHz/inch to PCIe slot
Differential Impedance	92 Ω +/-10% (covers Gen1 100 Ω +/-20% and Gen2 85 Ω +/-20% requirements)
Single-ended Impedance	55 Ω +/-15%
Trace width (W)	5 mils (microstrip routing) (*)
Spacing between differential pairs (intra-pair) (S)	4 mils (microstrip routing) (*)
Spacing between RX and TX pairs (inter-pair) (s)	Min. 20mils
Spacing between differential pairs and high-speed periodic signals	Min. 50mils
Spacing between differential pairs and low-speed non periodic signals	Min. 20mils
Length matching between differential pairs (intra-pair)	Max. 5mils
Length matching between RX and TX pairs (inter-pair)	No strict electrical requirements. Keep difference within a 3.0 inch delta to minimize latency.
Length matching between reference clock differential pairs REFCLK+ and REFCLK- (intra-pair)	Max. 5mils
Length matching between reference clock pairs (inter-pair)	No electrical requirements.
Reference plane	GND referenced preferred
Spacing from edge of plane	Min. 40mils
Via Usage	Max. 2 vias per TX trace Max. 4 vias per RX trace
AC coupling capacitors	The AC coupling capacitors for the TX lines are incorporated on the COM Express Module. The AC coupling capacitors for RX signal lines have to be implemented on the customer COM Express Carrier Board. Capacitor type: X7R, 100nF +/-10%, 16V, shape 0402.

LVDS Trace Routing Guidelines

Parameter	Trace Routing
Maximum signal line length to the LVDS connector (coupled traces)	8.75 inches
Signal length used on COM Express Module (including the COM Express Carrier Board connector)	2.0 inches
Signal length to the LVDS connector available for the COM Express Carrier Board	6.75 inches
Differential Impedance	100 Ω +/-20%
Single-ended Impedance	55 Ω +/-15%
Trace width (W)	4mils (microstrip routing) (*)
Spacing between differential pair signals (intra-pair) (S)	7mils (microstrip routing) (*)
Spacing between pair to pairs (inter-pair) (s)	Min. 20mils
Spacing between differential pairs and high-speed periodic signals	Min. 20mils
Spacing between differential pairs and low-speed non periodic signals	Min. 20mils
Length matching between differential pairs (intra-pair)	+/- 20mils
Length matching between clock and data pairs (inter-pair)	+/- 20mils
Length matching between data pairs (inter-pair)	+/- 40mils
Spacing from edge of plane	+/- 40mils
Reference plane	GND referenced preferred
Via Usage	Max. of 2 vias per line

LAN Trace Routing Guidelines

Parameter	Trace Routing
Signal length allowance for the COM Express Carrier Board	5.0 inches from the COM Express Module to the magnetics Module
Maximum signal length between isolation magnetics Module and RJ45 connector on the Carrier Board	1.0 inch
Differential Impedance	95 Ω +/-20%
Single-ended Impedance	55 Ω +/-15%
Trace width (W)	5mils (microstrip routing) (*)
Spacing between differential pairs (intra-pair) (S)	7mils (microstrip routing) (*)
Spacing between RX and TX pairs (inter-pair) (s)	Min. 50mils
Spacing between differential pairs and high-speed periodic signals	Min. 300mils
Spacing between differential pairs and low-speed non periodic signals	Min. 100mils
Length matching between differential pairs (intra-pair)	Max. 5mils
Length matching between RX and TX pairs (inter-pair)	Max. 30mils
Spacing between digital ground and analog ground plane (between the magnetics Module and RJ45 connector)	Min. 60mils
Spacing from edge of plane	Min. 40mils
Via Usage	Max. of 2 vias on TX path Max. of 2 vias on RX path

SDVO Trace Routing Guidelines

Parameter	Trace Routing
Transfer Rate / SDVO Lane	Up to 2.0 GBit/s
Maximum signal line length (coupled traces)	7 inches
Signal length used on COM Express Module (including the Carrier Board connector)	2 inches
Signal length allowance for the COM Express Carrier Board	5 inches to SDVO device
Differential Impedance	100 Ω +/-20%
Single-ended Impedance	55 Ω +/-15%
Trace width (W)	5 mils (microstrip routing) (*)
Spacing between differential pairs (intra-pair) (S)	7 mils (microstrip routing) (*)
Spacing between pairs-to-pair	Min. 20mils
Spacing between differential pairs and high-speed periodic signals	Min. 50mils
Spacing between differential pairs and low-speed non periodic signals	Min. 20mils
Length matching between differential pairs (intra-pair)	Max. 5mils
Length matching between differential pairs (inter-pair)	Keep difference within a 2.0 inch delta.
Length matching between differential signal pair and differential clock pair	Max. 5mils
Spacing from edge of plane	Min. 40mils
Via Usage	Max. 4 vias per differential signal trace
AC coupling capacitors	AC coupling capacitors on the signals 'SDVO_INT+' and 'SDVOINT-' have to be implemented on the customer COM Express Carrier Board, if the device is directly located on the carrier board. When using a slot at the carrier board the capacitors are located at the add-on card. Capacitor type: X7R, 100nF +/-10%, 16V, shape 0402.

PCI Trace Routing Guidelines

Parameter	Trace Routing
Transfer Rate @ 33MHz	132 MB/sec
Maximum data and control signal length allowance for the COM Express Carrier Board.	10 inches
Maximum clock signal length allowance for the COM Express Carrier Board.	8.88 inches
Single-ended Impedance	55 Ω +/-15%
Trace width (W)	5mils (microstrip routing) (*)
Spacing between signals (inter-signal) (S)	7mils (microstrip routing) (*)
Length matching between single ended signals	Max. 200mils
Length matching between clock signals	Max. 200mils
Spacing from edge of plane	Min. 40mils
Reference plane	GND referenced preferred
Via Usage	Try to minimize number of vias
Decoupling capacitors for each PCI slot.	Min. 1x22μF, 2x 100nF @ VCC 5V Min. 2x22μF, 4x 100nF @ VCC 3.3V Min. 1x22μF, 2x 100nF @ +12V (if used) Min. 1x22μF, 2x 100nF @ -12V (if used) The decoupling capacitors for the power rails should be placed as close as possible to the slot power pins, connected with wide traces.

Serial ATA Trace Routing Guidelines

Parameter	Trace Routing
Transfer Rate	3.0 GBit/s
Maximum signal line length (coupled traces)	7.0 inches on PCB (COM Express Module and Carrier Board. The length of the SATA cable is specified between 0 and 40 inches)
Signal length used on COM Express Module (including the COM Express Carrier Board connector)	2 inches
Signal length available for the COM Express Carrier Board	3 inches
Differential Impedance	100 Ω +/-20%
Single-ended Impedance	55 Ω +/-15%
Trace width (W)	5mils (microstrip routing) (*)
Spacing between differential pairs (intra-pair) (S)	7mils (microstrip routing) (*)
Spacing between RX and TX pairs (inter-pair) (s)	Min. 20mils
Spacing between differential pairs and high-speed periodic signals	Min. 50mils
Spacing between differential pairs and low-speed non periodic signals	Min. 20mils
Length matching between differential pairs (intra-pair)	Max. 5mils
Length matching between RX and TX pairs (inter-pair)	No strict electrical requirements. Keep difference within a 3.0 inch delta to minimize latency. Do not serpentine to meet trace length guidelines for the RX and TX path.
Spacing from edge of plane	Min. 40mils
Via Usage	Try to minimize number of vias
AC Coupling capacitors	The AC coupling capacitors for the TX and RX lines are incorporated on the COM Express Module.

USB Trace Routing Guidelines

Parameter	Trace Routing
Transfer rate / Port	480 MBit/s
Maximum signal line length (coupled traces)	Max. 17.0 inches
Signal length used on COM Express Module (including the COM Express connector)	3.0 inches
Signal length allowance for the COM Express Carrier Board	14.0 inches
Differential Impedance	90 Ω +/-15%
Single-ended Impedance	45 Ω +/-10%
Trace width (W)	5mils (microstrip routing) (*)
Spacing between differential pairs (intra-pair) (S)	6mils (microstrip routing) (*)
Spacing between pairs-to-pairs (inter-pair) (s)	Min. 20mils
Spacing between differential pairs and high-speed periodic signals	Min. 50mils
Spacing between differential pairs and low-speed non periodic signals	Min. 20mils
Length matching between differential pairs (intra-pair)	150mils
Reference plane	GND referenced preferred
Spacing from edge of plane	Min. 40mils
Via Usage	Try to minimize number of vias

LPC Trace Routing Guidelines

Parameter	Trace Routing
Transfer Rate @ 33MHz	16 MBit/s
Maximum data and control signal length allowance for the COM Express carrier board	15.0 inches
Maximum clock signal length allowance for the COM Express carrier board	8.88 inches
Single-ended Impedance	55 Ω +/-15%
Trace width (W)	5mils (microstrip routing) (*)
Spacing between signals (inter-signal) (S)	7mils (microstrip routing) (*)
Length matching between single ended signals	Max. 200mils
Length matching between clock signals	Max. 200mils
Spacing from edge of plane	Min. 40mils
Reference plane	GND referenced preferred
Via Usage	Try to minimize number of vias

IDE Trace Routing Guidelines

Parameter	Trace Routing
Maximum Transfer Rate @ ATA100	100 MB/sec
Maximum length allowance for signals on the COM Express Carrier Board @ ATA100.	7.0 inches
Single-ended Impedance	55 Ω +/-15%
Trace width (W)	5mils (microstrip routing) (*)
Spacing between signals (inter-signal) (S)	7mils (microstrip routing) (*)
Length matching between strobe and data signals	Max. 450mils
Length matching between data signals	Max. 200mils
Length matching between strobe signals 'IDE_IOR' and 'IDE_IOW'.	Max. 100mils
Spacing from edge of plane	Min. 40mils
Reference plane	GND referenced preferred
Via Usage	Try to minimize number of vias

4 实验室图号设定

包括功能板和转接板以及线缆图，互联图。板号指在 PCB 上印的号码，图号是图纸上存的号码。

1. 转接板：电气直接互接，无转换的 PCB
装配图图号: AQ2. 354. 申请的板号
PCB 板号: AQ7.822. 申请的板号
 2. 功能板：对电气信号进行了处理的 PCB
装配图图号: AQ2. 335. 申请的板号
PCB 板号: AQ7.820. 申请的板号
 3. 线缆图：在加固室的图号库系统内申请。
 4. 互联图：和结构配合申请的图号。

5 Cadence 软件配置注意

1. 平面全设为正片，可以节省做 flash 的时间，也可以防止出错，易于识别。
 2. 单位设为 mm， art 文件中最小默认线宽设为 0.12mm，热风焊盘根据需要选择是否添加
 3. 默认规则中线宽线距设为 0.178mm (7mil)，最小为 0.127mm(5mil)，shape 之间间距最小为 0.2mm。
 4. 层之间命名以 LAYER2,LAYER3, …,来进行，方便后续规则的延用和导入先前规则。

6 Cadence 软件菜单，图标含义

在本附录中将列出所有菜单的命令，并简述其功能：

功 能 表	第一层命令	第二层命令	说 明
File	New		开启新档案
	Open		开启旧档案
	Save		储存档案
	Save As		另存盘案
	Import	Logic	输入线路信息
		Artwork	输入底片档案
		Stream	输入 Stream 档案
		IPF	输入 IPF 档案
		DXF	输入 DXF 档案
		IDF	输入 IDF 档案
		IFF	输入 IFF 档案
		SPECCTRA	输入 SPECCTRA 档案
		Redac	输入 Redac 档案
		Visula	输入 Visula 档案
		PADS	输入 PADS 档案
		PCAD	输入 PCAD 档案
		Sub-Drawing	输入 Sub-Drawing 档案
		Techfile	输入 Tech 档案
		Active Times	输入 Active Times 档案
		Placement	输入 Placement 档案
		Annotations	输入 Annotations 档案
	Export	Logic	输出线路信息
		Netlist w/Properties	输出讯号接点表/属性档案
		IPF	输出 IPF 档案
		DXF	输出 DXF 档案
		IDF	输出 IDF 档案
		SPECCTRA	输出 SPECCTRA 档案
		Sub-Drawing	输出 Sub-Drawing 档案
		Libraries	输出零件库档案



B

菜单说明

功能表	第一层命令	第二层命令	说 明
		Techfile	输出 Tech 档案
		Placement	输出 Placement 档案
		Annotations	输出 Annotations 档案
		IPC 356	输出 IPC 356 档案
		ODB++ inside	输出 ODB++档案
		Save design to 14.0	输出 14.0 版档案
	Viewlog		查看 LOG 档案
	File Viewer		档案浏览器
	Plot Setup		设定印表输出的参数
	Plot Preview		印表预览
	Plot		送至打印机
	Properties		设定档案属性
	Change Editor		更换软件工具
	Script		编修 Script 档案
	Exit		离开 Allegro
Edit	Move		搬移对象
	Copy		复制对象
	Mirror		对象反面
	Spin		旋转对象
	Change		更改对象
	Delete		删除对象
	Shape		编修 Shape
	Z-Copy		复制 Shape 到其它层面
	Delete Unconnected Shapes		删除没有连接的 Shape
	Split Plane	Parameters	设定分割 Shape 参数
		Create	建立分割 Shape
		Locate Islands	找出孤立的 Shape
	Compose Shape		线段转成 Shape
	Decompose Shape		Shape 转成线段
	Vertex		改变转角

功能表	第一层命令	第二层命令	说 明
	Delete Vertex		删除线段之转角
	Text		编修文字的内容
	Groups		编修群组
	Properties		编修属性
View	Zoom By Points		以两点定出画面大小
	Zoom Fit		显示整块板子
	Zoom In		画面放大
	Zoom Out		画面缩小
	Zoom World		显示整个工作区域
	Zoom Center		画面移至正中央
	Zoom Previous		回到上一个画面
	Color View Save		储存 View 档案
	Color View Restore Last		回到上一个 View 的画面
	Refresh		更新画面
	Customization	Display	设定控制面板
		Toolbar	设定工具列
Add	Line		增加线段
	Arc w/Radius		以半径增加圆弧
	3pt Arc		以 3 个定点增加圆弧
	Circle		增加空心圆
	Rectangle		增加空心的长方形
	Frectangle		增加实心的长方形
	Text		增加文字
	Shapes	Solid Fill	增加实心的 Shape
		UnFilled	增加空心的 Shape
		Cross Hatch Fill	增加网状的 Shape
Display	Color/Visibility		设定层面的颜色
	Color Priority		设定颜色的显示顺序
	Element		查看对象的相关信息
	Measure		测量对象的距离

**B**

菜单说明

功能表	第一层命令	第二层命令	说 明
	Parasitic		查看线段的阻抗/容抗/感抗
	Property		查看属性
	Highlight		设定被 Highlight 的对象
	Dehighlight		设定被 Dehighlight 的对象
	Show Rats	All	显示全部的鼠线
		Components	显示零件的相关鼠线
		Net	显示讯号线的相关鼠线
	Blank Rats	All	关掉全部的鼠线
		Components	关掉零件的相关鼠线
		Nets	关掉讯号线的相关鼠线
Setup	Drawing Size		设定图文件的工作区域
	Drawing Options		设定图档的参数
	Text Sizes		设定文字大小
	Grids		设定格点
	Subclasses		设定层面
	Cross-section		设定走线的层面
	Vias	Define B/B Via	人工定义盲埋孔
		Auto Define B/B Via	自动定义盲埋孔
	Constraints		设定规范
	Electrical Constraint Spreadsheet		设定电子规范的工作表
	Property Definitions		定义属性
	Define Lists		定义文字列表档案
	Areas	Package Keepin	设定放置零件的许可区
		Package Keepout	设定放置零件的禁止区
		Package Height	设定放置零件的高度限制
		Route Keepin	设定拉线的许可区
		Route Keepout	设定拉线的禁止区
		Via Keepout	设定贯穿孔的禁止区
		Probe Keepout	设定测试点的禁止区
		Gloss Keepout	设定自动修线的禁止区

功 能 表	第一层命令	第二层命令	说 明
		Photoplot Outline	设定底片的外框
	User Preferences		设定使用者的环境参数
Logic	Net Logic		编修讯号线的联机关系
	Net Schedule		编修讯号线的连接顺序
	Assign Differential Pair		指定配对的差动讯号线
	Identify DC Nets		定义直流电压属性
	Assign RefDes		指定零件序号
	Auto Rename Refdes	Rename	设定更改零件序号
		Design	设定范围为整个板子
		Room	设定范围为 Room
		Window	设定范围为 Window
		List	查看设定的范围
	Change Parts		更换线路图的零件
	Terminator Assignment		指定终端组件
Place	Manually		人工放置零件
	Quickplace		自动放置零件于板外
	SPECCTRA		激活 SPECCTRA 放置零件
	Autoplace	Insight	激活 Insight 放置零件
		Parameters	设定自动放置零件的参数
		Top Grids	设定 Top 层面的格点
		Bottom Grids	设定 Bottom 层面的格点
		Design	设定范围为整个板子
		Room	设定范围为 Room
		Window	设定范围为 Window
		List	查看设定的范围
	Interactive		交互式放置零件
	Swap	Pins	互换零件脚
		Functions	互换 Gate
		Components	互换零件
	Autoswap	Parameters	设定自动互换的参数



B

菜单说明

功能表	第一层命令	第二层命令	说 明
		Design	设定范围为整个板子
		Room	设定范围为 Room
		Window	设定范围为 Window
		List	查看设定的范围
	Evaluate	Parameters	评估放置零件的参数
		Design	设定范围为整个板子
		Room	设定范围为 Room
		Window	设定范围为 Window
		List	查看设定的范围
	Update Symbols		更新零件
	Replace SQ Temporary	Devices	重新放置暂存的 Device
		Symbols	重新放置暂存的零件
Route	Connect		人工拉线
	Slide		人工修线
	Custom Smooth		自订化修整走线
	SPECCTRA	Run Router Checks	执行自动拉线前的检查
		Route by Pick	点选自动拉线的讯号线
		Route Automatic	执行自动拉线
		Interactive Editor	交互式自动拉线
	Gloss	Parameters	设定自动修线的参数
		Design	设定范围为整个板子
		Room	设定范围为 Room
		Window	设定范围为 Window
		Highlight	设定范围为被 Highlight 的对象
		List	查看设定的范围
	Testprep	Auto	设定自动测试点的参数
		Create Probe	建立新的测试点
		Delete Probe	删除新的测试点
		Swap Probe	互换测试点
		NC Tape Probes	产生测试点的 NC Tape 档案

功 能 表	第一层命令	第二层命令	说 明
Analyze	SI/EMI Sim	Initialize	起始 SI 分析仿真
		Library	设定分析的零件库
		Model	设定分析的模块
		Model Dump/Refresh	列出/更新分析的模块
		Preferences	设定分析的参数
		Audit/ Design Audit	检查被分析的设计图档
		Audit/ Net Audit	检查被分析的讯号线
		Audit/ Audit One Library	检查分析的单一零件库
		Audit/ Audit List Of Libraries	检查列出的分析零件库
		Probe	测量分析的结果
		Xtalk Table	设定 Xtalk 表格
EMI Rules	Initialize		起始 EMI 分析仿真
	Auto Setup		自动设定
	Manual Setup		手动设定
	Rule Select		选择规范
	Audit		检查
	Execute		执行
	Results		查看执行结果
	Audit Report		产生检查的报表
	Execute Report		产生执行结果的报表
Manufacture	Dimension/Draft	Parameters	设定标示尺寸的参数
		LineFont	设定线段的型式
		Linear Dim	标示线性尺寸
		Datum Dim	标示 Datum 尺寸
		Angular Dim	标示角度尺寸
		Leader Lines	标示线段的 Leader
		Diametral Leader	标示圆直径的 Leader
		Radial Leader	标示圆半径的 Leader
		Balloon Leader	标示球形的 Leader



B

菜单说明

功能表	第一层命令	第二层命令	说 明
		Chamfer Leader	标示斜角的 Leader
		Chamfer	变更为斜角
		Fillet	变更为圆弧
		Create Detail	建立细部的说明图
	Artwork		设定底片
	Stream Out		产生 Stream 档案
	NC	Drill Parameters	设定钻孔图档的参数
		Drill Legend	产生钻孔图形及统计表
		Drill Tape	产生钻孔 Tape 档案
		Route	产生钻孔 Route 档案
	Cut Marks		产生板边的角落标示
	DFA Check		零件组装的检查
	Silkscreen		产生文字面
	Variants	Create Assembly Drawing	建立组装的图面
		Create Bill of Materials	建立零件列表
Tools	Create Module		建立模块
	Padstack	Modify Design Padstack	修改板内的 Pad
		Modify Library Padstack	修改零件库的 Pad
		Replace	更换成其它的 Pad
		Group Edit	以群组的方式修改 Pad
		Refresh	自零件库重新更新 Pad
	Pad	Boundary	修改 Pad 的外形
		Restore	回复 Pad 的外形
		Restore ALL	全部回复 Pad 的外形
	Derive Connectivity		将 Line 变成 Cline
	Reports		产生报表
	Technology File Compare		比较不同的 Tech 档案
	Setup Advisor		设定 SI 的精灵
	Database Check		图文件资料的检查

功 能 表	第一层命令	第二层命令	说 明
	Update DRC		更新图档的 DRC
Help	Allegro Help		线上辅助说明
	Product Notes		产品需知
	Known Problems and Solutions		已知问题及解决方案
	Web Resources	Sourcelink	原厂的技术支持网站
		Education Services	原厂的教育训练服务
		pcb.cadence.com	原厂的产品网站
	Manuals		使用手册
	Design Flow		设计流程说明
	Constraint Manager		规范总管的使用手册
	About Allegro Expert		关于 Allegro

附录 C 工具列说明



在本章节中列出 Allegro 所有的工具列, 如下图所示, 并说明它所代表的命令:



图 示	命 令	说 明
	New	开启新档案
	Open	开启旧档案
	Save	储存档案
	Move	搬移对象
	Copy	复制对象
	Delete	删除对象
	Zoom By Points	以两点定出画面大小
	Zoom Fit	显示整块板子
	Zoom In	画面放大
	Zoom Out	画面缩小
	Zoom Previous	回到上一个画面
	Add Line	增加线段
	Add Rectangle	增加空心的长方形
	Add Text	增加文字
	Text Edit	编修文字的内容
	Color	设定层面的颜色
	Shadow Toggle	切换阴影的显示
	Show Element	查看对象的相关信息



C

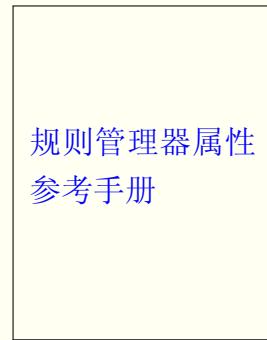
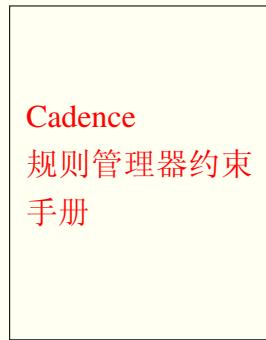
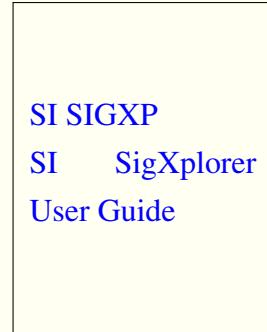
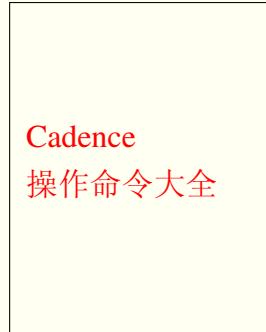
工具列说明

图 示	命 令	说 明
	Highlight	设定被 Highlight 的对象
	Dehighlight	设定被 Dehighlight 的对象
	Grid Toggle	切换阴影的显示
	Define Xsection	设定走线的层面
	Cmgr	设定电子规范的工作表
	Cns	设定规范
	Keepin Router	设定拉线的许可区
	Keepin Package	设定放置零件的许可区
	Place Manual	人工放置零件
	Unrats All	关掉全部的鼠线
	Rats All	显示全部的鼠线
	Add Connect	人工拉线
	Slide	人工修线
	Custom Smooth	自订化修整走线
	Vertex	编修线段之转角
	Auto_Route	执行自动拉线
	Signal Library	设定分析的零件库
	Signal Model	设定分析的模块
	Signal Audit	检查被分析的设计图档
	Signal probe	测量分析的结果
	Create Detail	建立细部的说明图

图 示	命 令	说 明
	Linefont	设定线段的型式
	Dimension Linear	标示线性尺寸
	Dimension Datum	标示 Datum 尺寸
	Dimension Angular	标示角度尺寸
	Leader Only	标示线段的 Leader
	Leader Diametral	标示圆直径的 Leader
	Leader Radial	标示圆半径的 Leader
	Leader Balloon	标示球形的 Leader
	Leader Chamfer	标示斜角的 Leader
	Odb_out	输出 ODB++档案
	Ncdrill Legend	产生钻孔图形及统计表
	Ncdrill Param	设定钻孔图档的参数
	Film Param	设定底片
	Reports	产生报表
	Help	线上辅助说明

7 Cadence 参考文档

双击下面图标打开文档



致谢

首先感谢 师兄王有为，CADENCE 的 使用和推广是在他的支持下才开展，也是 我开始的原因之一。还有已离职的许大小姐，在我还未学会 CACENCE 前，大小姐替我们走了很多弯路，为我们的 CACENCE 工程立下不少苦劳。还有刘正尧，刘广法，蒋忠伟，陈世奎等许多同事同学在交流中给了我不少启迪。CADENCE 相对于 AD 来说学习曲线比较陡峭，但学会后，Cadence 在高速板设计中的确节省了很多时间。由于本文一直在添加改进中，没有太多的时间核对修订，也请大家参考时尽量留心，如有错误请及时联系，以便改进。

