计算机组成原理模拟试题参考答案

1. 单选题

CCDCA DBCCA CCBBA

1. 填空题

1. 答：控制器，存储器，输入设备，输出设备

2. 答：（1）8位 （2）23位

3. 答：32,32,0

4.答：主存群号，标记（或Cache行号），块内地址，或者主存组号，组内块号，块内地址

5.答：**统一编址方式（内存映射方式），独立编址方式（使用专门的I/O指令方式）**

1. 名词解释

1. 基准程序（benchmarks）

答：专门用来进行性能评价的一组程序，不同的机器运行相同的基准程序可比较它们的运行时间。

2. 对阶（浮点加减运算）

答：浮点数加减运算的对阶是使两数的阶码相等(小数点实际位置对齐，尾数对应位权值相同)。

3. **CISC**

答：即复杂指令集计算机，将复杂指令加入到指令系统中，以提高计算机的处理效率。

4. 向量中断

答：直接依靠硬件来获得中断服务程序的入口地址的这种中断称为向量中断。

1. 简答题
2. IEEE754单精度浮点数标准中非规格化数是如何定义的？尾数的隐藏位是多少？阶码的真值是多少？

答：非规格化数的阶码为全0，尾数为非0值。尾数的隐藏位为0，阶码的真值为-126.

2. 下列MIPS指令中分别包含哪些寻址方式？指令的功能是什么？

（1）beq $s1，$s2，addr

（2）lui $t1,100

（3）j 100

（4）lw $s3，20($t1)

答：（1）寄存器寻址，PC相对寻址。指令的功能是比较寄存器$s1和$s2，如果相等则转移。

（2）寄存器寻址，立即数寻址。将寄存器t1的高16位设置为100，低16位为0.

（3）伪直接寻址（或页面寻址）。跳转指令，跳转到PC指定的指令处，PC的形成是，高4位保持不变，将100左移两位（或乘以4）送入PC的低28位。

（4）寄存器寻址，基址寻址。从存储器中取一个字单元内容送入s3寄存器中，存储器地址为：将常数20加上寄存器t1的内容。

3. DMA中常用的数据传送方式有哪三种？简述它们的传送方法。

答：有CPU停止法(成组传送)、周期挪用(窃取)法(单字传送)和交替分时访问法。

CPU停止法：DMA传输时，CPU脱离总线，停止访问主存，直到DMA传完一块数据。

周期挪用法：DMA传输时，CPU让出一个总线事务周期，由DMA控制器控制总线来访问主存，传送完一个数据后立即释放总线。

交替分时访问法：将每个存储周期分成两个时间片，一个给CPU，一个给DMA，这样在每个存储周期内，CPU和DMA都可访问存储器。

4. 答：

中断响应是指主机发现外部中断请求，中止现行程序的执行，到调出中断服务程序这一过程。中断响应是又CPU硬件完成的，它完成工作包括关中断、保护断点和程序状态、识别中断源。

中断处理是指执行相应中断服务程序的过程。中断处理是由软件完成的，它就是执行相应的中断服务程序，不同的中断有不同的中断服务程序，大致包括准备阶段、具体的中断处理阶段和恢复阶段。

1. 计算与分析题

1. 一个高级语言编写的程序被两个不同的编译器编译生成两种不同的指令序列X1和X2，在时钟频率为2GHz的机器上运行，目标指令序列中用到的指令类型有A、B、C和D四类。四类指令在机器上的CPI和两个指令序列所用的各类指令条数如下表所示。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 指令类型 | A | B | C | D |
| 各类指令的CPI | 1 | 3 | 4 | 2 |
| X1的指令条数 | 5 | 3 | 2 | 2 |
| X2的指令条数 | 4 | 5 | 2 | 3 |

问：X1和X2各有多少条指令？所含的时钟周期数各为多少？CPI各为多少？执行时间各为多少？小数保留到小数点后1位。

解：X1有12条指令，所含的时钟周期数为5×1+3×3+2×4+2×2=26，CPI为 26/12=2.2,执行时间为26/2G = 13ns。

X2有14条指令，所含的时钟周期数为4×1+5×3+2×4+3×2=33，CPI为 33/14 =2.4,执行时间为33/2G = 16.5ns。

2. 将十进制数-135.59375转换成IEEE754 的32位标准浮点数格式，分别写出其二进制数表示和16进制数表示。

解：

135.59375=(10000111.10011)2

规格化尾数=1.000011110011，阶码e=7，E=7+127=134=（10000110）2

尾数符号S=1，尾数M=000011110011

32位二进制格式：1 10000110 00001111001 100000000000

16进制格式：C3079800

3. 若指令“ORI rt，rs，immediate”的编码格式如下：

|  |  |  |  |
| --- | --- | --- | --- |
| [31:26] | [25:21] | [20:16] | [15:0] |
| OP | rs | rt | immediate |

其中，OP为001101B，rs为8，rt为15，immediate为200。

将该指令分别按照小端方式和大端方式存储在2000号开始的四个字节存储单元中。要求用十六进制数表示，结果直接填入表中。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 单元地址 | 2000 | 2001 | 2001 | 2003 |
| 小端方式 |  |  |  |  |
| 大端方式 |  |  |  |  |

解：指令码的二进制表示：001101 01000 01111 00000000 11001000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 单元地址 | 2000 | 2001 | 2001 | 2003 |
| 小端方式 | 35 | 0F | C8 | 00 |
| 大端方式 | 35 | 0F | 00 | C8 |

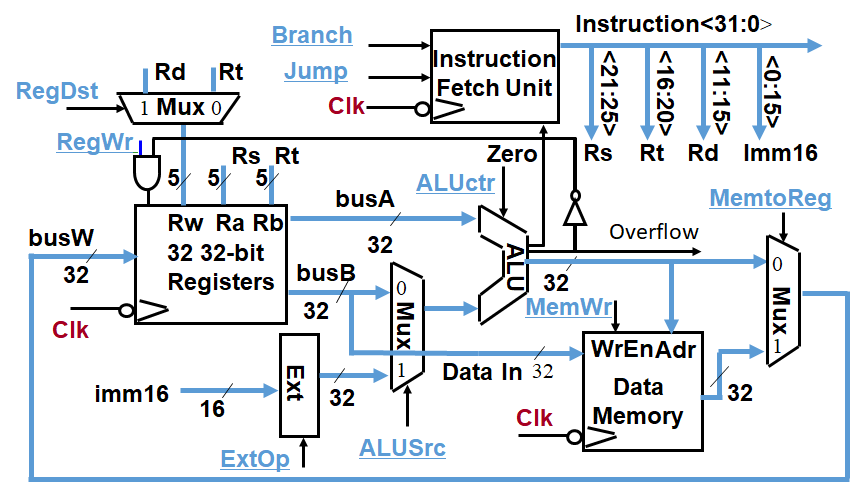
4. 设有下图所示单周期MIPS数据通路，试分别指出下列指令在该数据通路中执行时，各控制信号的取值是什么？说明：有效为1;无效为0; ALUctr可为add,sub,addu,subu,or,and;无影响为x.

（1）andi $s1,$s2,100

（2）sub $8,$4,$5

（2）lw $t1，20($s2)

（3）beq $s1,$t1,200



|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **指令** | **RegDst** | **ALUSrc** | **ALUctr** | **MemWr** | **ExtOP** | **RegWr** | **MemtoReg** | **Branch** | **Jump** |
| **andi** |  |  |  |  |  |  |  |  |  |
| **sub** |  |  |  |  |  |  |  |  |  |
| **lu** |  |  |  |  |  |  |  |  |  |
| **beq** |  |  |  |  |  |  |  |  |  |

答：

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **指令** | **RegDst** | **ALUSrc** | **ALUctr** | **MemWr** | **ExtOP** | **RegWr** | **MemtoReg** | **Branch** | **Jump** |
| **andi** | **0** | **1** | **And** | **0** | **0** | **1** | **0** | **0** | **0** |
| **sub** | **1** | **0** | **Sub** | **0** | **X** | **1** | **0** | **0** | **0** |
| **lu** | **0** | **1** | **Add** | **0** | **1** | **1** | **1** | **0** | **0** |
| **beq** | **X** | **0** | **Subu** | **0** | **X** | **0** | **x** | **1** | **0** |

5. 某半导体存储器容量为4 K×16，其中0000H～0BFFH为ROM区，0C00H～FFFH为RAM区，地址总线A11～A0（低）。ROM芯片有1 KB /片和2KB/片两种，RAM芯片有1 KB /片和2KB/片两种。

（1）计算该存储器的ROM区容量和RAM区容量

（2）计算所需各类芯片的数量。

（3）说明加到各芯片的地址范围值和地址线。

（4）写出各片选信号的逻辑式。

答：

（1）ROM区容量：BFFH+1=C00H=3k

RAM区容量：FFFH-C00H+1=400H=1k

（2）由于存储单元为16位，而芯片的每个单元为8位，故需要进行位扩展，即用2片拼成一个16位的存储器。

ROM区：第一组：需要2KB/片芯片2片，构成一组2K×16容量

第二组：需要1KB/片芯片2片，构成一组1K×16容量

RAM区需要1KB/片芯片2片，构成1K×16容量

（3）ROM区分为：

第一组2片2KB/片组成2K×16，地址范围0000H~07FFH，地址线A10~A0

第二组2片1KB/片组成1K×16，地址范围0800H~0BFFH，地址线A9~A0

RAM区：

2片1KB/片组成1K×16，地址范围0C00H~0FFFH，地址线A9~A0

（4）4K×16容量存储器共需要12位地址A11~A0，除去组内芯片所需地址后就是片选所需地址。

ROM第一组：片选所需地址为A11，片选信号:

第二组：片选所需地址为A11和A10，片选信号

RAM ：片选所需地址为A11和A10，片选信号CS2=A11A10

6. 设主存容量为32MB，Cache数据容量为32KB，主存与Cache交换数据单位为4KB。

（1）采用2路组相联映射方式，主存0x1234号单元所在主存块应装入的Cache组号是多少？主存0x123号块应装入的Cache组号是多少？

（2）计算该Cache的总容量（包含有效位V）。

解：32MB主存地址需要25位，4KB块内地址需要12位。Cache被分为32/4=8行。

（1）采用2路组相联时，Cache每组2行，8行共分为4组，则25位主存地址划分为：25-12-2=11位标记，2位组号，12位块内地址。每组群含4块，组内行号地址2位，主存地址0x1234= (00000000000 0**1** 0010 0011 0100) ，其中表示组号的2位为01，因此，该地址单元应装入Cache的组号为1.

0x123号主存块对应的组内块号为：0x123mod 4=3，即应装入Cache的组号为3

（2）每行包含1位V，11位标记和1行数据4KB，故行的长度为：1+11+4K×8=32780 (bit)

Cache总容量=32780×8=262240bit=32780B=32.01KB

7. 设某计算机有5级中断，中断响应优先级为1>2>3>4>5，而中断处理优先级为1>4>5>2>3。要求：

（1）设计各种中断处理程序的中断屏蔽位(假设1为屏蔽，0为开放)；

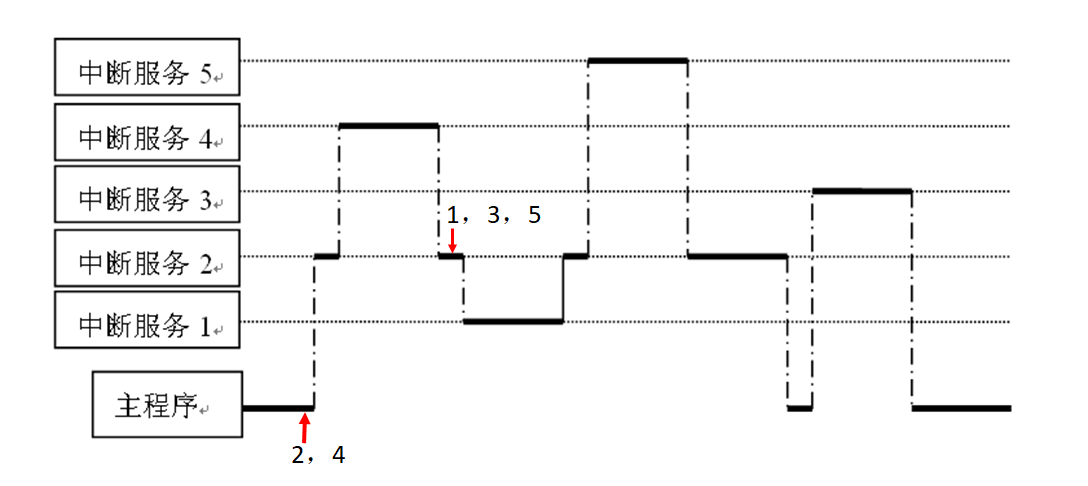
（2）若在运行主程序时，同时出现第2、4级中断请求，而在处理第2级中断过程中，又同时出现1、3、5级中断请求，试画出此程序运行过程示意图。

解：**各级中断处理程序的中断屏蔽字：**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **中断程序级别** | **中断屏蔽字** | | | | |
| **1级** | **2级** | **3级** | **4级** | **5级** |
| **第1级** | **1** | **1** | **1** | **1** | **1** |
| **第2级** | **0** | **1** | **1** | **0** | **0** |
| **第3级** | **0** | **0** | **1** | **0** | **0** |
| **第4级** | **0** | **1** | **1** | **1** | **1** |
| **第5级** | **0** | **1** | **1** | **0** | **1** |

程序运行过程又分成两种情况：

（1）假设第2级中断服务程序中**开中断**后第1条指令执行时未出现1、3、5级中断请求，即开始2级中断服务程序时排队队列中只有4级中断。4级中断处理结束后才发生1、3、5级中断请求。



（2）假设第2级中断服务程序后就出现1、3、5级中断请求，即2级中断服务程序中开中断后排队队列中有1、3、4和5级中断。

