



河北师范大学软件学院
Software College of Hebei Normal University

计算机组成原理

第二章 计算机的逻辑部件



主要内容

2.1逻辑代数基础

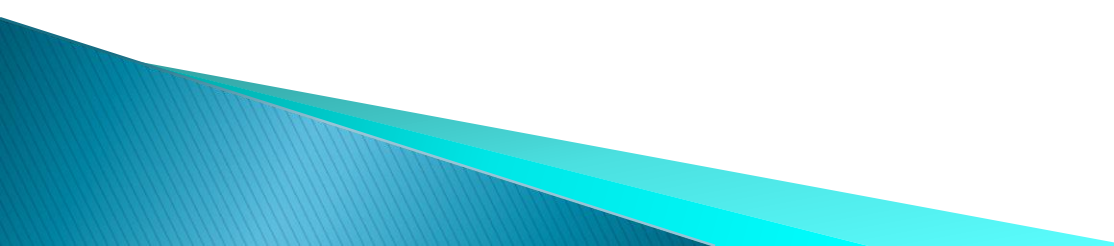
2.2组合逻辑电路

2.3时序逻辑电路

2.1 逻辑代数基础

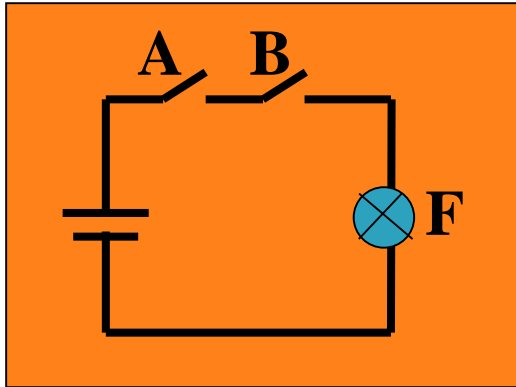
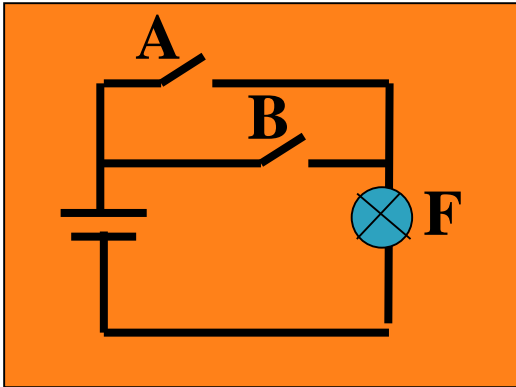
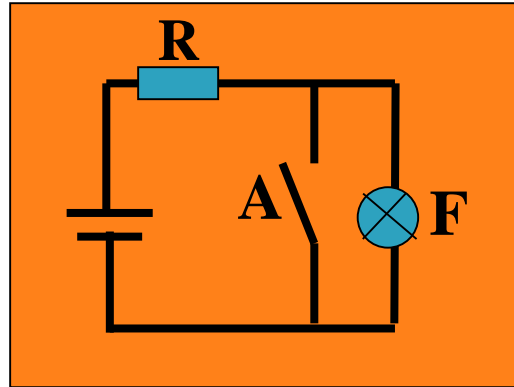
- ▶ 冯·诺依曼计算机的特点之一是采用二进制。
- ▶ 计算机中的电路采用逻辑电路，电路的输入和输出状态只有高、低电平两种状态。
- ▶ 描述电路的输入和输出关系用**逻辑函数**。
- ▶ 逻辑变量和逻辑函数的值只有“真”、“假”两种可能，在逻辑数学中，通常用“1”表示“真”，用“0”表示“假”，或者相反一逻辑值。

逻辑函数的表示方法

- ▶ 逻辑函数
 - ▶ 真值表——将输入变量的所有可能的取值组合对应的输出变量的值一一列出来的表格。
 - ▶ 卡诺图
 - ▶ 逻辑图
 - ▶ 逻辑电路
- 

2.1.1 基本逻辑运算

- ▶ 逻辑代数是**二值**代数。
- ▶ 逻辑代数中有**三种**基本运算：
逻辑乘(与)、逻辑加(或)、逻辑反(非)

	“与” 运算(逻辑乘) <i>Logic Multiplication</i>	“或” 运算(逻辑加) <i>Logic Addition</i>	“非” 运算(逻辑非) <i>Logic Negation</i>																																				
示意 电路																																							
真值 表	<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	F	0	0	0	0	1	0	1	0	0	1	1	1	<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	F	0	0	0	0	1	1	1	0	1	1	1	1	<table><tr><th>A</th><th>F</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	F	0	1	1	0
A	B	F																																					
0	0	0																																					
0	1	0																																					
1	0	0																																					
1	1	1																																					
A	B	F																																					
0	0	0																																					
0	1	1																																					
1	0	1																																					
1	1	1																																					
A	F																																						
0	1																																						
1	0																																						

2. 1. 2 布尔代数基本公式

(1) 0-1律

$$0 \cdot A = \square$$

$$1 + A = \square$$

(2) 自等律

$$1 \cdot A = \square$$

$$0 + A = \square$$

(3) 互补律

$$A \cdot \overline{A} = \square$$

$$A + \overline{A} = \square$$

(4) 交换律

$$A \cdot B =$$

$$A + B =$$

(5) 结合律

$$A + (B + C) =$$

$$A (BC) =$$

(6) 分配律

$$A + BC =$$

加法的分配律

$$A (B + C) =$$

(7) 吸收律

$$A + AB = \boxed{}$$

$$A \bullet (A + B) = \boxed{}$$

$$A + \overline{A}B = \boxed{}$$

$$A \bullet (\overline{A} + B) = \boxed{}$$

(8) 重叠律

$$A \cdot A = \boxed{}$$

$$A + A = \boxed{}$$

(9) 反演律

$$\overline{AB} = \boxed{}$$

$$\overline{A + B} = \boxed{}$$

(10) 还原律

$$\overline{\overline{A}} = A$$

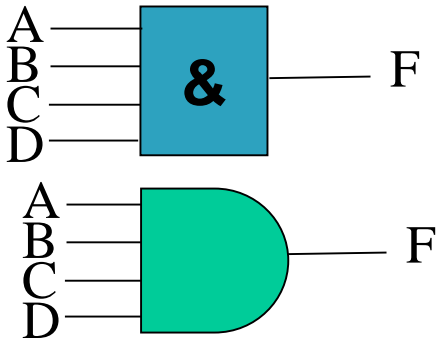
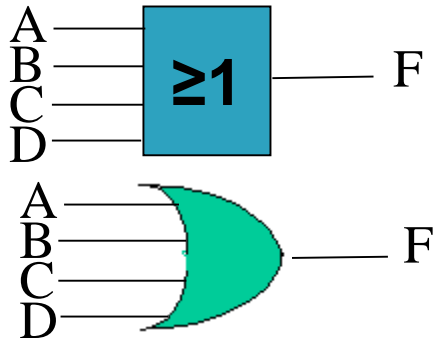
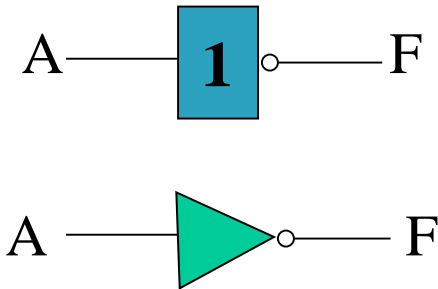
(11) 包含律

$$AB + \overline{A}C + BC =$$

$$(A + B)(\overline{A} + C)(B + C) =$$

在两个乘积项中，若有一个变量是互反的，那么由这两个乘积项中的其它变量组成的新的乘积项就是多余的，可以消去。

2. 1. 3基本门电路

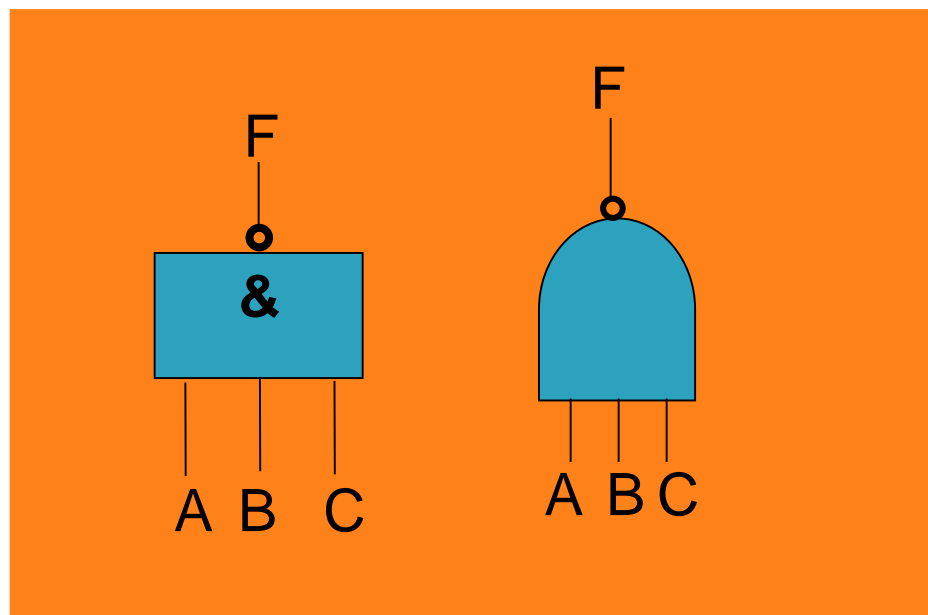
	“与” 运算(逻辑乘) <i>Logic Multiplication</i>	“或” 运算(逻辑加) <i>Logic Addition</i>	“非” 运算(逻辑非) <i>Logic Negation</i>
代数式	$F = A \times B = A \cdot B$	$F = A + B$	$F = \overline{A}$
逻辑符号	 <p>The AND operation is represented by two symbols. The first is a blue square containing a black ampersand (&), with four input lines labeled A, B, C, and D on the left, and one output line labeled F on the right. The second is a green D-shaped symbol, also with four input lines labeled A, B, C, and D on the left, and one output line labeled F on the right.</p>	 <p>The OR operation is represented by two symbols. The first is a blue square containing a black greater-than-or-equal-to sign (≥1), with four input lines labeled A, B, C, and D on the left, and one output line labeled F on the right. The second is a green curved symbol, also with four input lines labeled A, B, C, and D on the left, and one output line labeled F on the right.</p>	 <p>The NOT operation is represented by two symbols. The first is a blue square containing a black number 1, with one input line labeled A on the left and one output line labeled F on the right, ending in a small circle. The second is a green triangle with a small circle at its tip, with one input line labeled A on the left and one output line labeled F on the right, ending in a small circle.</p>

2.1.4 复合门电路

与非门电路

逻辑表达式为： $F = \overline{A \cdot B \cdot C}$

A B C	F
0 0 0	1
0 0 1	1
0 1 0	1
0 1 1	1
1 0 0	1
1 0 1	1
1 1 0	1
1 1 1	0



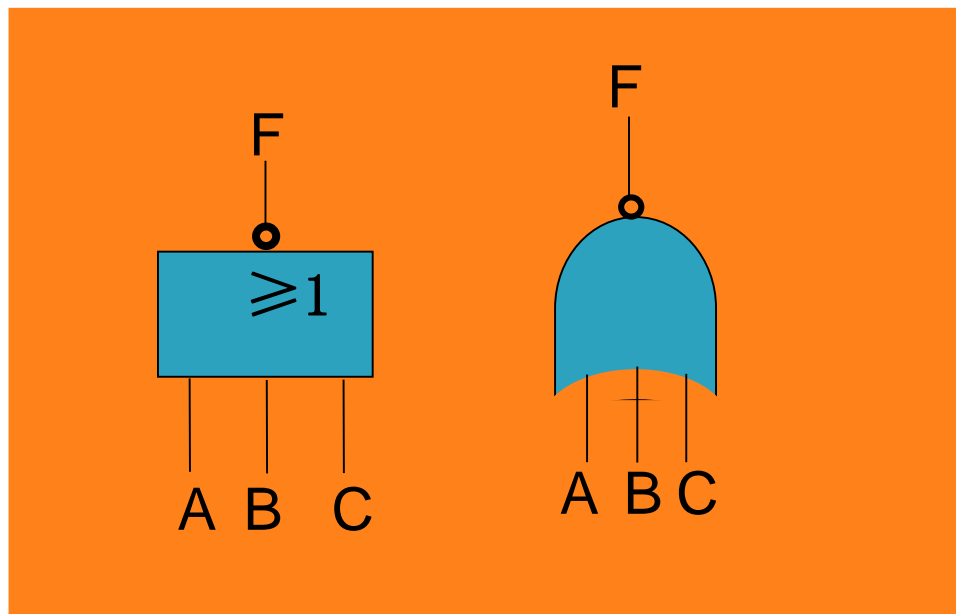
或非门电路

逻辑表达式为: $F = \overline{A + B + C}$

或非逻辑真值表

A B C	F
0 0 0	1
0 0 1	0
0 1 0	0
0 1 1	0
1 0 0	0
1 0 1	0
1 1 0	0
1 1 1	0

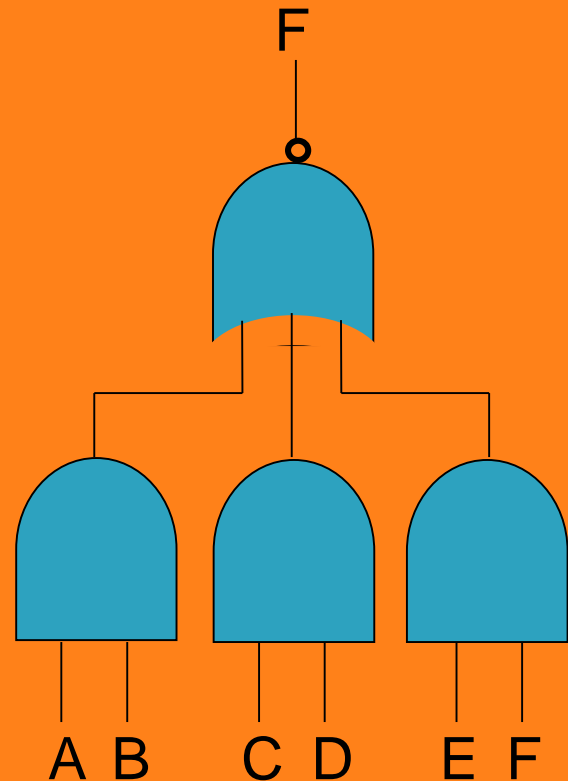
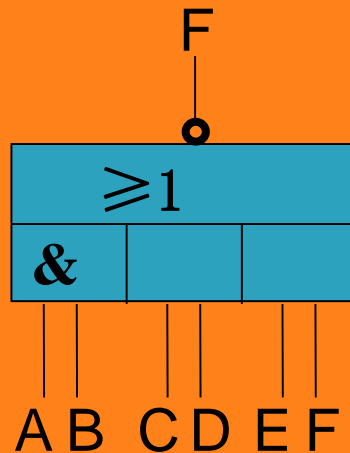
或非门的逻辑符号



与或非门电路

逻辑表达式为： $F = \overline{AB + CD + EF}$

与或非门的逻辑符号



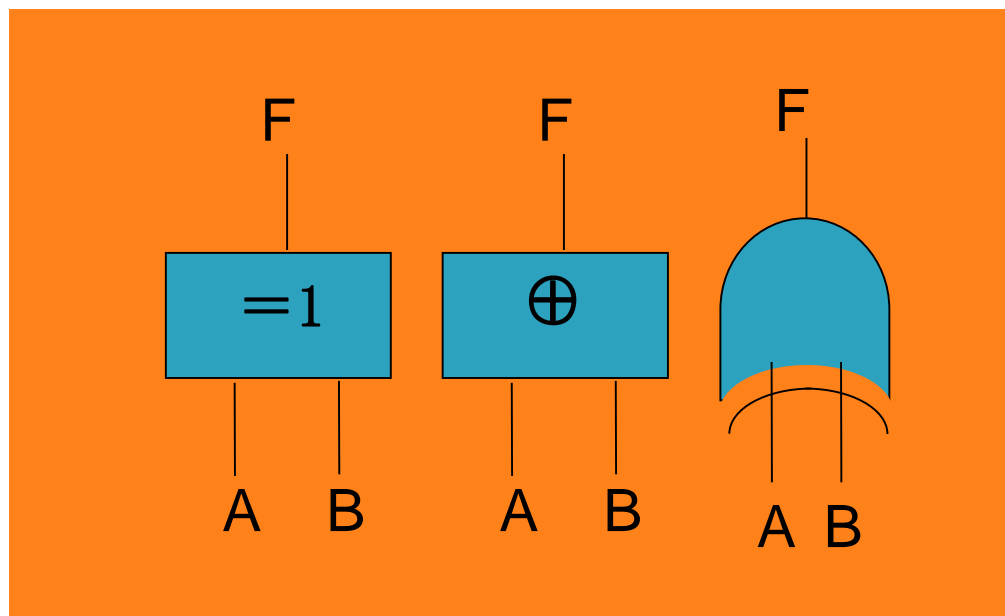
异或门电路

逻辑表达式为: $F = A \oplus B = \overline{A} \cdot B + A \cdot \overline{B}$

异或逻辑真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

异或门的逻辑符号



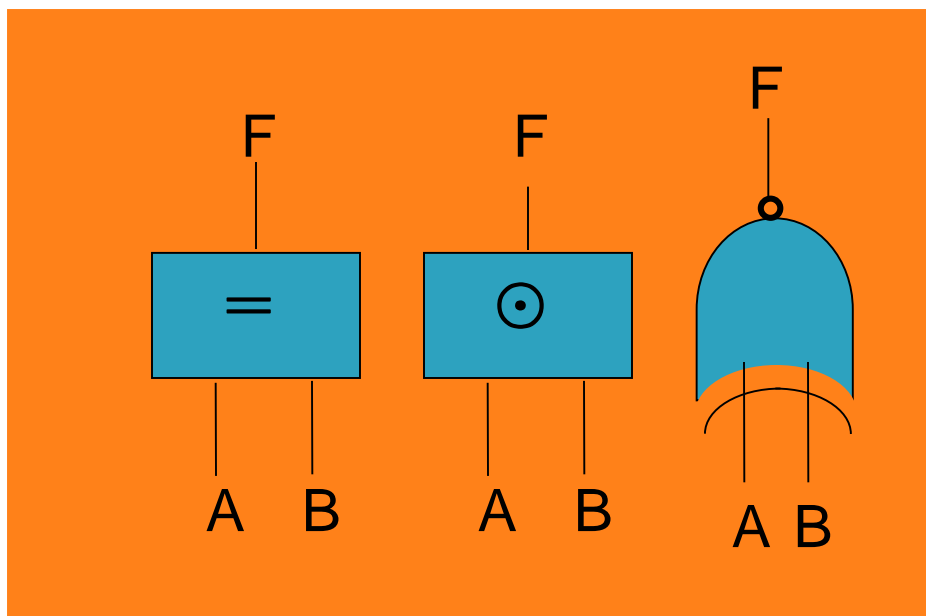
同或门电路

逻辑表达式为: $F = A \odot B = \overline{A} \cdot \overline{B} + A \cdot B$

同或逻辑

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

同或门的逻辑符号



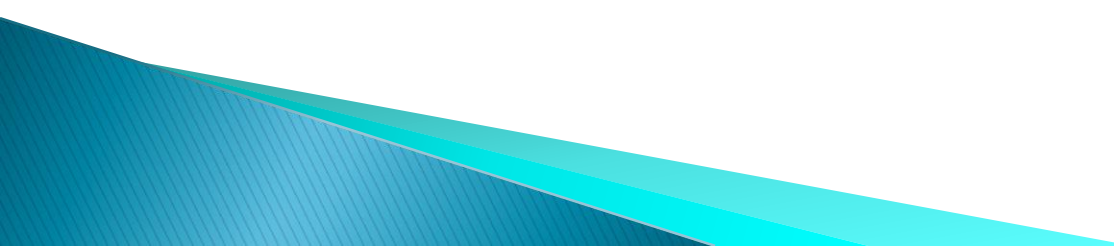
异或取反

2.2 组合逻辑电路

逻辑电路的分类：**组合逻辑电路**
时序逻辑电路

组合逻辑电路的特点：电路输出仅取决于当时的输入，而与过去的输入情况无关。

时序逻辑电路的特点：电路输出不仅取决于当时的输入，而且也与过去的输入情况有关，即与过去的电路状态有关。

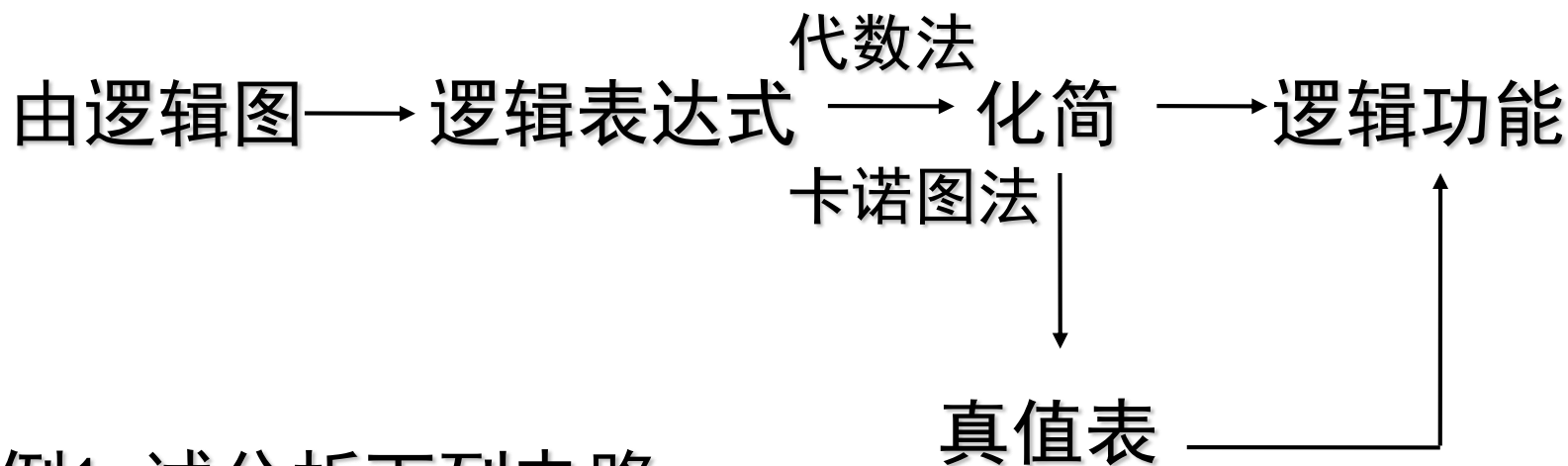


2.2 组合逻辑电路的分析与设计

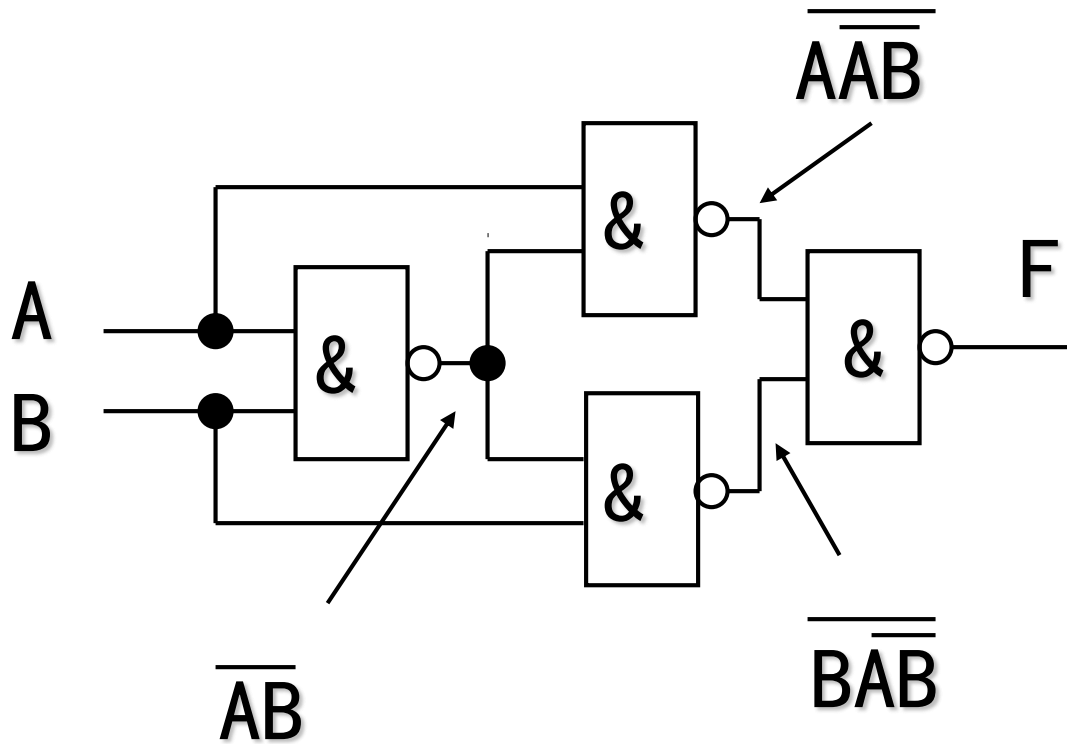
2.2.1 组合逻辑电路的分析

由逻辑电路图确定其逻辑功能

分析步骤:



例1: 试分析下列电路

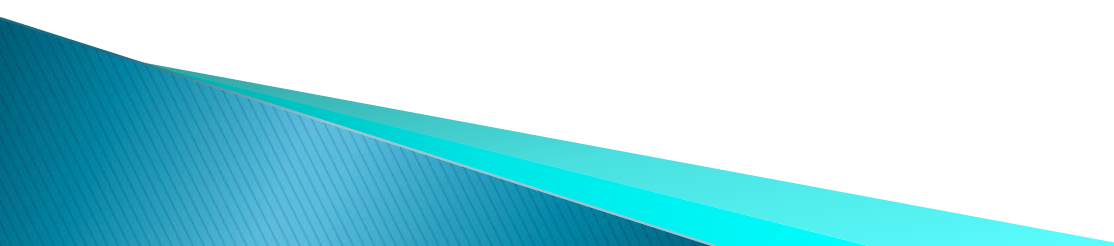


$$\begin{aligned}
 F &= \overline{\overline{A}B} \cdot \overline{A\overline{B}} = \overline{A}B + A\overline{B} \\
 &= (\overline{A} + \overline{B})A + (\overline{A} + \overline{B})B \\
 &= A \oplus B
 \end{aligned}$$

2.2.2 组合逻辑电路的设计

根据给定的逻辑问题，设计实现其功能的逻辑电路。

设计步骤：

- 1) 根据设计任务，确定输入变量、输出变量，找到输出与输入之间的逻辑关系。
 - 2) 列出真值表
 - 3) 由真值表写出逻辑表达式并化简，需要时可变换逻辑表达式。
 - 4) 由逻辑表达式画出相应的逻辑电路图。
- 

例：设计一个用于比赛的裁判电路，可供一个主裁判和两个副裁判使用，当包含主裁判在内的两个或两个以上的裁判判决有效时判决才有效。

A、B、C表示三个裁判的判决，为1表示有效，0表示无效。Y表示判决结果，1有效，0无效。

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$F = A\overline{B}C + AB\overline{C} + ABC$$

$$F = AB + AC$$

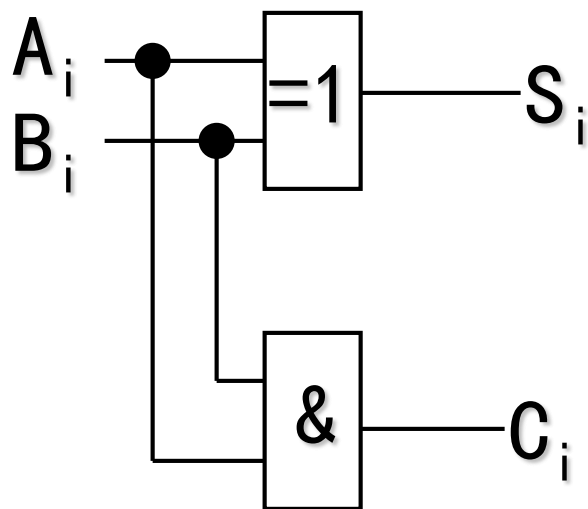
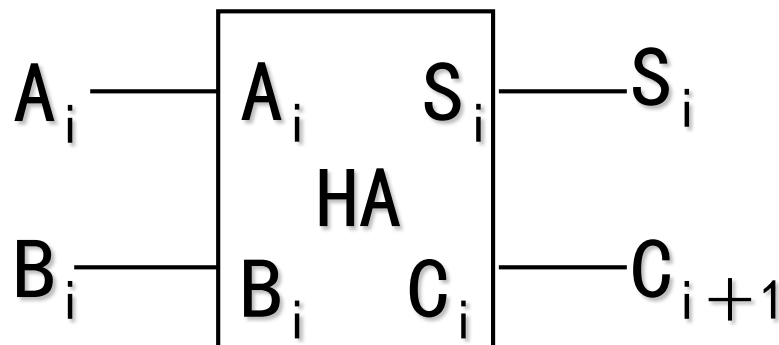
2.2.3 常用组合逻辑电路

1 加法器 是计算机中最基本的部件之一。

半加器 两个一位的二进制数相加，不考虑低位来的进位。

A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

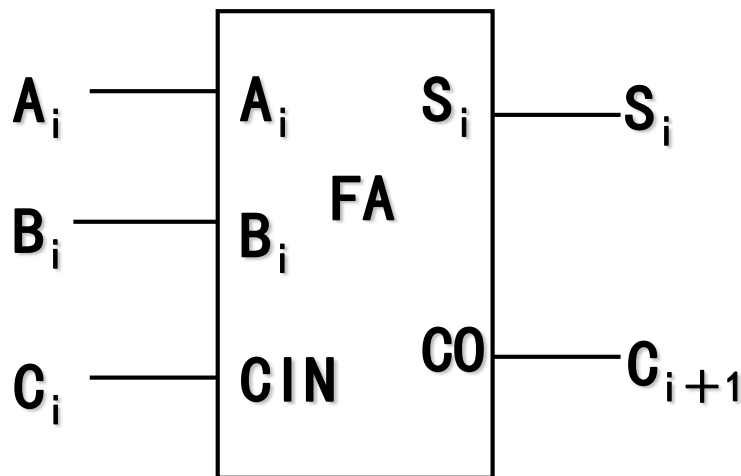
$$S_i = A_i \oplus B_i \quad C_i = A_i B_i$$



全加器

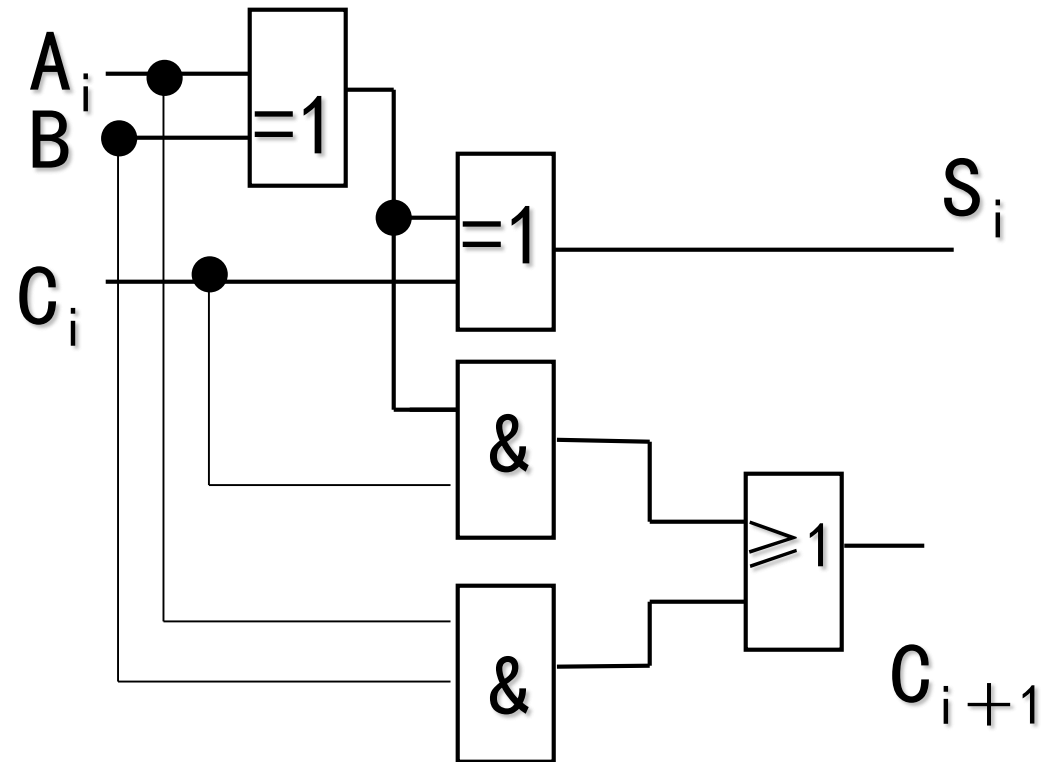
多位的二进制数相加时，必须考虑低位来的进位。

A_i	B_i	C_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



$$\begin{aligned}C_{i+1} &= \overline{A_i}B_iC_i + A_i\overline{B_i}C_i + A_iB_i\overline{C_i} + A_iB_iC_i \\ &= (A_i \oplus B_i)C_i + A_iB_i\end{aligned}$$

A_i	B_i	C_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



$$S_i = \bar{A}_i \bar{B}_i C_i + \bar{A}_i B_i \bar{C}_i + A_i \bar{B}_i \bar{C}_i + A_i B_i C_i$$

$$= \bar{C}_i (A_i \oplus B_i) + C_i (\overline{A_i \oplus B_i})$$

$$= A_i \oplus B_i \oplus C_i$$

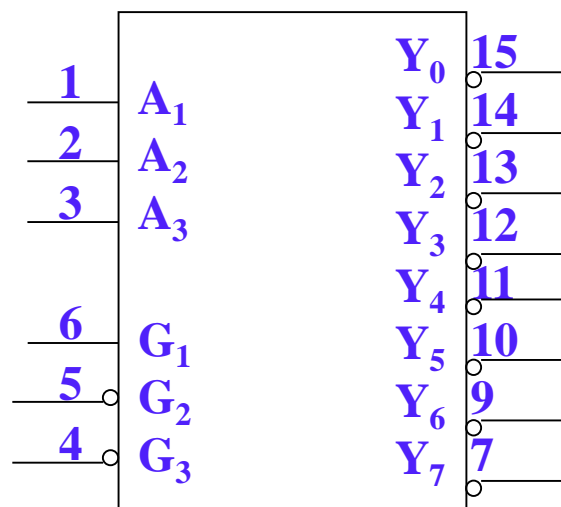
2 译码器

将二进制代码变换为相应的输出信号或另一种代码。

二进制译码器

当 $G_1=1$ 、 $G_2=G_3=0$ 时，该译码器处于工作状态，否则输出被禁止。

当 $A_3A_2A_1=101$ 时， $Y_5=0$ ，其余等于1

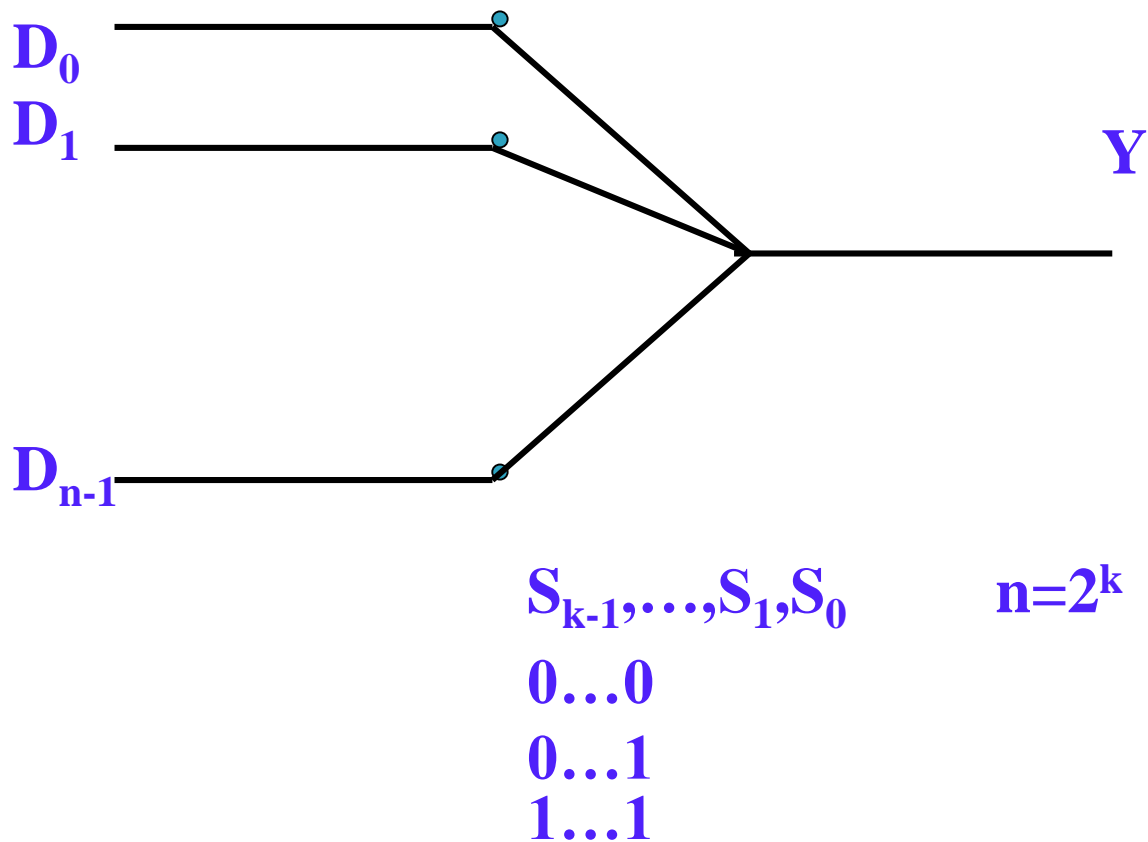


使能端			代码输入			最小项取值							
G_1	G_2	G_3	A_2	A_1	A_0	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
×	1	×	×	×	×	1	1	1	1	1	1	1	1
×	×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1

当 $G_1=1$ 、 $G_2=G_3=0$ 时，该译码器处于工作状态，否则输出被禁止。

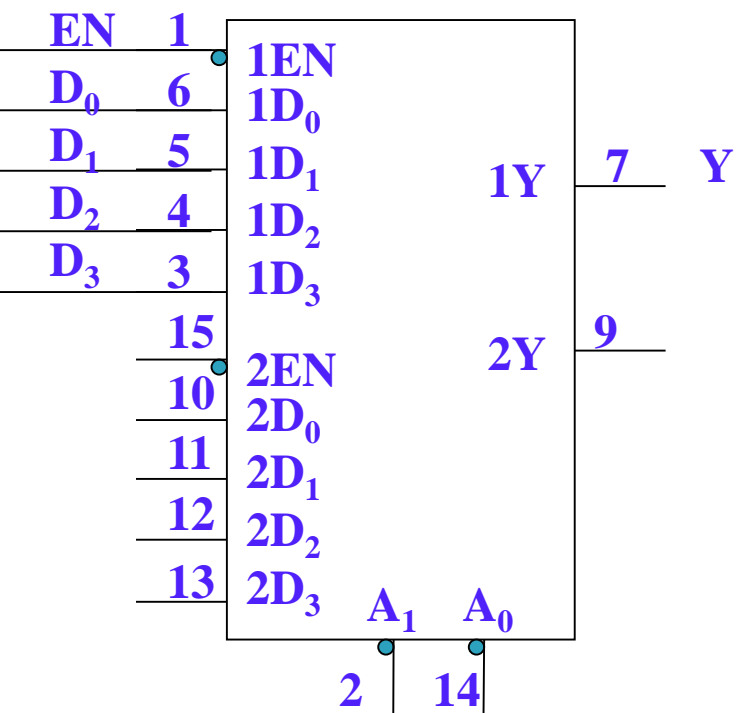
3 数据选择器

能够从源点**多个输入数据**中选择**一路**且传送到目的标点的逻辑电路称为数据选择器。简称MUX。



4选1数据选择器

74LS153



EN	A ₁	A ₀	Y
1	×	×	0
0	0	0	D ₀
0	0	1	D ₁
0	1	0	D ₂
0	1	1	D ₃

2.3 时序逻辑电路

- ▶ 数字逻辑电路可分为两大类：

组合逻辑电路

时序逻辑电路

- ▶ 组合电路的输出仅由当前输入决定。
- ▶ 时序电路是指它的输出不仅取决于**当前输入**，而且也取决于过去的**输入序列**，即过去输入序列不同，则在同一当前输入的情况下，输出也可能不同。

触发器是构成时序电路的基本元件。

1 触发器的基本特性

1) 有两个互补的输出端 Q 和 \overline{Q} ,

当 $Q = 0$ 时, $\overline{Q} = 1$; 当 $Q = 1$ 时, $\overline{Q} = 0$

2) 触发器有两个稳定状态, 具有记忆功能。

通常将 $Q=0$ 称为 “0” 状态, 表示存储信息 “0”;

将 $Q=1$ 称为 “1” 状态, 表示存储信息 “1”。

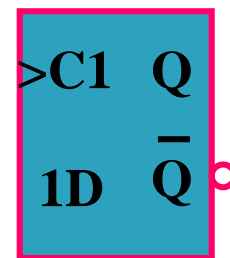
当输入信号不发生改变时, 触发器状态稳定不变,
存储1位二进制数。

3) 在输入信号作用下, 触发器可以从一个稳定状态转移到另一个稳定状态。

2 D触发器

特性方程

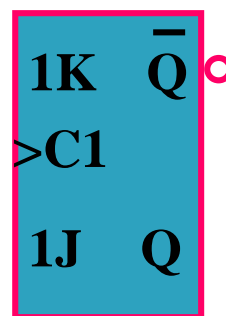
$$Q^{n+1} = D$$



3 JK触发器

特性方程

$$Q^{n+1} = J \overline{Q}^n + \overline{K} Q^n$$



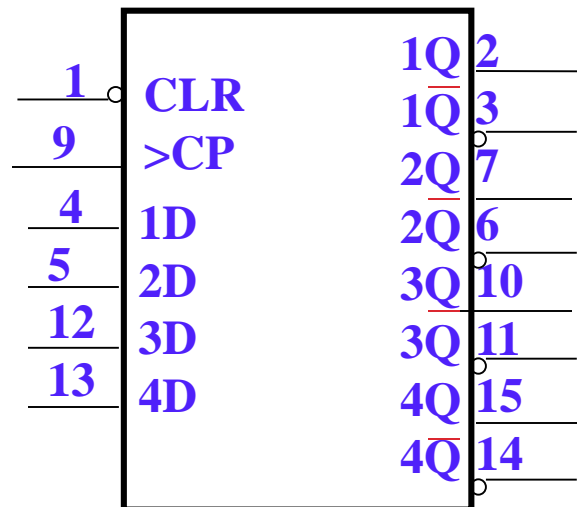
4 寄存器

数码寄存器和移位寄存器

数码寄存器

由若干个D触发器组成，常称为n位D触发器。

输入			输出	说明
CLR	CP	D	Q^{n+1}	
0	×	×	0	清 0
1	↑	1	1	置 1
1	↑	0	0	置 0
1	0	×	Q^n	保 持



74LS175

锁存器

由若干个D触发器组成，将D触发器的控制端CP连接在一起，用一个公共的使能控制信号来控制。

1	OC	1Q	2
11	C	2Q	5
3	1D	3Q	6
4	2D	4Q	9
7	3D	5Q	12
8	4D	6Q	15
13	5D	7Q	16
14	6D	8Q	19
17	7D		
18	8D		

输入			输出	说明
OC	C	D	Q^{n+1}	
0	1	1	1	置 1
0	1	0	0	置 0
0	0	×	Q^n	保持
1	×	×	Z	高阻

当三态输出使能信号OC=0且使能信号C=1时，74LS373正常工作，进行置0或置1。

数码寄存器和锁存器对于寄存数据来讲，功能是相同的。

它们的工作原理有所区别：

锁存器是电位信号控制，而数码寄存器是由同步时钟信号控制的。

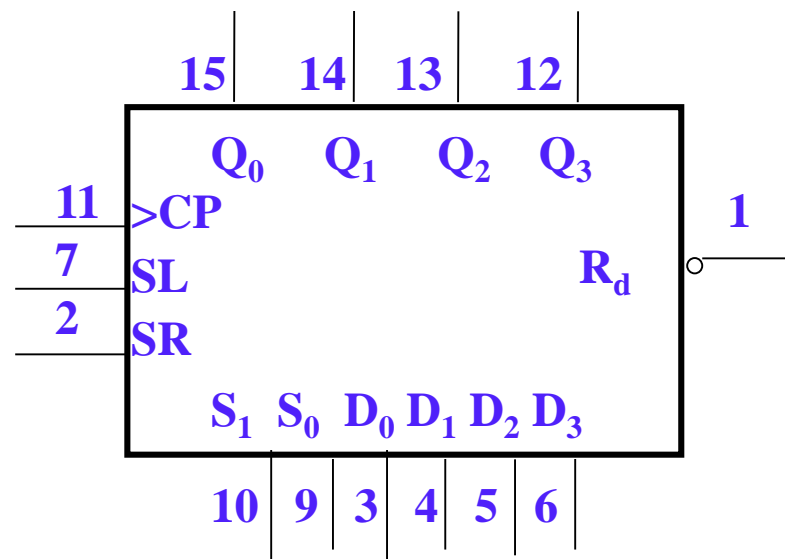
两者的应用场合不同，当数据有效滞后于控制信号有效时，只能使用锁存器；当数据有效先于控制信号且要求同步时，可选用数码寄存器来存放数据。



移位寄存器

除可以存放二进制代码外，在时钟信号控制下，还可将寄存的数据向左或向右移动。

Rd	S1	S0	工作状态
0	×	×	清 0
1	0	0	保 持
1	0	1	右 移
1	1	0	左 移
1	1	1	送 数



- 1)清零: $R_d=0$ 2)保持: $S_1S_0=00$
- 3)右移: $S_1S_0=01$, $(CP\uparrow)$ 右移, SR为串行右移数据输入
- 4)左移: $S_1S_0=10$, $(CP\uparrow)$ 左移, SL为串行左移数据输入
- 5)并入: $S_1S_0=11$, $(CP\uparrow)$ $Q_3Q_2Q_1Q_0=D_3D_2D_1D_0$

5 计数器

计数器的基本功能就是用来累计输入脉冲的个数。

下图是4位二进制计数器的状态转换表

N	Q_3	Q_2	Q_1	Q_0	Q'_3	Q'_2	Q'_1	Q'_0
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	0	1	1
11	1	0	1	1	1	1	0	0
12	1	1	0	0	1	1	0	1
13	1	1	0	1	1	1	1	0
14	1	1	1	0	1	1	1	1
15	1	1	1	1	0	0	0	0

总线电路

三态门

总线在同一时刻只能有一个发送方，因此必须采用三态门，使非主设备悬空。

具有三种逻辑状态的门电路叫三态门。这三种状态是：

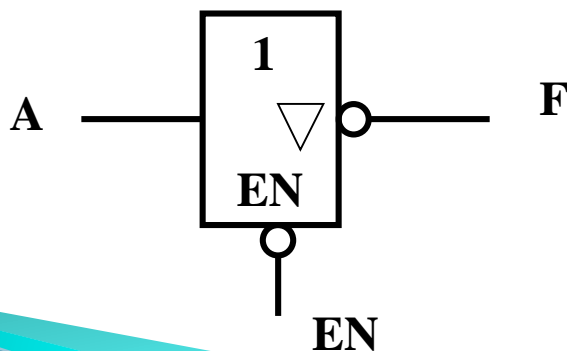
“0”状态

“1”状态

浮空状态

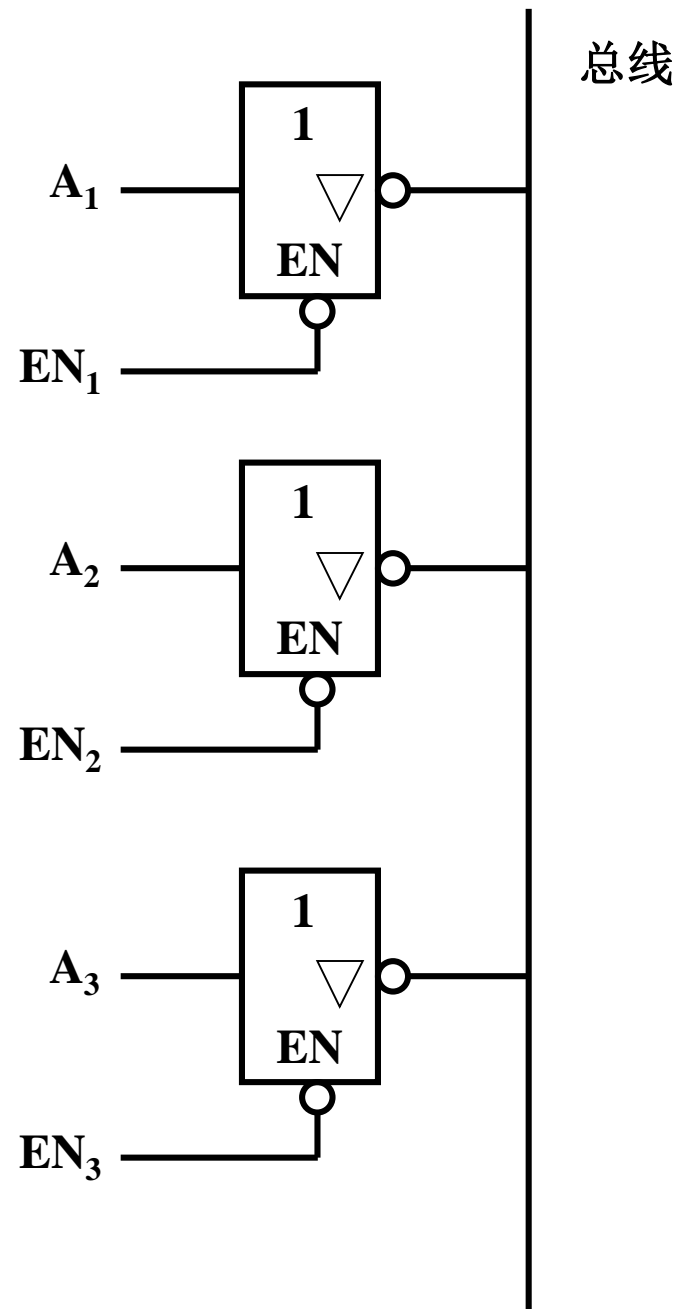
EN为使能控制端。当 $EN=0$ 时，三态门处于工作状态，和普通的门电路一样；

当 $EN=1$ 时，三态门处于禁止工作状态，其输出为高阻。



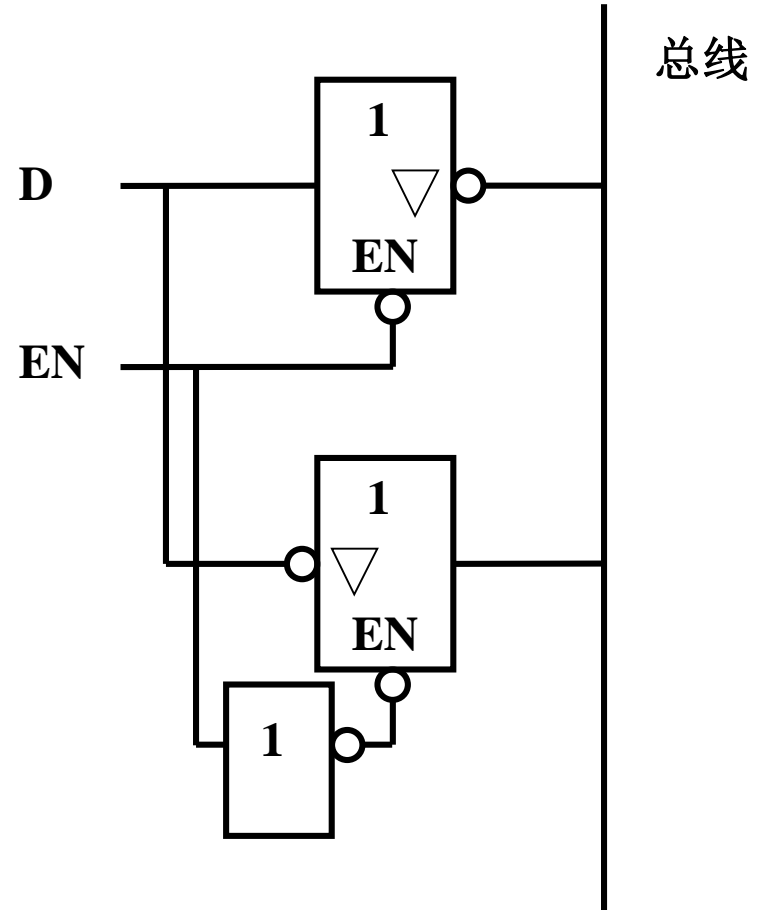
1.单向总线

总线上的信息只能
向一个方向传送，如
地址总线。



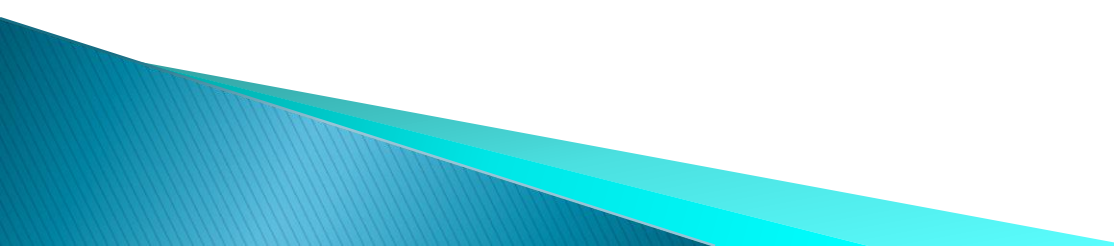
2.双向总线

总线上的信息可以向两个方向上传送，如数据总线。





练习题

1. 逻辑代数是一种二值代数系统，即任何逻辑变量的取值只有两种可能性，取值_____或取值_____。
 2. 如果决定某一事件发生的多个条件中，只要有一个或一个以上条件成立，事件便可发生，则这种因果关系称之为_____。
 3. 描述逻辑函数的方法常用的方法有：_____、_____和_____3种。
 4. 数字逻辑电路一般分为_____和_____。
 5. 组合逻辑电路的特点是在任何时刻电路产生的稳定输出信号仅与该时刻电路的_____有关。
- 

1. 组合逻辑电路一般由（ ）组合而成。

A、门电路 B、触发器 C、计数器 D、寄存器

2. 下列逻辑电路中，不是组合逻辑电路的有（ ）

A、译码器 B、编码器 C、全加器 D、寄存器

3. 在何种输入情况下，“或非”运算的结果是逻辑“1”（ ）

A.全部输入为“0”

B.全部输入为“1”

C.任一输入为“0”，其他输入为“1” D.任一输入为“1”

4. 时序逻辑电路一定包含（ ）

A、触发器 B、组合逻辑电路 C、移位寄存器 D、译码器

