



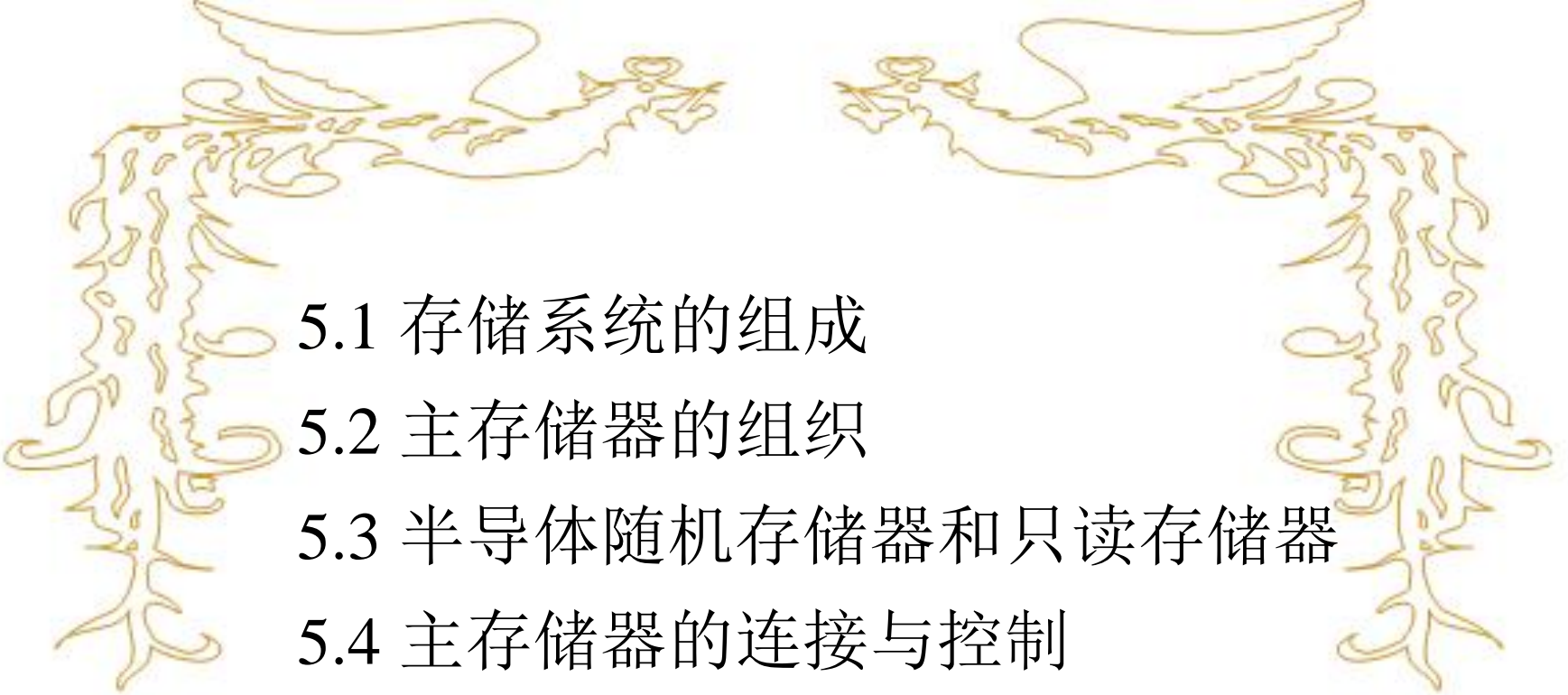

河北师范大学软件学院
Software College of Hebei Normal University

计算机组成原理

第五章 存储系统和结构

存储系统是由几个容量、速度和价格各不相同的存储器构成的系统。设计一个容量大、速度快、成本低的存储系统是计算机发展的一个重要课题。

本章重点讨论主存储器的工作原理、组成方式以及运用半导体存储芯片组成主存储器的一般原则和方法，此外还介绍了高速缓冲存储器和虚拟存储器的基本原理。

- 
- 5.1 存储系统的组成
 - 5.2 主存储器的组织
 - 5.3 半导体随机存储器和只读存储器
 - 5.4 主存储器的连接与控制
 - 5.5 提高主存读写速度的技术
 - 5.6 多体交叉存储技术
 - 5.7 高速缓冲存储器
 - 5.8 虚拟存储器
- 



5.1 存储系统的组成

5.2 主存储器的组织

5.3 半导体随机存储器和只读存储器

5.4 主存储器的连接与控制

5.5 提高主存读写速度的技术

5.6 多体交叉存储技术

5.7 高速缓冲存储器

5.8 虚拟存储器



5.1 存储系统的组成

5.1.1 存储器分类

1.按存储器在计算机系统中的作用分类

(1)高速缓冲存储器

(2)主存储器

(3)辅助存储器

5.1 存储系统的组成

2.按存取方式分类

(1)随机存取存储器RAM

(2)只读存储器ROM

(3)顺序存取存储器SAM

(4)直接存取存储器DAM

5.1 存储系统的组成

3.按存储介质分类

(1)磁芯存储器

(2)半导体存储器

(3)磁表面存储器

(4)光存储器

5.1 存储系统的组成

4.按信息的可保存性分类

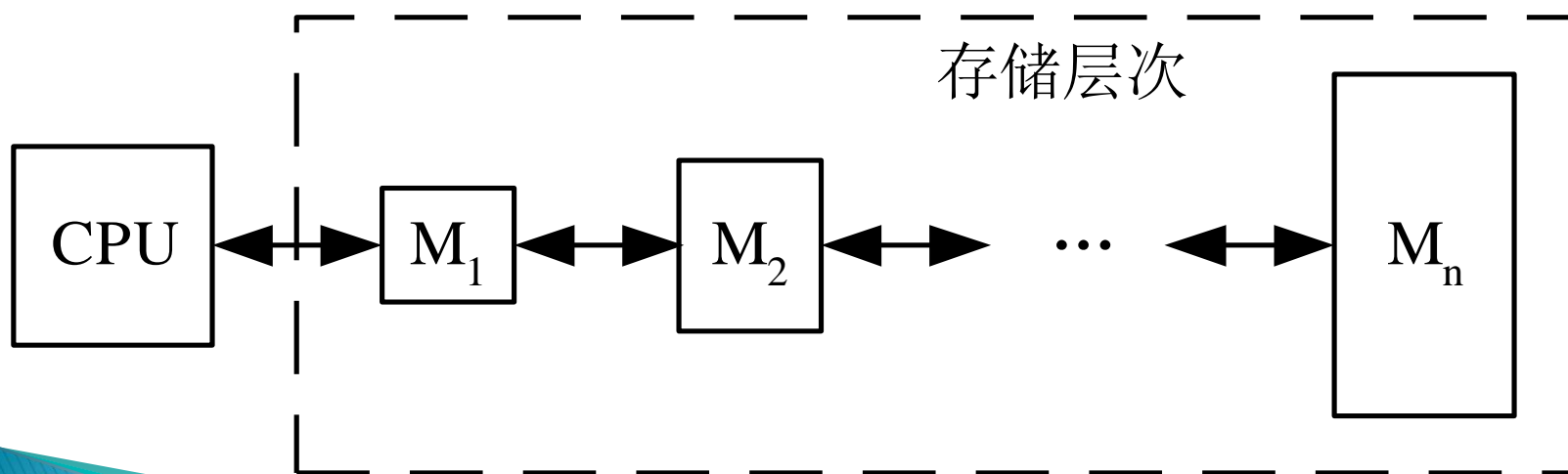
(1)易失性存储器

(2)非易失性存储器

5.1 存储系统的组成

5.1.2 存储系统层次结构

为了解决存储容量、存取速度和价格之间的矛盾，通常把各种不同存储容量、不同存取速度的存储器，按一定的体系结构组织起来，形成一个统一整体的存储系统。



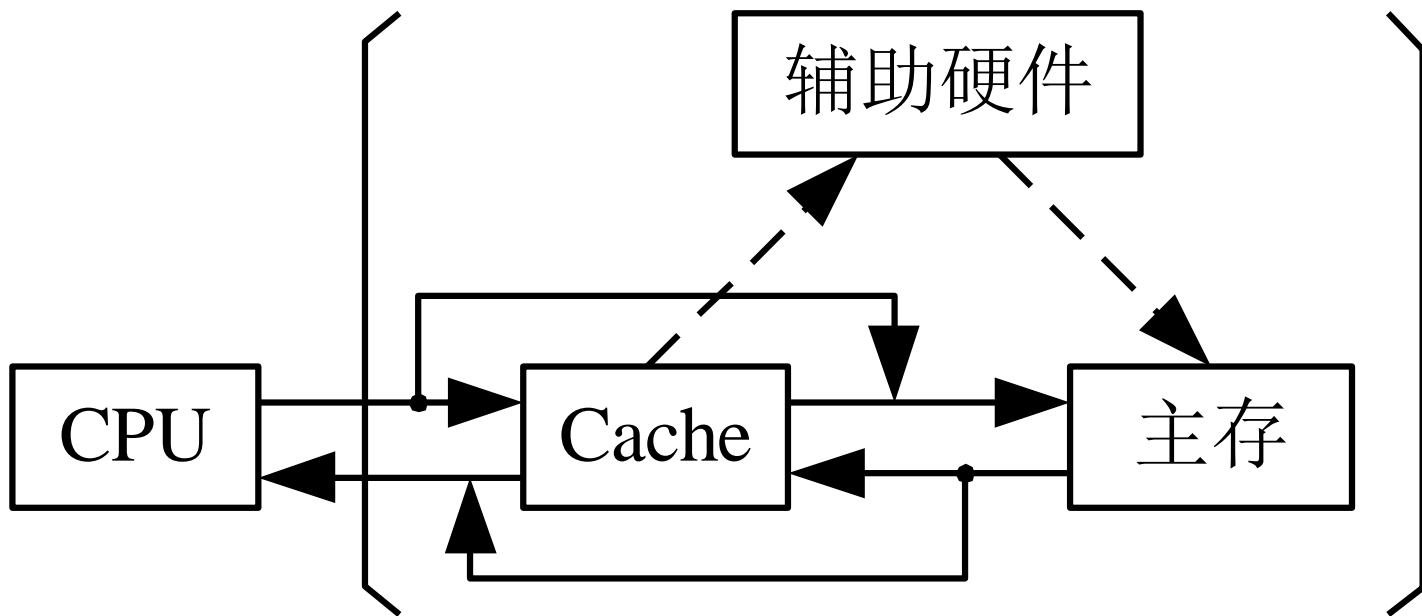
5.1 存储系统的组成

由高速缓冲存储器、主存储器、辅助存储器构成的三级存储系统可以分为两个层次。其中高速缓存和主存间称为Cache-主存存储层次（Cache存储系统）；主存-辅存存储层次（虚拟存储系统）。



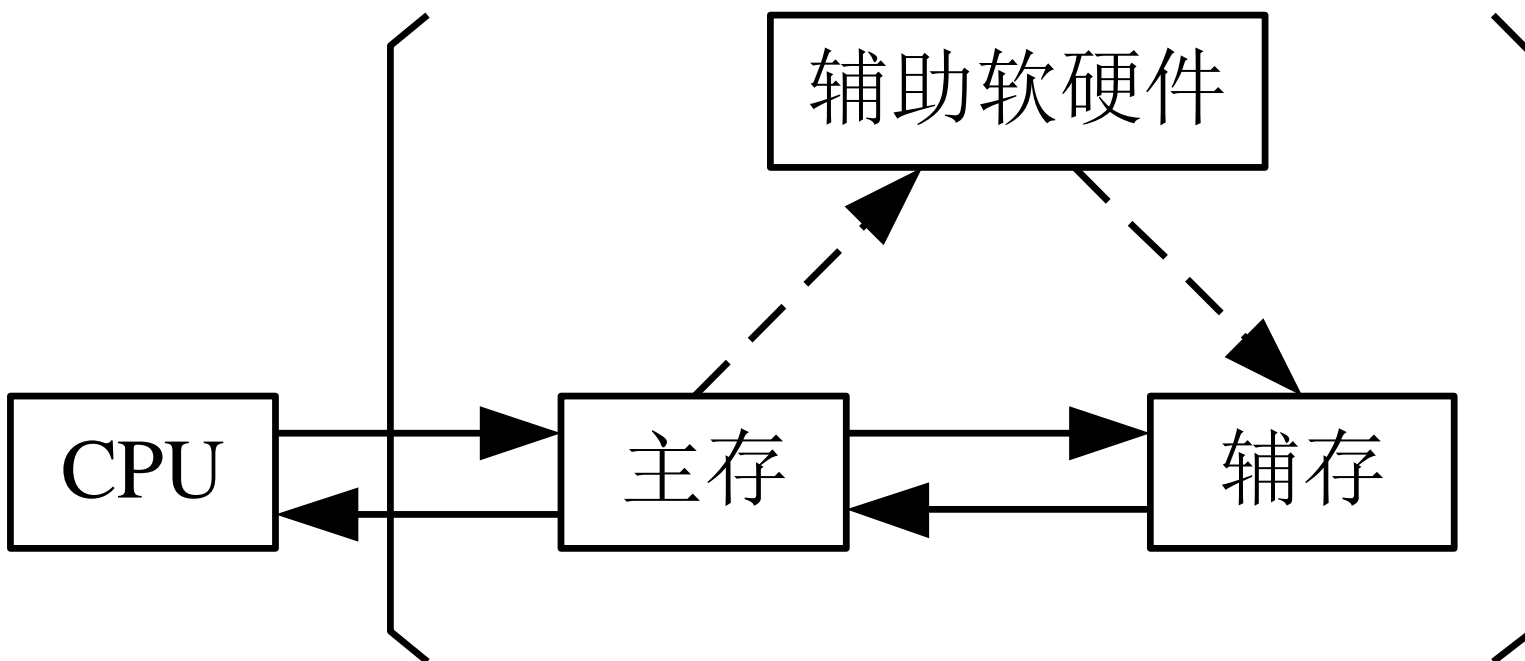
5.1 存储系统的组成

Cache存储系统是为了解决主存**速度**不足而提出来的。



5.1 存储系统的组成

虚拟存储系统是为解决主存容量不足而提出来的。





5.1 存储系统的组成

5.2 主存储器的组织

5.3 半导体随机存储器和只读存储器

5.4 主存储器的连接与控制

5.5 提高主存读写速度的技术

5.6 多体交叉存储技术

5.7 高速缓冲存储器

5.8 虚拟存储器



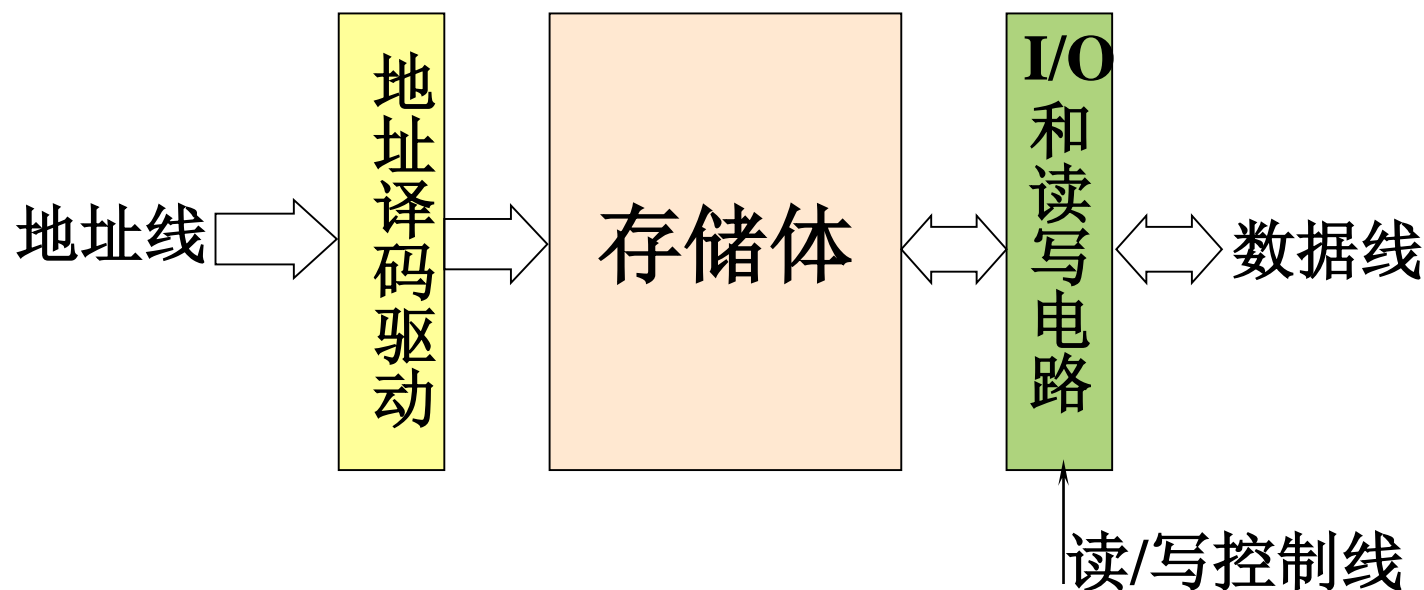
5.2 主存储器的组织

主存储器是整个存储系统的**核心**，它用来存放计算机运行期间所需要的程序和数据，CPU可直接随机地对它进行访问。

5.2 主存储器的组织

5.2.1 主存储器的基本结构

主存储器通常由存储体、地址译码驱动电路、I/O和读写电路组成。



5.2 主存储器的组织

5.2.2 主存储器的存储单元

- 位
- 存储字
- 存储单元或主存单元。
- 存储体

程序和数据都存放在存储体中，它是存储器的核心。

5.2 主存储器的组织

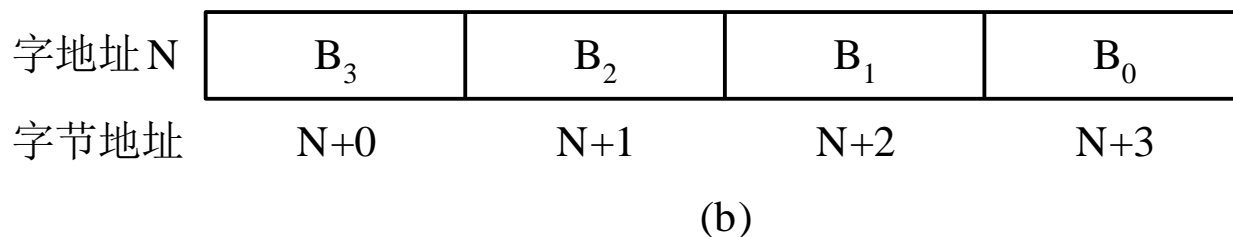
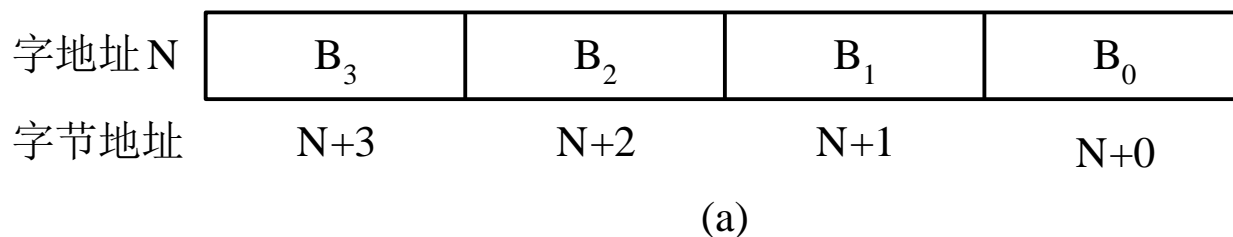
大端方案和小端方案

字地址	字节地址			
0	0	1	2	3
4	4	5	6	7
8	8	9	10	11

字地址	字节地址	
0	1	0
2	3	2
4	5	4

5.2 主存储器的组织

假设一个字由四个字节组成，我们使用 B_3 、 B_2 、 B_1 、 B_0 来分别表示这四个字节，其中 B_3 是字的最高有效字节， B_0 是最低有效字节。



5.2 主存储器的组织

5.2.3 主存储器的主要技术指标

1. 存储容量

存储容量是指主存所能容纳的二进制信息总量。对于字节编址的计算机，以字节数来表示容量；对于字编址的计算机，以字数与其字长的乘积来表示容量。

如某计算机的容量为 $64\text{K} \times 16$ ，表示它有64K个字，每个字的字长为16位，若用字节数表示，则可记为128K字节（128KB）。

5.2 主存储器的组织

2.存取速度

(1)存取时间 T_a

存取时间又称为访问时间或读/写时间，它是指从启动一次存储器操作到完成该操作所经历的时间。

(2)存取周期 T_m

存取周期又可称作读写周期、访存周期，它是指存储器进行一次完整的读写操作所需的全部时间，即连续两次访问存储器操作之间所需要的最短时间。

5.2 主存储器的组织

(3) 主存带宽 B_m


与存取周期密切相关的指标是主存的带宽，它又称为数据传输率，表示每秒从主存进出信息的最大数量，单位为字/秒或字节/秒或位/秒。

5.2 主存储器的组织

5.2.4 数据在主存中的存放

在采用字节编址的情况下，数据在主存储器中的三种不同存放方法。假设，**存储字**为64位。

字节（8位）

半字（16位）

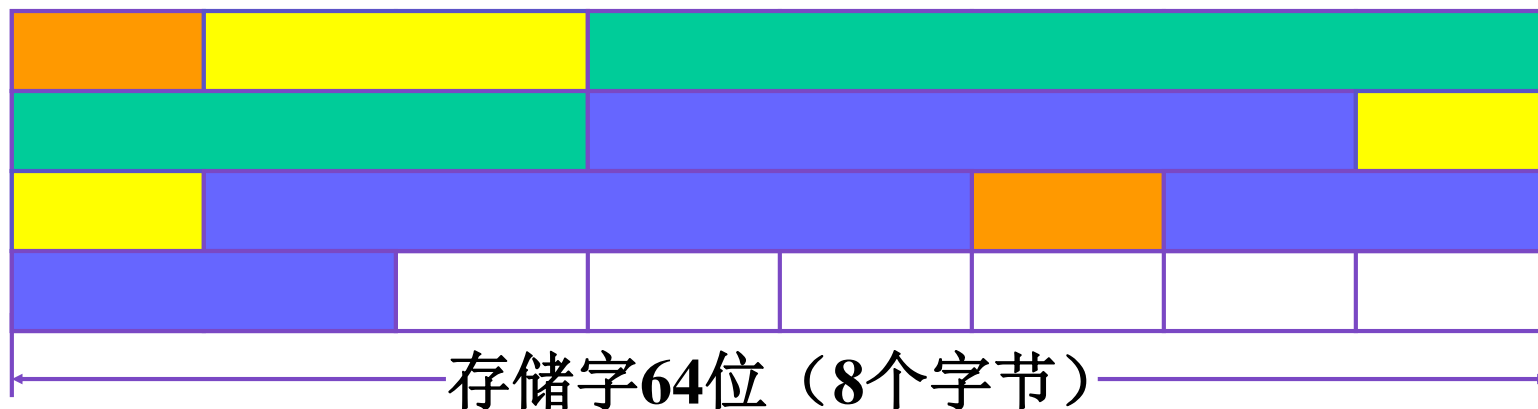
单字（32位）

双字（64位）

5.2 主存储器的组织

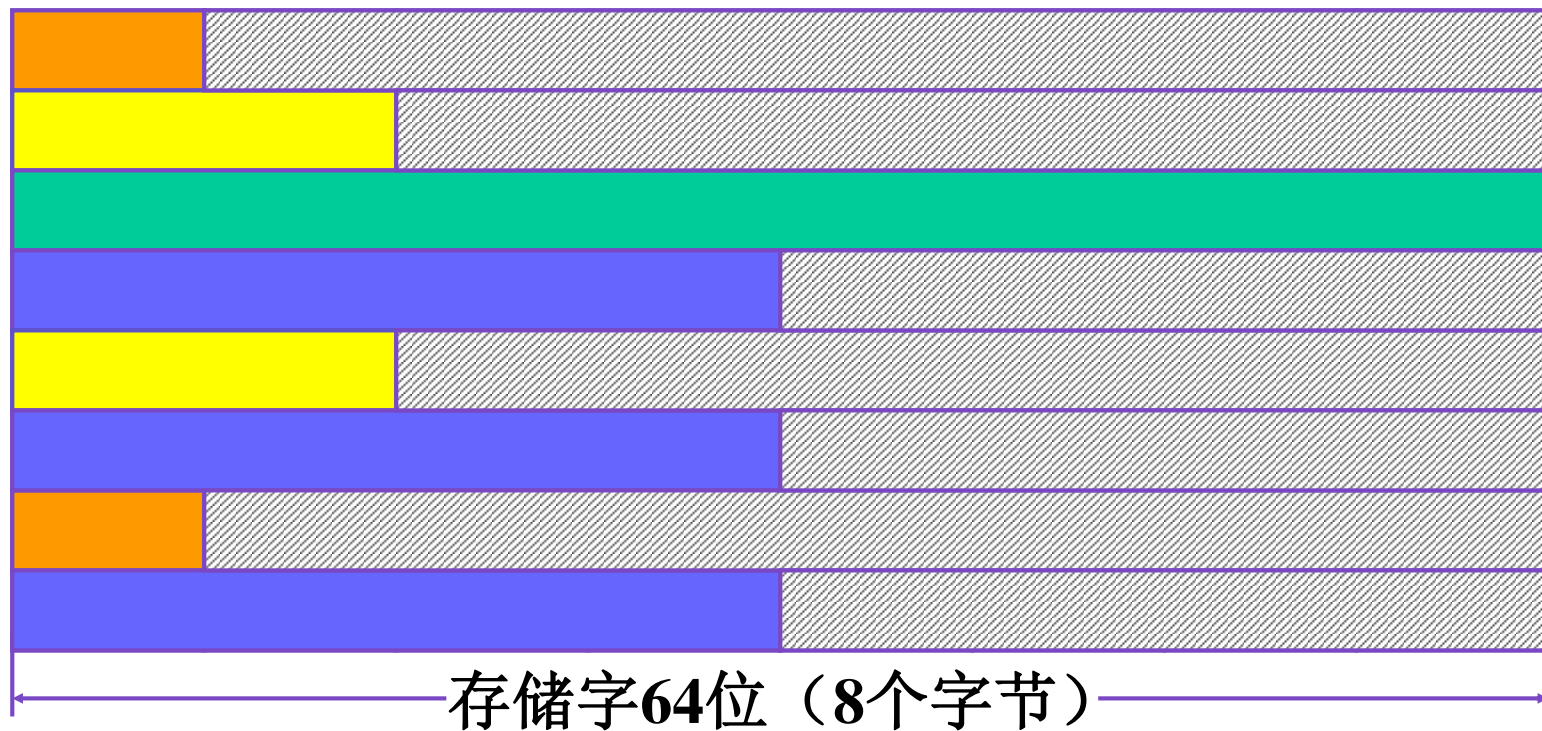
假设：现有一批数据，它们依次为：字节、半字、双字、单字、半字、单字、字节、单字。

(1) 不浪费存储器资源的存放方法



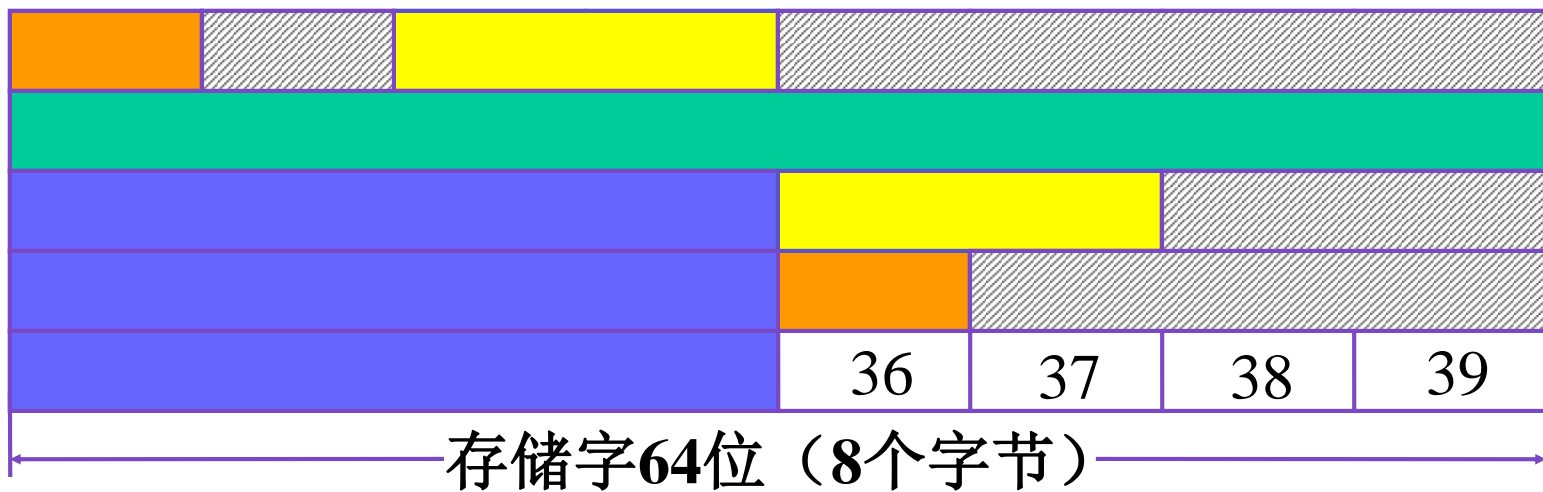
5.2 主存储器的组织

(2)从存储字的起始位置开始存放方法



5.2 主存储器的组织

(3)边界对齐的数据存放方法





5.1 存储系统的组成

5.2 主存储器的组织

5.3 半导体随机存储器和只读存储器

5.4 主存储器的连接与控制

5.5 提高主存读写速度的技术

5.6 多体交叉存储技术

5.7 高速缓冲存储器

5.8 虚拟存储器



5.3 半导体随机存储器和只读存储器

主存储器通常分为RAM和ROM两大部分。RAM可读可写，ROM只能读不能写。

5.3 半导体随机存储器和只读存储器

5.3.1 RAM记忆单元电路

存放一个二进制位的物理器件称为记忆单元，它是存储器的最基本构件，地址码相同的多个记忆单元构成一个存储单元。。

5.3 半导体随机存储器和只读存储器

5.3.1 RAM记忆单元电路

记忆单元可以由各种材料制成，但最常见的由MOS电路组成。MOS型存储器根据记忆单元的结构又可分为静态RAM和动态RAM两种。

静态RAM，即SRAM（Static RAM），其存储电路以双稳态触发器为基础；动态RAM，即DRAM（Dynamic RAM），其存储电路以电容为基础。

5.3 半导体随机存储器和只读存储器

5.3.1 RAM记忆单元电路

- 六管静态MOS记忆单元电路
- 四管动态MOS记忆单元电路
- 单管动态记忆单元电路

5.3 半导体随机存储器和只读存储器

5.3.2 动态RAM的刷新

1. 刷新闻隔

为了维持MOS型动态记忆单元的存储信息，每隔一定时间必须对存储体中的所有记忆单元的栅极电容补充电荷，这个过程就是刷新。

一般选定MOS型动态存储器允许的最大刷新间隔为2ms，也就是说，应在2ms内，将全部存储体刷新一遍。

5.3 半导体随机存储器和只读存储器

刷新和**重写**（再生）是两个完全不同的概念，切不可加以混淆。重写是随机的，某个存储单元只有在破坏性读出之后才需要重写。而刷新是定时的，即使许多记忆单元长期未被访问，若不及时补充电荷的话，信息也会丢失。重写一般是按存储单元进行的，而刷新通常以存储体矩阵中的一行为单位进行的。

5.3 半导体随机存储器和只读存储器

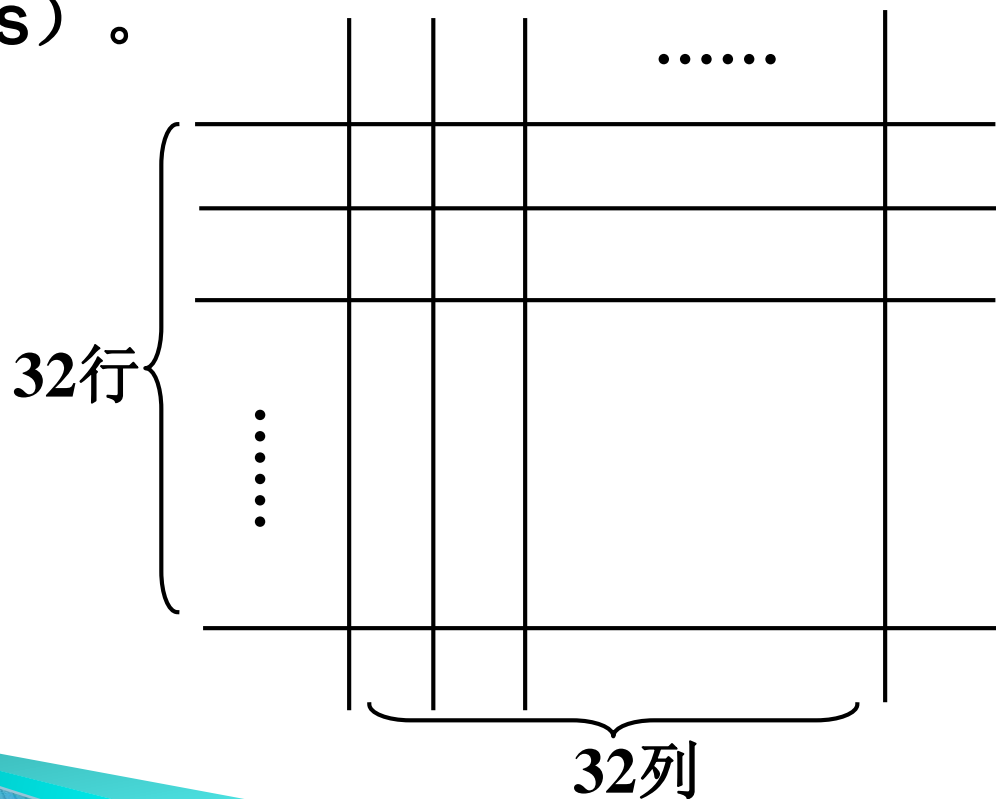
5.3.2 动态RAM的刷新

2.刷新方式

- 集中式
 - 分散式
 - 异步式
- 

5.3 半导体随机存储器和只读存储器

例如，对具有1024个记忆单元（排列成 32×32 矩阵）的存储芯片进行刷新，刷新是按行进行的，且每刷新一行占用一个存取周期，存取周期为500ns（ $0.5 \mu\text{s}$ ）。

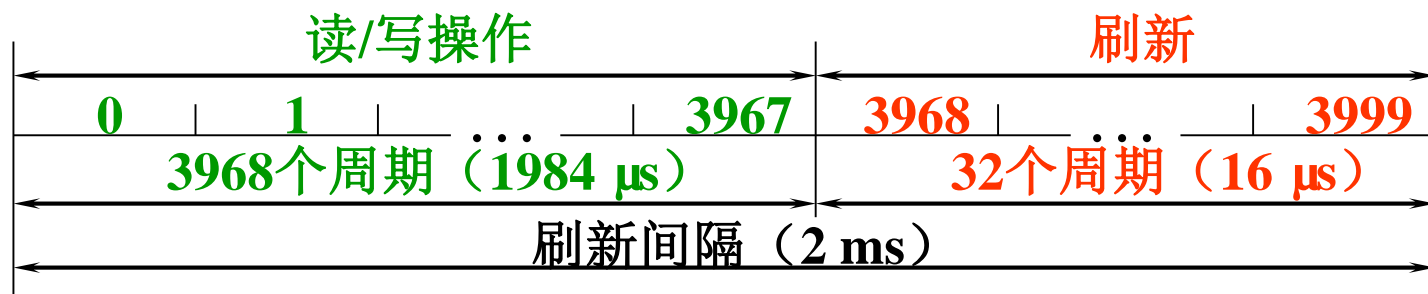


5.3 半导体随机存储器和只读存储器

(1)集中刷新方式

在允许的最大刷新间隔内，按照存储芯片容量的大小集中安排若干个刷新周期，刷新时停止读写操作。

刷新时间=存储体矩阵行数×刷新周期



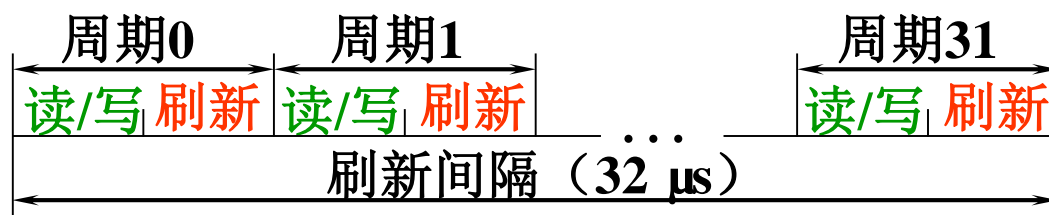
5.3 半导体随机存储器和只读存储器

集中刷新方式的优点是读/写操作时不受刷新工作的影响，因此系统的存取速度比较高。缺点是在集中刷新期间必须停止读/写，这一段时间称为“**死区**”，而且存储容量越大，死区就越长。

5.3 半导体随机存储器和只读存储器

(2)分散刷新方式

分散刷新是指把刷新操作分散到每个存取周期内进行，此时系统的存取周期被分为两部分，前一部分时间进行读/写操作或保持，后一部分时间进行刷新操作。一个系统存取周期内刷新存储矩阵中的一行。



5.3 半导体随机存储器和只读存储器

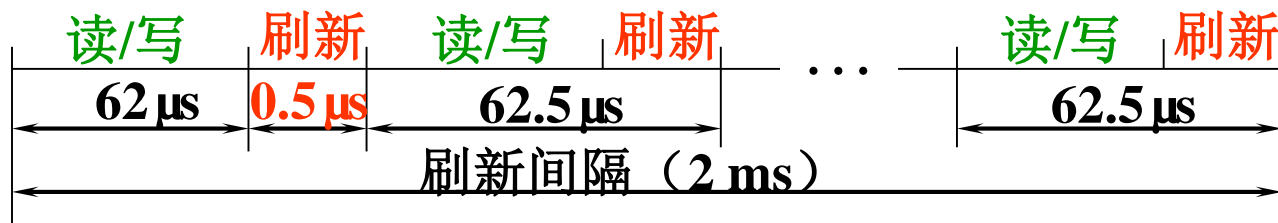
(3)异步刷新方式

异步刷新方式可以看成前述两种方式的结合，它充分利用了最大刷新间隔时间，把刷新操作平均分配到整个最大刷新间隔时间内进行，故有：

相邻两行的刷新间隔=最大刷新间隔时间/行数

5.3 半导体随机存储器和只读存储器


对于 32×32 矩阵，在 2ms 内需要将32行刷新一遍，所以相邻两行的刷新时间间隔
 $= 2\text{ms}/32 = 62.5\text{ }\mu\text{s}$ ，即每隔 $62.5\text{ }\mu\text{s}$ 安排一个刷新周期，在刷新时封锁读/写。



5.3 半导体随机存储器和只读存储器

3.刷新控制

MOS型动态RAM的刷新要注意几个问题：

- ① 刷新对CPU是透明的。
 - ② 刷新通常是一行一行地进行的。
 - ③ 刷新操作类似于读出操作。
 - ④ 所有芯片同时被刷新。
- 

5.3 半导体随机存储器和只读存储器

5.3.3 RAM芯片分析

1.RAM芯片

存储芯片通过地址线（AB）、数据线（DB）和控制线（CB）与外部连接。

地址线（AB）是单向输入的，其数目与芯片容量有关。如容量为 1024×4 时，地址线有10根；容量为 $64K \times 1$ 时，地址线有16根。

5.3 半导体随机存储器和只读存储器

5.3.3 RAM芯片分析

1.RAM芯片

数据线（DB）是双向的，既可输入，也可输出，其数目与数据位数有关。如 1024×4 的芯片，数据线有4根； $64K \times 1$ 的芯片，数据线只有1根。

5.3 半导体随机存储器和只读存储器

5.3.3 RAM芯片分析

1.RAM芯片

控制线（CB）主要有读/写控制线（或写允许线）和片选线两种，读/写控制线是用来决定芯片是进行读操作还是写操作的，片选线是用来决定该芯片是否被选中的。

5.3 半导体随机存储器和只读存储器

由于DRAM芯片采用了地址复用技术，因此，DRAM芯片每增加一条地址线，实际上是增加了两位地址，也即增加了4倍的容量。

5.3 半导体随机存储器和只读存储器

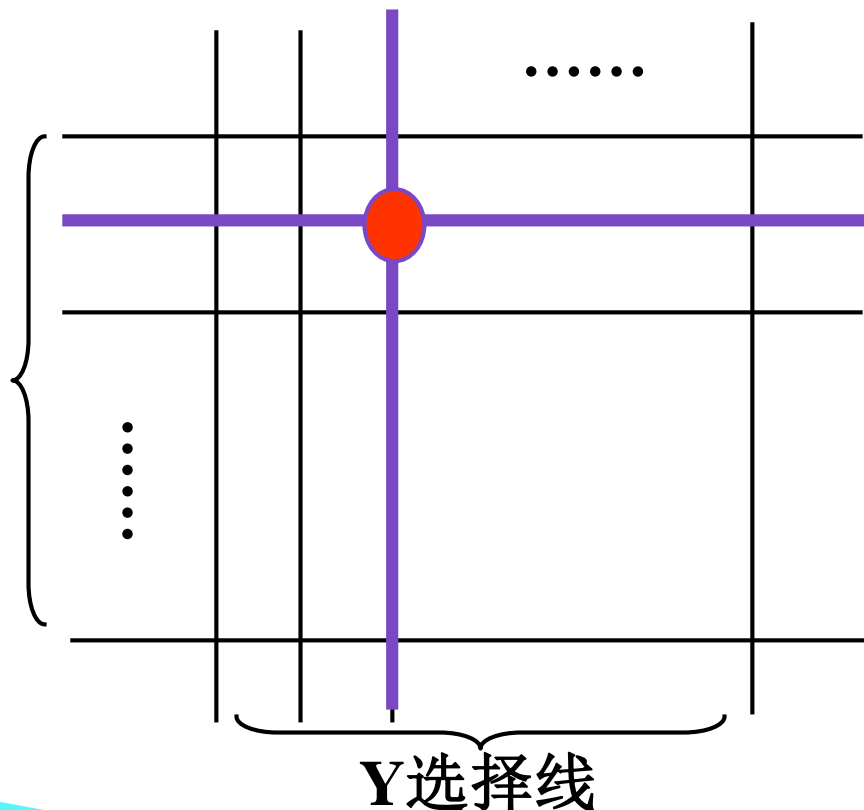
2.地址译码方式

地址译码电路能把地址线送来的地址信号翻译成对应存储单元的选择信号。

(1)单译码方式

(2)双译码方式

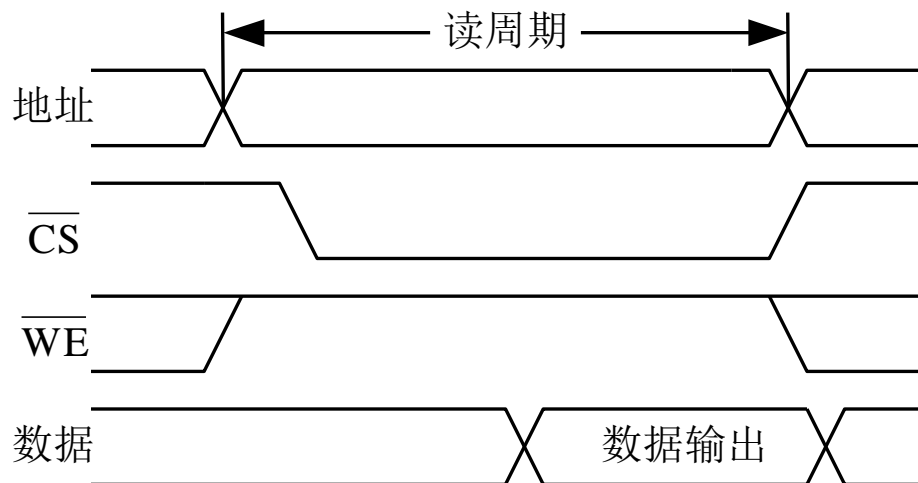
X选择线



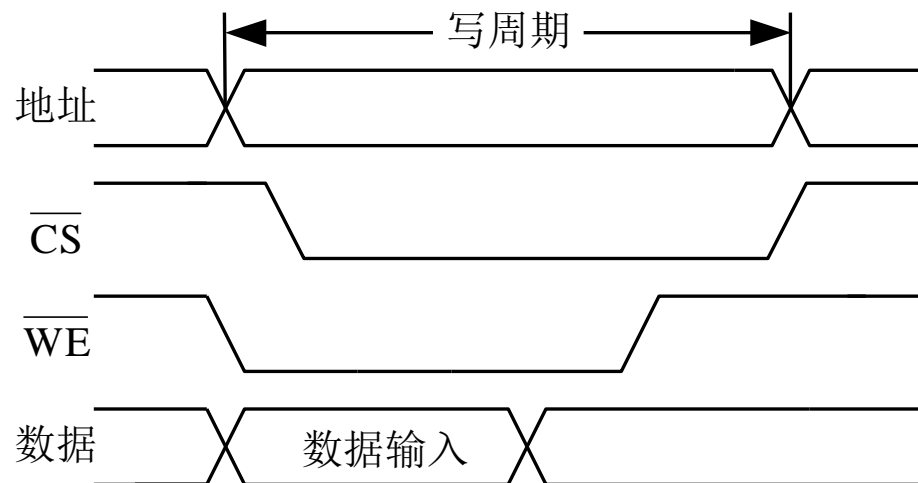
5.3 半导体随机存储和只读存储器

3.RAM的读/写时序

(1)SRAM读/写时序



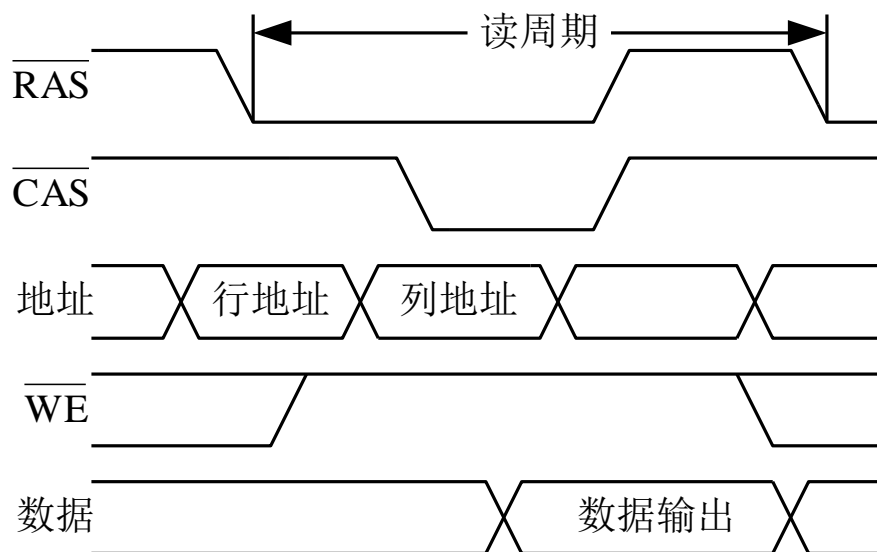
(a)



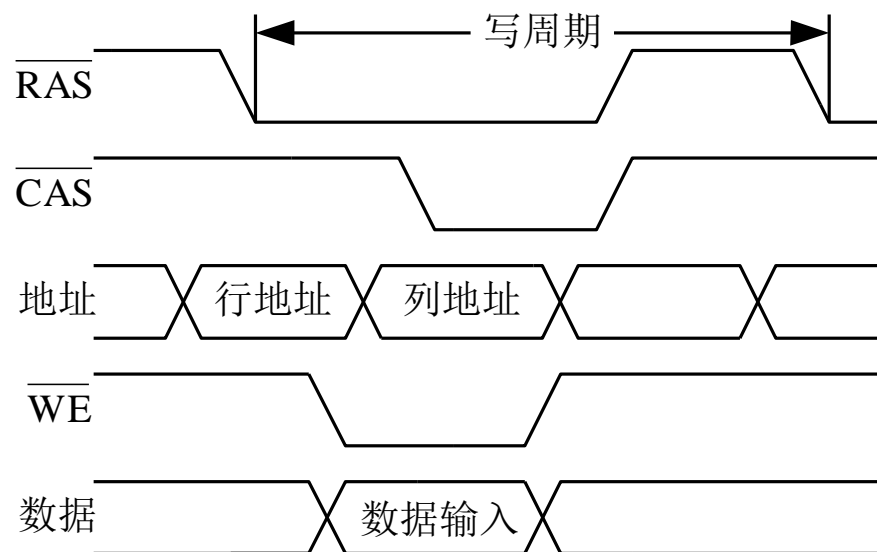
(b)

5.3 半导体随机存储器和只读存储器

(2) DRAM读/写时序



(a)



(b)

5.3 半导体随机存储器和只读存储器

5.3.4 半导体只读存储器（ROM）

1.ROM的类型

(1)掩膜式ROM（MROM）

(2)一次可编程ROM（PROM）

(3)可擦除可编程ROM（EPROM）

➤ UVEEPROM（紫外线擦除）

➤ EEPROM（电擦除）

(4)闪速存储器（flash memory）

5.3 半导体随机存储器和只读存储器

2.ROM芯片

地址线

数据线

片选线

V_{cc} —— +5V（工作电源）

V_{pp} —— 编程电源。