**第一章**

1. 计算机存储数据的基本单位是（ B ）
2. bit
3. Byte
4. 字
5. 字符
6. 多年来，人们习惯于以计算机主机所使用的主要元器件的发展进行分代，所谓第四代计算机使用的主要元器件是（ D ）
7. 电子管
8. 晶体管
9. 中小规模集成电路
10. 大规模和超大规模集成电路
11. 在计算机的不同发展阶段，操作系统最先出现在（ C ）
12. 第一代计算机
13. 第二代计算机
14. 第三代计算机
15. 第四代计算机
16. 运算器的主要功能是进行（ C ）
17. 只做加法
18. 逻辑运算
19. 算术运算和逻辑运算
20. 算术运算
21. 计算机硬件的五大基本构件包括运算器、存储器、输入设备、输出设备和（ B ）
22. 显示器
23. 控制器
24. 磁盘驱动器
25. 鼠标器
26. 关于冯.诺依曼计算机，下列说法正确的是（ C ）
27. 冯.诺依曼计算机的程序和数据是靠输入设备送入计算机的寄存器保存的
28. 冯.诺依曼计算机工作时是由数据流驱动控制流工作的
29. 冯.诺依曼计算机的基本特点可以用“存储程序”和“程序控制”高度概括
30. 随着计算机技术的发展，冯.诺依曼计算机目前已经被淘汰
31. 冯.诺依曼计算机的核心思想是（B），冯.诺依曼计算机的工作特点是（ C ）
32. A.采用二进制 B.存储程序控制 C.并行计算 D.指令系统
33. A.堆栈操作 B.存储器按内容访问

C.按地址访问并顺序执行指令 D.多指令流单数据流

1. 一个完整的计算机系统包括（ D ）
2. 主机、键盘、显示器
3. 主机及外围设备
4. 系统软件与应用软件
5. 硬件系统与软件系统
6. 下列软件中，不属于系统软件的是（ A ）
7. 编译软件
8. 操作系统
9. 数据库管理系统
10. C语言程序
11. 某单位的人事档案管理程序属于（ B ）
12. 工具软件
13. 应用软件
14. 系统软件
15. 字表处理软件
16. 下列选项中，描述浮点数操作速度的指标是（ D ）
17. MIPS
18. CPI
19. IPC
20. MFLOPS
21. 半个世纪以来，对计算机发展的阶段有过多种描述。下列说法中，比较全面的描述是（ A ）
22. 计算机经过四个发展阶段，电子管阶段、晶体管阶段、集成电路阶段、超大规模集成电路阶段
23. 计算机经过四段发展，即大型机、中型机、小型机、微型机
24. 计算机经过三段发展，即大型机、微型机、网络机
25. 计算机经过五段发展，即大型机、小型机、微型机、局域网、广域网
26. 下列叙述错误的是（ C ）
27. 把数据从内存传输到硬盘叫写盘
28. 把源程序转换为目标程序的过程叫编译
29. 应用软件对操作系统没有任何要求
30. 计算机内部对数据的传输、存储和处理都是用二进制
31. 计算机的存储单元中存储的内容是（ A ）
32. 数据和指令
33. 只能是指令
34. 只能是数据
35. 数据或指令
36. 某台微型计算机的内存容量为128M，一般指的是（ B ）
37. 128Mbit
38. 128MB
39. 128M字
40. 128 000K字
41. 在计算机领域中通常用MIPS来描述（ B ）
42. 计算机的可运行性
43. 计算机的运算速度
44. 计算机的可靠性
45. 计算机的可扩充性
46. 使用高级语言编写的程序称为（ A ）
47. 源程序
48. 编辑程序
49. 编译程序
50. 连接程序
51. 在微型计算机中，bit的中文含义是（ A ）
52. 二进制位
53. 字
54. 字节
55. 双字
56. 微型计算机的运算器、控制器及内存的总称是（ C ）
57. CPU
58. ALU
59. 主机
60. MPU
61. 个人计算机属于（ D ）
62. 巨型机
63. 中型机
64. 小型机
65. 微机
66. 机器唯一能够直接识别和处理的语言是（ D ）
67. 汇编语言
68. 高级语言
69. 自然语言
70. 机器语言
71. 在内存中，每个基本单位都被赋予一个唯一的序号，这个序号称为（ C ）
72. 字节
73. 编号
74. 地址
75. 容量
76. 计算机软件系统应包括（ D ）
77. 编辑软件和连接程序
78. 数据软件和管理软件
79. 程序和数据
80. 系统软件和应用软件
81. 至今为止，计算机中所有信息仍以二进制方式表示，其原因是（ C ）
82. 节约元件
83. 运算速度快
84. 物理器件性能决定
85. 信息处理方便
86. 计算机及内部的所有数据以（ A ）码的形式存储的。
87. 二进制
88. 条形
89. 汉字
90. 区位
91. 计算机系统中的存储系统是指（ D ）
92. RAM存储器
93. ROM存储器
94. 主存储器
95. 主存储器和外存储器和cache
96. 运算器的核心部件是（ D ）
97. 数据总线
98. 数据选择器
99. 累加寄存器
100. 算术逻辑运算部件
101. 计算机的字长取决于（ B ）
102. 控制器的种类
103. 运算器一次运算二进制的位数
104. 存储器的大小
105. 主机与外部设备一次交换信息的长度（带宽）
106. 某计算机的主频为1.2GHz，其指令分为4类，它们在基准程序中所占比例及CPI如下表所示。该机的MIPS数是（ ）

|  |  |  |
| --- | --- | --- |
| 指令类型 | 所占比例 | CPI |
| A | 50% | 2 |
| B | 20% | 3 |
| C | 10% | 4 |
| D | 20% | 5 |

1. 100
2. 200
3. 400
4. 600
5. 微机A和B是采用不同主频的CPU芯片，片内逻辑电路完全相同。
6. 若A机的CPU主频为8MHz，B机为12MHz，则A机的CPU时 钟周期为多少？
7. 如A机的平均指令执行速度为0.4MIPS，那么A机的平均指令周期为多少？
8. B机的平均指令执行速度为多少？
9. 计算Pentium II 450处理器的运算速度（假设其IPC=2）
10. 假设计算机M的指令集中包含A、B、C三类指令，其中CPI分别为1、2、4。某个程序P在M上被编译成两个不同的目标代码序列P1和P2，P1所含A、B、C三类指令的条数分别为8、2、2 ，P2所含A、B、C三类指令的条数分别为2、5、3。请问：哪个代码序列指令条数少？哪个执行速度快？它们的CPI分别是多少？
11. 假定某程序P编译后生成的目标代码由A、B、C、D四类指令组成，它们在程序中所占的比例分别为43%、21%、12%、24%，已知它们的CPI分别为1、2、2、2。现重新对程序P进行编译优化，生成的新目标代码中A类指令条数减少了50%，其他类指令的条数没有变化。请回答下列问题。
12. 编译优化前后程序的CPI各是多少？
13. 假定程序在一台主频为50MHz的计算机上运行，则优化前后的MIPS各是多少？

**第二章**

1. 某机器字长为32位，其中1位表示符号位。若用定点整数原码表示，则最小负整数为（ A ）
2. -(231-1)
3. -(230-1)
4. -(231+1)
5. -(230+1)
6. 设[X]补=1.X1X2X3X4，仅当（ C ）时，X>-1/2成立。如果绝对值会怎样？D
7. X1必须为1，X2X3X4至少有一为1
8. X1必须为1，X2X3X4任意
9. X1必须为0，X2X3X4至少有一为1
10. X1必须为0，X2X3X4任意
11. 在机器数（ B ）中，零的表示形式是唯一的。
12. 原码
13. 补码和移码
14. 反码
15. 原码和反码
16. 下列数中最小的数是（ ）
17. （101001）2
18. （52）8
19. （101001）BCD
20. （23）16
21. 设寄存器内容为11111111，若它等于+127，则为（ D ）
22. 原码
23. 反码
24. 补码
25. 移码
26. 假定下列字符码中有奇偶校验位，但没有数据错误，采用奇校验的字符码是（ 不考 ）
27. 11001010
28. 11010111
29. 11001100
30. 11001011
31. 若信息码字为11100011，生成多项式G(x)=x5+x4+x+1,则计算出的CRC校验码为（ 不考 ）
32. 1110001101101
33. 1110001111010
34. 11100011001101
35. 111000110011010
36. 请写出数据10110100110的**海明码**，用4位检验位，采用偶校验。（ 考 ）
37. 设浮点数字长16位，其中阶码5位（含1位阶符），以2为底，补码表示；尾数11位（含1位数符），补码表示，判断下列各十进制数能否表示成规格化浮点数。若可以，请表示。

（1）3.5

（2）79/512

（3）-10-4

（4）1010

1. 写出下列十进制数的IEEE754短浮点数编码【考】

（1）0.15625

（2）-5

1. 下列IEEE单精度浮点数所表示的十进制数分别是多少？【考】

（1）1011 1101 0100 0000 0000 0000 0000 0000

（2）0101 0101 0110 0000 0000 0000 0000 0000

（3）1100 0001 1111 0000 0000 0000 0000 0000

（4）0011 1010 1000 0000 0000 0000 0000 0000

1. 设浮点数的格式为【考】

第15位：符号位；

第14位到第8位：阶码，采用补码表示

第7位到第0位：尾数，与符号位一起采用规格化的补码表示，基数为2.

问：

1. 它能表示的数值范围是什么？
2. 它能表示的最接近于0的正数和负数分别是什么？
3. 它共能表示多少个数值？

13.十进制数-0.25 -0.375 -0.5 -0.625 -0.875转换成浮点数格式

**第三章**

【扩展指令码技术、寻址方式】

1. 某机器字长16位，主存按**字节**编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节PC自动加1。若某转移指令所在主存地址为2000H，相对位移量字段内容为06H，则该转移指令成功转移后的目标地址是（ C ）字编址B
2. 2006H
3. 2007H
4. 2008H
5. 2009H
6. 与本条指令的地址有关的寻址方式是（ C ）
7. 立即寻址
8. 寄存器寻址
9. 相对寻址
10. 直接寻址
11. 零地址的运算类指令在指令格式中不给出操作数地址，参加的两个操作数来自（ B ）
12. 累加器和寄存器
13. 堆栈的栈顶和次栈顶单元
14. 累加器和暂存器
15. 暂存器和次栈顶单元
16. 设相对寻址的转移指令占两个字节，第一个字节是操作码，第二字节是相对位移量（用补码表示）。每当CPU从内存取出第一个字节时，即自动完成（PC）+1—>PC。若当前PC的内容为3008,H，要求转移到3000H，则该转移指令第二个字节的内容为（ ）
17. 08H
18. 09H
19. F7H
20. F6H
21. 下列寻址方式中，为程序浮动提供支持的是（ ）
22. 变址寻址
23. 相对寻址
24. 间接寻址
25. 寄存器间接寻址
26. 一个计算机系统采用32位单字长指令，地址码为12位，如果定义了250条二地址指令，那么还可以定义（ D ）条单地址指令【扩展操作码技术考】
27. 4K 8 12 12
28. 8K 250
29. 16K
30. 24K 6\*2^12
31. 在字节编址的计算机中，一条指令长16位，当前指令地址为3000，在读取这条指令后，PC的值为（ ）
32. 3000
33. 3001
34. 3002
35. 3016
36. 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中，不属于偏移寻址方式的是（ ）
37. 间接寻址
38. 基址寻址
39. 相对寻址
40. 变址寻址
41. 某计算机存储器及CPU的字长均为16位，CPU有16个16位的通用寄存器。请为该计算机设计能满足下列条件的指令格式，并加以说明
42. 允许有不超过210种的操作指令。

至少有210种指令，操作码字段的位数为8

1. 主存储器空间不少于16MB。

主存字节地址至少24位

1. 至少有五种寻址方式。

2<log25<3，每个寻址方式占三位，可有8种寻址方式

1. 只有单字长指令和双字长指令可供选择。

单字节指令：长度为16位，操作码占8位，3位用于寻址，剩余5位用于操作数

双字长指令：长度为32位，操作码8位，剩余24位

1. 某机指令格式如下：【考】

|  |  |  |
| --- | --- | --- |
| OP(6位) | MOD(2位) | A(8位) |

OP表示操作码，MOD表示寻址方式，A表示形式地址，且MOD=0为直接寻址，MOD=1为间接寻址，MOD=2为相对寻址，MOD=3为变址寻址。设（PC）=1234H，（Rx）=113CH，请确定下列指令的有效地址（均用十六进制表示），要求写出中间过程

4C20H，2244H，3547H，6F23H

4C20

0100 1100 0010 0000

EA=0020H

2244

0010 0010 0100 0100

此时 PC+1=1235

0001 0010 0011 0101

0100 0100

0001 0010 0111 1001

EA=1279H

3547

0011 0101 0100 0111

EA=(0047H)

6F23

0110 1111 0010 0011

113C

0001 0001 0011 1100

0010 0011

0001 0001 0101 1111

EA=(115FH)

1. 指令字长为12位，每个地址码为3位，采用扩展操作码的方式，设计4条三地址指令、16条二地址指令、64条一地址指令和16条零地址指令。【考】
2. 给出一种操作码的扩展方案

三地址指令：从000到011

二地址指令：100+从000到111 101+从000到110 110+000

一地址指令：100111+000到111 110 +从001到111 + 从000到111

零地址指令：111 111 111 +从000到111 111111000+从000到111

1. 画出指令译码逻辑
2. 计算操作码的平均长度
3. 在16位长的指令系统中，设计一个扩展操作码，能对下列指令进行译码。

（1）7条三地址指令

（2）225条单地址指令

（3）16条零地址指令

令每个地址码为4位，分别画出3种类型指令的格式，并说明译码过程。

三地址指令：0001 0000 0000 0000~0111 0000 0000 0000

单地址指令：0000 0000 0001~0000 1111 1111

零地址指令：0000 0000 0000 0000~0000 0000 0000 1111

1. 某计算机的字长为16位，存储器按字编址，访存指令格式如图所示。

|  |  |  |
| --- | --- | --- |
| OP(15~11) | MOD(10~8) | A(7~0) |

其中，OP是操作码，MOD定义寻址方式，A表示形式地址，且MOD=0为立即寻址，MOD=1为直接寻址，MOD=2为间接寻址，MOD=3为变址寻址，MOD=4为相对寻址。设PC和Rx分别为程序计数器和变址寄存器，字长为16位，问：

1. 该格式能定义多少种指令

此指令格式中操作码占5位，总共可以定义的指令种类为25=32种

1. 各种寻址方式的寻址范围为多少字

该指令格式中操作数地址占8位

0 指令本身

1、256个字 2、64K个字 3、64K个字 4、256个字

1. 写出各种寻址方式的有效地址EA的计算式

立即寻址 EA=(PC) 直接寻址 EA=A 间接寻址 EA=(A)

变址寻址 EA=(RX)+A 相对寻址 EA=(PC)+A

1. 某机器主存容量为4M×16，且存储字长等于指令字长。若该机指令系统可完成108种操作，操作码位数固定，有直接寻址、间接寻址、变址寻址、相对寻址、立即寻址六种寻址方式，试回答
2. 画出一地址指令格式，并指出各字段的作用

OP(7位) M(3位) A(6位)

OP为操作码字段 可以有108种操作

M为寻址方式字段 有6种寻址方方式

A为地址码字段

1. 该指令直接寻址的寻址范围

直接寻址的最大范围 64

1. 一次间接寻址和多次间接寻址的范围

一次间接寻址的范围216

多次间接寻址需要最高位判断所以范围是 215

1. 立即数的范围（十进制表示）

有符号 -32~31

无符号0~63

1. 相对寻址的位移量（十进制表示）

相对寻址的位移量 -32---31

1. 上述六种寻址方式的指令哪一种执行时间最短？哪一种最长？为什么？哪一种便于程序浮动？哪一种最适合处理数组问题？

直接寻址、相对寻址、相对寻址、变址寻址

**第四章**

1. 已知X=+13，Y=-11，N=5，求X+Y，X-Y，Y-X。
2. 已知X=+13，Y=-11，N=5，用原码/补码一位乘法求X·Y。
3. 已知X=+13，Y=-11，N=5，用原码一位不恢复余数算法求X/Y。
4. 某浮点数阶码6位（含1位符号位：阶符），补码表示，尾数10位，（含1位符号位：数符），补码表示，X=2010B\*0.11011011B，Y=2100B\*（-0.10101100B），求X+Y。

【乘法，只考原码一位乘、浮点数加减运算】

串行进位链和并行进位链不考

**第五章**

1. 下列有关RAM和ROM的叙述中，正确的是（ A ）
2. RAM是易失性存储器，ROM是非易失性存储器
3. RAM和ROM都采用随机存取方式进行信息访问
4. RAM和ROM都可用作Cache
5. RAM和ROM都需要进行刷新

A.仅I和II B.仅II和III C.仅I、II、III D. 仅II、III、IV

1. 主存储器和CPU之间增加Cache的目的是（ A ）
2. 解决CPU和主存之间的速度匹配问题
3. 扩大主存储器容量
4. 扩大CPU中通用寄存器的数量
5. 既扩大主存储器容量，又扩大CPU中通用寄存器的数量
6. 某SRAM芯片，其容量为1M×8位，除电源和接地端外，控制端有E和R/W，该芯片的管脚引出线数目是（ B ）

A.20 B.28 C.30 D.32

1. 在下列因素中，与Cache的命中率无关的是（ C ）

A.Cache块的大小 B.Cache的容量 C.主存的存取时间 D.替换算法

1. Cache的地址映像中，若主存中的任一块均可映射到Cache内的任一块的位置上，称为（ B ）

A.直接映像 B.全相连映像 C.组相连映像 D.段组相连映像

1. 动态半导体存储器的特点是（ C ）
2. 在工作中存储器内容会产生变化
3. 每次读出后，需要根据原存内容重新写入一遍
4. 每隔一段时间，需要根据原存内容重新写入一遍
5. 在工作中需要动态地改变访存地址
6. 某机器字长32位，其存储容量为8MB，若按字编址，它的寻址范围是（ D ）

A.0~256K B. 0~512K C. 0~1M D. 0~2M

1. 假定用若干个2K×4位芯片组成一个8K×8位存储器，则地址0B1FH所在芯片的最小地址是（ D ）

A.0000H B. 0600H C. 0700H D. 0800H

1. 某半导体存储器容量为14KB，其中0000H~1FFFH为ROM区，2000H~37FFH为RAM区，地址总线A15~A0（低），双向数据总线D7~D0（低），读/写控制线R/。可选用的存储芯片有EPROM 4KB/片，RAM2K×4/片。
2. 说明加到各芯片的地址值
3. 画出该存储器芯片级逻辑图，包括地址总线、数据线、片选信号线（低电平有效）及读/写信号线的连接。
4. 写出各片选信号的逻辑式
5. 已知某16位机的主存采用半导体存储器，地址码为18位，若使用8K×4位SRAM芯片组成该机所允许的最大主存空间，并选用模块板结构形式，问：
6. 若每个模板为32K×8位，共需几个模快板？
7. 每个模快内共有多少片RAM芯片？如何连接？主存共需多少RAM芯片？
8. CPU如何选择模快板？

解：（1）地址码18位，8位机，所以最大主存空间为（256×8）KB所以需用模块数为（256×8）/（32×8）= 8

（2）4K×4位的SRAM芯片，构成32K×8位的模块条，需（32K×8位）/4K×4位=16,即需8组SRAM，每组2条，才能构成一个模块条共需8×16=128个RAM芯片

（3）8个模块条，所以3条（2^3)地址线来片选模块译码器选用74138

1. 若存储芯片容量为128K×8位，求：
2. 访问该芯片需要多少位地址？
3. 假定该芯片在存储器中首地址为A0000H，末地址应为多少？

解：（1）128k=0~1FFFFH 所以需要十七位地址线；

（2）首地址为 A0000H，末地址为CFFFFH；

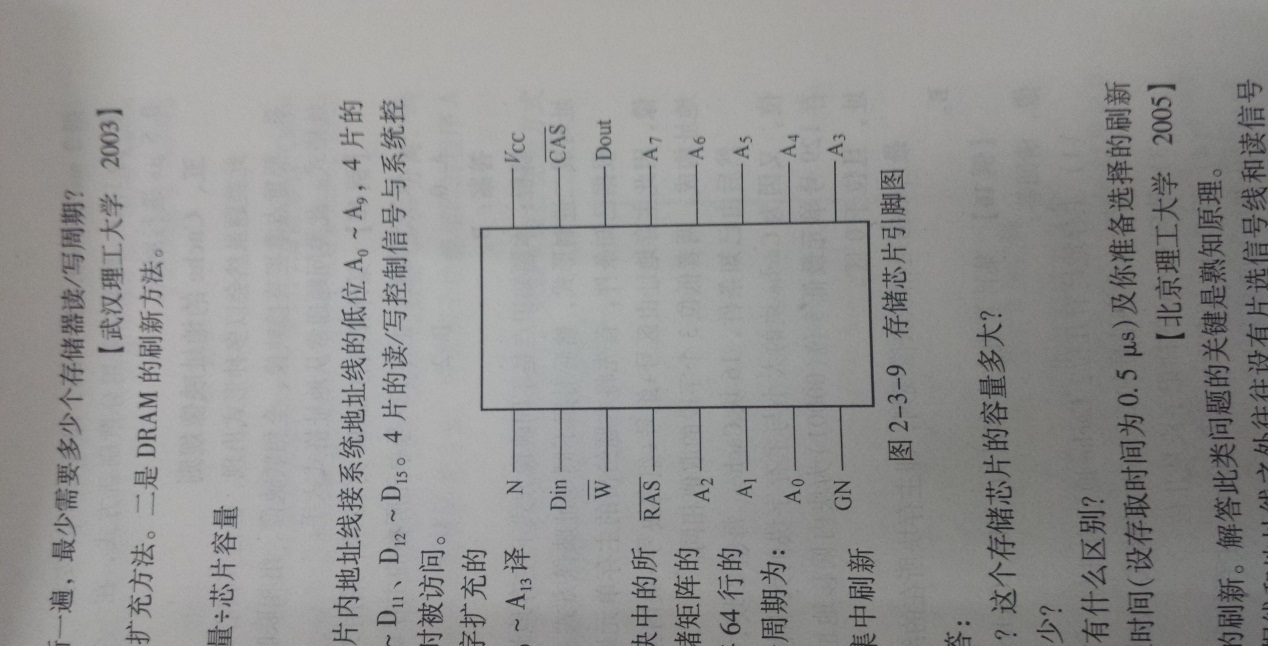
1. 假设有一个16K×16位存储器，由1K×4位的动态RAM芯片构成（芯片内是64×64矩阵结构），问：
2. 总共需要多少RAM芯片？
3. 各芯片如何连接？画出存储体的组成框图。
4. 异步方式刷新，如单元刷新间隔不超过2ms，则刷新信号周期是多少？
5. 如果采用集中刷新方式，对全部存储单元刷新一遍，最少需要多少个存储器读/写周期

解：（1）所需RAM芯片数=(16K×16)/(1K×4)=64片

（3）若采用异步刷新方式，则需要在2ms时间内分散地把芯片的64行刷新一遍，所以刷新的时间间隔=2ms/64=31.25微秒，即刷新周期约31微秒。

（4）若采用集中刷新方式，设T为刷新周期，DRAM芯片中所有行同时进行刷新，则所需刷新时间=64T。因为存储器的刷新周期为0.5微秒，所以刷新周期也为0.5微秒

1. 若存储芯片容量为128K×8位，求：
2. 访问该芯片需要多少位地址。
3. 假定该芯片在存储器中搜地址为A0000H，末地址应为多少？
4. 如下图：是某存储芯片的引脚图，请回答：
5. 这个存储芯片为何种类型（是RAM还是ROM）？这个存储芯片的容量多大？
6. 若地址线增加1根， 存储芯片的容量将变为多少？
7. 这个按是否需要刷新？为什么？刷新和重写有什么区别？
8. 如果需要刷新，请指出芯片刷新一遍需要多长时间（设存取时间为0.5s）及你准备选择哪些刷新方式，需说明理由。

  
解：（1）芯片类型是RAM，且为动态RAM，容量为64K\*1

（2）由于地址线是复用的，如果地址线增加一根，容量增加4倍，芯片容量变为256K\*1

（3）需要刷新，因为DRAM是用电容存储信息的。重写是随机的，刷新是定时的。重写按存储单元进行，刷新按存储体一行行的进行。

（4）64K\*1芯片的内部为256\*256的矩阵，芯片刷新一遍需要的时间=256\*0.5微秒。采用异步刷新方式最好，死区小，刷新次数少

1. 某计算机的Cache共16块，采用2路组相连映像方式（即每组2块），每个主存块大小为32B，按字节编址。主存129号单元所在的主存块应装入到Cache的组号是（ C ）

A.0 B. 2 C.4 D. 6

1. 某计算机主存容量为1MB，Cache大小为64KB，块大小为16B，若采用2路组相连映像，请回答：
2. 主存地址有几位？Cache地址有几位？
3. 请写出主存地址和Cache地址格式，说明各字段的位数。
4. 请问Cahce的标记字段是几位？
5. 若Cache的存取时间是50ns，主存的存取时间是2504ns，Cache的命中率是90%，请问存储器的平均存取时间是多少？