

高速ADC测试和评估

作者: Brad Brannon和Rob Reeder

应用范围

本应用笔记将介绍ADI公司高速转换器部门用来评估高速ADC的特征测试和生产测试方法。本应用笔记仅供参考，不能替代产品数据手册。

动态测试硬件设置

SNR、SINAD、最差杂散和IMD均通过类似于图1的硬件设置进行测试。在生产测试中，测试硬件均高度集成，但硬件原理都是一样的。动态测试的基本设置包括一个信号发生器、带通滤波器、测试夹具、低噪声电源、编码源(通常集成于评估板中)、数据采集模块和数据分析软件。ADI公司提供了相应的应用软件和硬件，用以在基准评估中提供帮助。请参阅“ADC FIFO套件”部分。

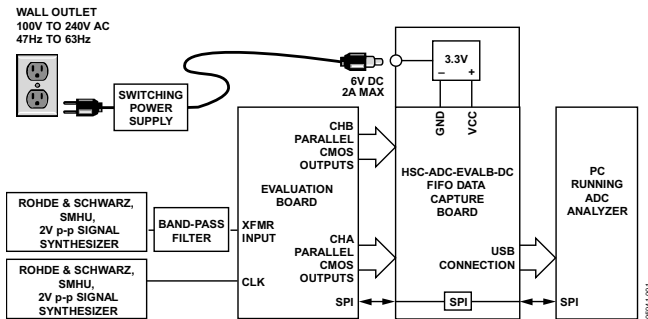


图1 典型特征测试设置

ADC FIFO套件

高速ADC FIFO评估套件(HSC-ADC-EVALA-SC/HSC-ADC-EVALA-DC和HSC-ADC-EVALB-SC/HSC-ADC-EVALB-DC)包括一块存储板，用以获取来自ADI公司高速模数转换器(ADC)评估板和ADC Analyzer™件的数字数据块。有关ADC FIFO评估套件的更多信息，请访问：
www.analog.com/FIFO。

FIFO板可通过一根标准USB线连接至个人计算机，并配合ADC Analyzer软件对高速ADC的性能进行快速评估。用户可以查看特定模拟输入和时钟速率的快速傅立叶变换(FFT)，并对信噪比(SNR)、信纳比(SINAD)、无杂散动态范围(SFDR)和谐波数据进行分析。FIFO板有单通道和双通道两种版本可供选择。对于某一特定ADC该选择哪一版本的决定，请参阅FIFO数据手册。LVDS和串行输出器件可能需要附加一块称为HSC-ADC-FPGA的适配板。这些会在产品数据手册中特别说明。有关HSC-ADC-FPGA串行LVDS适配板、FIFO以及ADC Analyzer软件工作原理的更多信息，请访问ADI公司网站：www.analog.com/FIFO。

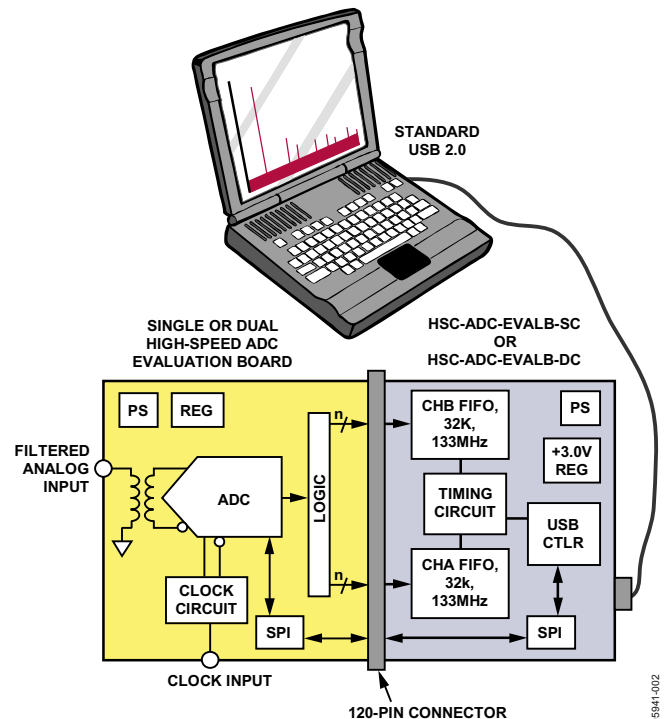


图2 典型ADI ADC FIFO套件设置

目录

应用范围	1	共模输入范围(V)	15
动态测试硬件设置	1	共模抑制比(CMRR, dB)	15
ADC FIFO套件	1	孔径延迟(ps)	16
修订历史	2	孔径抖动或孔径不确定度(ps RMS)	17
背景知识	3	串扰(dB)	17
ADIsimADC	3	等效输入噪声(LSB RMS)	17
模拟信号源	4	范围外恢复时间(时钟周期)	17
模拟信号滤波器	4	数字时域	17
编码信号源	5	转换误码率(CER)	19
电源	6	直流测试定义	20
数据采集	6	增益误差(%FS)	20
交流测试定义	7	增益匹配(%FS)	20
FFT测试	7	失调误差(%FS)	20
单音FFT	7	失调匹配(mV)	20
双音FFT	9	温度漂移(ppm)	20
噪声功率比(NPR, dB)	10	高电平输出电压/低电平输出电压(VOH/VOL, V)	20
全功率带宽(MHz)	11	线性度	20
抖动测试	12	电源抑制比(PSRR, dB)	22
模拟输入	13	参考资料	23
模拟输入满量程范围(V p-p)	14		

修订历史

4/06 — 版本0：初始版

背景知识

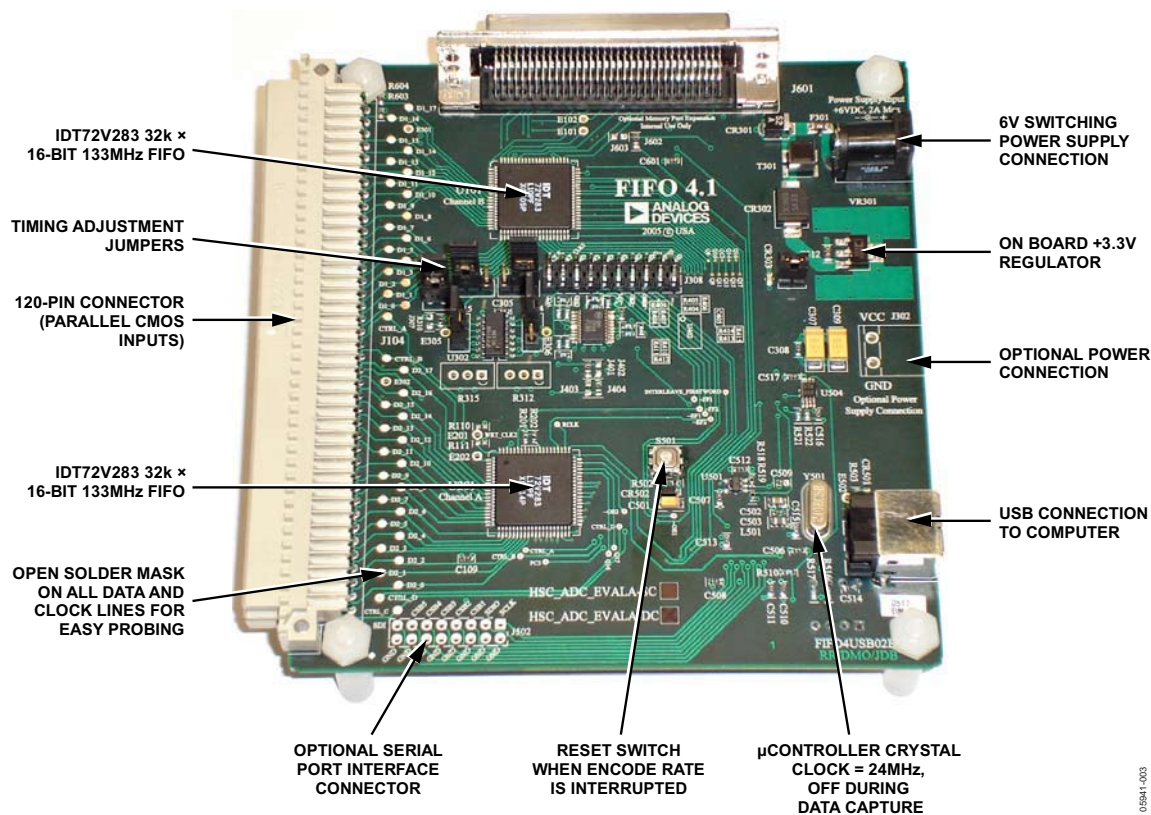


图3 双通道ADC FIFO板

从实用出发选择抗射频干扰输入滤波器元件值

ADIsimADC™是ADI公司的ADC行为建模工具。ADIsimADC可精确模拟ADC常见的多种时域和频域误差。无论在简单的转换器的选型还是在全面系统模拟方面，这种工具都具有无法衡量的价值。该工具完全集成于ADC Analyzer软件中，用来帮助简单的转换器选型，同时为几家第三方CAD供应商所支持。目前，支持ADIsimADC的工具包括MATLAB®、C++、美国国家仪器公司(National Instruments)的LabVIEW™和Signal Express、美国安捷伦公司(Agilent)的ADS以及Applied Wave Research公司的Visual System Stimulation™。将来会受到其它工具的支持。可从网站下载该工具以及全套最新模型。同时提供支持ADIsimADC的第三方工具链接。(有关ADIsimADC行为建模的更多信息，请访问www.analog.com/ADIsimADC。)

如前所述，该工具随ADC Analyzer软件提供，通过该软件可直接访问ADIsimADC，用户可基于特定ADC的某种行为

模型对该ADC进行模拟(无需使用硬件)。有关ADIsimADC的信息可在www.analog.com/ADIsimADC找到。有关ADIsimADC的详情，请参阅《AN-737应用笔记》。

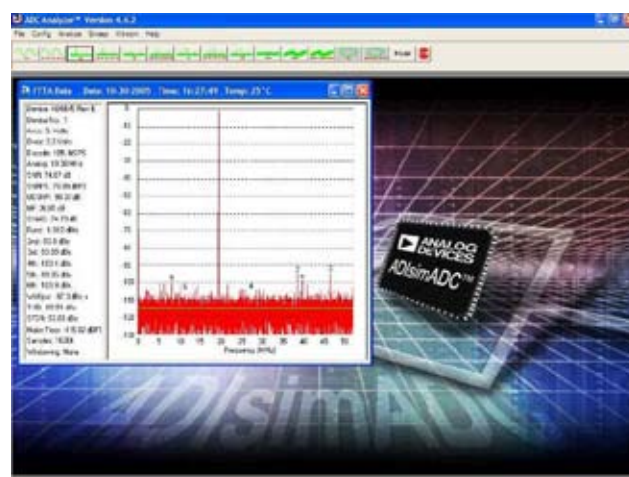


图4 ADC Analyzer

模拟信号源

通常，动态测试使用的是：一个Rohde & Schwarz(网址：www.rohde-schwarz.com)SMA/SMHU/SMG/SMGU、一个安捷伦(网址：www.agilent.com)8644信号发生器或一个Wenzel(网址：www.wenzel.com)晶体振荡器。已经证明，在从几千赫到几千兆赫的频率范围内，这些信号源具有出色的性能(低相位噪声、平坦的频率响应、适度的谐波性能)。由于这些发生器的谐波性能一般不如特定ADC固有的线性度那么好，因而要求在信号发生器与ADC模拟输入之间进行附加滤波。

模拟信号滤波器

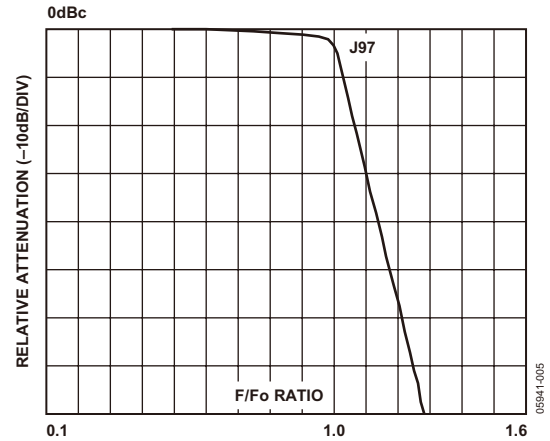
固定频率和可调频率带通滤波器都有用在器件测试中。固定频率滤波器通常比可调滤波器体积小，且性能一般略优。使用可调滤波器时，只需一个滤波器即可测试较宽范围内的频率。包括K&L Microwave(网址：www.klmicrowave.com)、TTE(网址：www.tte.com)和Allen Avionics有限公司(网址：www.allenavionics.com)在内的数家滤波器制造商均提供卓越的ADC测试滤波器。

ADC测试经常使用的滤波器有两类：低通滤波器和带通滤波器。它们可单独使用，或者为达到某一特定应用要求的性能水平而结合使用。

当需在ADC输入一个频率范围较宽的模拟信号时，低通滤波器是一种不错的选择。然而，使用低通滤波器时，噪声可从信号发生器传到ADC。这种噪声可能降低测得的ADC性能水平。TTE出品的J97即是一种典型低通滤波器。通常情况下，低通滤波器存在一个过渡带，定义为从通带结束到阻带开始的区域。除该指标外，还需指定一个保证阻带抑制。对于J97而言，其过渡带定义为3 dB频率的1.0至1.2倍，保证阻带抑制为80 dB。高于3 dB频率1.2倍的能量将衰减至少80 dB。

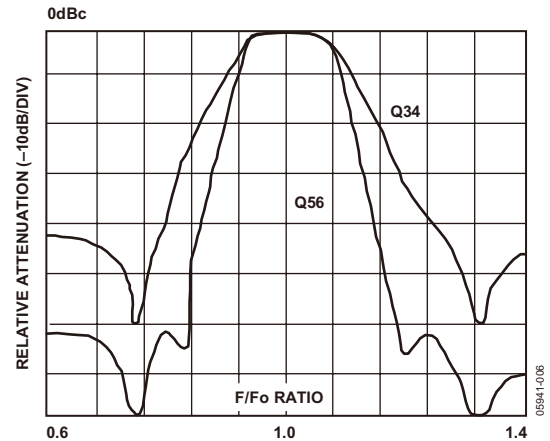
在模拟频率固定且将来也不会变化的情况下，可使用带通滤波器。带通滤波器也可消除信号源产生的大部分宽带噪声，通常在ADC测试方面有极佳表现。诸如TTE Q56系列等滤波器的带宽定义为中心频率的一定百分比。带宽越窄，通过滤波器的噪声越少；但对模拟频率要求更高，还会导致更大的插入损耗。一旦选定一个中心频率，带宽即可确定。理想状况下，应选择5%至6%的带宽。请记住，良好的噪声性能是以模拟频率灵活性为代价的。跟低通滤波器一样，带通滤波器也存在一个过渡带，决定着3 dB频率

(中心频率之上和之下)与保证阻带性能频率之间的形态。对于TTE的Q56，其阻带抑制为60 dB。



NOTE
1. REPRINTED WITH PERMISSION FROM TTE.

图5 TTE J97的典型性能



NOTE
1. REPRINTED WITH PERMISSION FROM TTE.

图6 TTE Q34和Q56的典型带通性能

如前所述，带通滤波器的阻带抑制可能仅为60 dB，意味着落入阻带的信号将被减去60 dB。举例来说，如果某个信号源的谐波为比基波低25 dB，通过一个Q56滤波器后，该谐波的有效电平为-85 dBc。对于许多高性能ADC来说，这是不够的。当需要-100 dBc或更好的性能时，通常将一个带通滤波器与一个低通滤波器级联起来。在选择置于带通滤波器之后的低通滤波器时，应谨慎选择低通频率，以使该低通滤波器的阻带能尽可能地滤掉从带通滤波器通过的任何谐波。对于J97低通滤波器，其阻带抑制可达1.2倍3 dB频率。如果将带通滤波器的第二谐波设为低通3 dB频率的1.4倍，则

可确保过滤掉通过带通滤波器的全部谐波，并可保证低通滤波器的额外插入损耗不会显著降低所需通带的电平。这种情况下，低通频率应等于带通频率的1.4倍，级联抑制理论上应为140 dB左右。受耦合和辐射效应影响，实际上很难达到这种水平，但这种技术的确有用，可获得远大于-100 dBc的谐波抑制。另需注意的是，可在带通和低通串行组合之间设置一个0.5 dB至3 dB的衬垫。这样有助于两个滤波器间更好地匹配，额定匹配值为50 Ω 。

指定滤波器时，要求用大铁芯制成的滤波器，以防止发生饱和。滤波器一般设计为输入功率5 dBm左右。然而，在许多情况下，驱动ADC要求远远大于这个数值，结果导致铁芯饱和与失真。指定较大铁芯有利于减少因铁芯饱和导致的杂散失真。最后，值得一提的，同时也可指定滤波器连接器。尽管很容易找到适配器来实现不同连接器类型间的转换，但使用适配器会导致失配，这可能会对转换器的性能造成某些影响。虽然对于8-位和10-位转换器来说并不算什么问题，但在12-位、14-位和16-位转换器上却非常明显。

编码信号源

对于高性能转换器，由于存在带内及宽带相位两种噪声，现有的信号发生器通常不足以用作编码源。往往采用固定频率振荡器来作编码源。可使用Wenzel(网址：www.wenzel.com)和Techtrol Cyclonetics, Inc.(TCI, 网址：www.tci-ant.com)生产的高性能晶体振荡器。Wenzel出品的Sprinter和超低噪声系列具有最佳的相位噪声性能。生产优质编码源的另一公司是Valpey Fisher(网址：www.valpeyfisher.com)，可提供多种选择，包括差分PECL和VCXO。对于要求较低的应用，可使用标准CMOS时钟模块，多家制造商均有提供。对于要求时钟与外部基准源同步的终端应用，则可使用锁相环(PLL)回路中的压控晶体振荡器(VCXO)。



图7 典型低成本CMOS时钟振荡器

对于每一个ADC设计来说，使用一个合适的时钟振荡器是非常重要的。有关时钟的选择问题，ADI公司《AN-501应用笔记》和《AN-756应用笔记》可提供帮助。这些应用笔记说明了如何测量孔径抖动，以及如何具体选择一款符合所需相位噪声或抖动指标的时钟。如果没有恰当低指定一款时钟源将降低SNR性能，如图8和图9所示。作为参考，一个典型Wenzel时钟振荡器的孔径抖动约为0.07 ps，CMOS时钟振荡器的孔径抖动则为0.3 ps左右或更高。

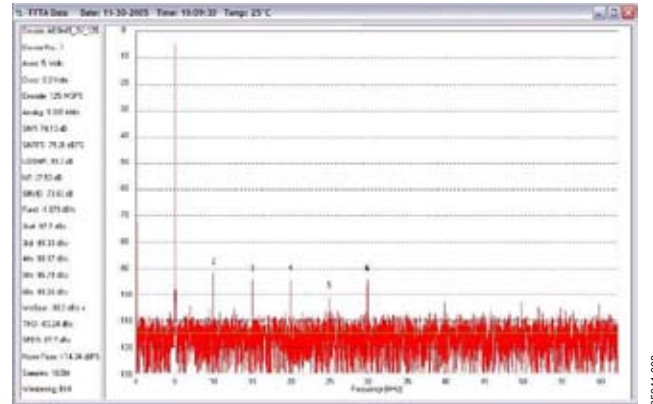


图8 AD9445，模拟中频为130 MHz (-1.0 dBFS)，采用Wenzel时钟，SNR = 75.2 dBFS

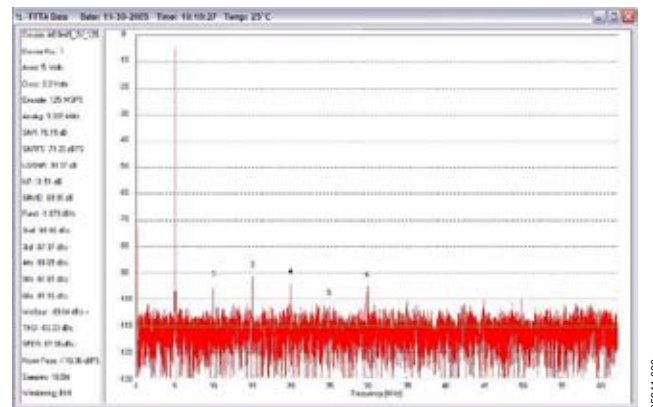


图9 AD9445，模拟中频为130 MHz (-1.0 dBFS)，采用CMOS时钟，SNR = 71.2 dBFS

当现有时钟源达不到所需抖动性能要求时，可将一个较高频时钟分成较低频率。这相当于以 $10 \log(x)$ 的速率减少抖动，其中 x 为分频比。但这种方法存在一个缺陷，即门本身的抖动问题。《AN-501应用笔记》中指出了各种逻辑系列存在的时钟抖动问题。

在要求定制时钟的情况下，通常需要使用锁相环(PLL)。通过一个VCO或VCXO，锁相环(PLL)可实现ADC与外部基准时钟同步。然而，用一个简单PLL很难为一个以上的器件提供时钟，但通过在器件间加入延迟，则可容易地实现。AD9510之类的器件是时钟优化和分发的理想选择。

AD9510的附加抖动约为0.22 ps，专门为驱动ADC、DAC及各种逻辑器件而优化。

电源

对于ADC而言，电源至关重要。因此，必须提供干净的无噪声电源，因为大多数ADC的电源抑制比都很差。尽管对于很多应用场合来说可以采用开关电源，但线性电源通常能提供更安静、更高性能的解决方案。像ADP3338和ADP3339等器件可提供噪声极低、稳压性能良好的电源，非常适合大多数ADC应用。此外，这两种器件有多种电压可选，最大输出电源分别为1 A和1.5 A。

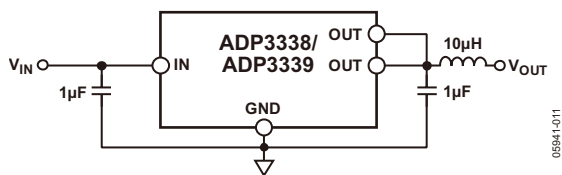


图10 ADP3338/ADP3339典型应用

数据采集

数据采集和处理是通过高速缓存实现的。数据采集可以ADC全采样进行，或抽取采样，具体取决于所用测试方法。基准测试结合使用ADI FIFO套件数据采集板(无需抽取)和ADC Analyzer软件(有关详情，请参阅ADC FIFO套件部分)。一般采用16k、32k和64k FFT，但基准FFT采样速率则可高达4M。在模拟输入源与时钟不同步(非相干采样)的情况下，通常使用Hanning或Blackman-Harris窗函数。(有关详情，请参阅“On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform,” Fredric J. Harris, Proceedings on the IEEE. Vol. 66, No. 1, January 1978.)

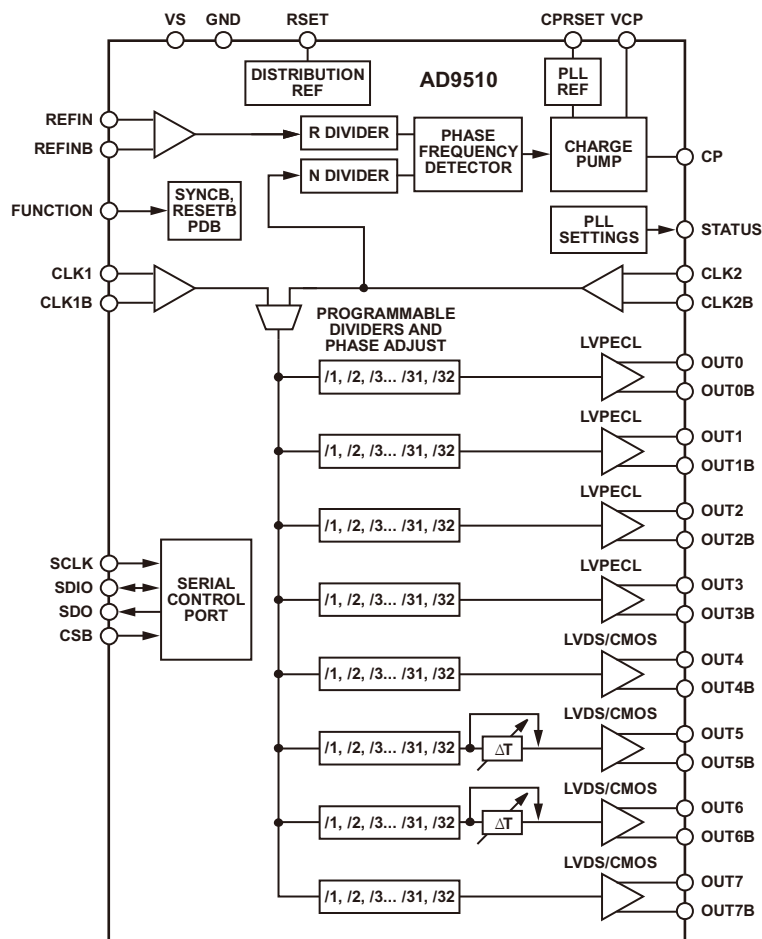


图11 AD9510低抖动时钟源

交流测试定义

交流或动态测试一般采用额定频率的模拟信号，信号功率为满量程以下0.1 dB、0.5 dB或1 dB(dBFS)。若使用不同幅度的信号，会在数据手册的测试条件中给出定义。对于这些测试，编码率通常设定为等于或接近额定最大值。在确定其他测试条件(包括电源和温度条件)时，务必查阅数据手册。

FFT测试

可使用相干和非相干FFT测试，取决于实际测试条件。采用相干测试时，应选择特定的模拟频率，从而使得采集到的采样数据能在记录长度内转换的代码尽可能多。这是通过模拟频率与编码率之间的一种基本关系实现的。

例如，若使用相干采样，且要求模拟输入频率为10 MHz，额定采样速率为65 MSPS，则计算出的相干模拟输入频率为10.0015258789063 MHz，或恰好2521个周期。计算方程如下：

$$\text{Cycles} = \frac{f_{\text{DESIRED_FREQUENCY}}}{\frac{\text{Sample_Rate}}{\text{FFT_Samples}}}$$

应对周期数进行舍入处理，取最近的整数。如有可能，应尽量选择最接近的素数，以确保发挥出转换器的最大量子化电平。一旦选好周期数后，则可用有效模拟输入频率求出以上方程式的解。

FFT测试的结果一般以分贝来衡量。单位可以用dBc(有效信号以载波为参照)或dBFS(有效信号以转换器满量程为参照)。两种单位可相互转换，方法是在满量程的基础上加上或减去载波电平。(有关FFT测试的详情，请参阅“The FFT: Fundamentals and Concepts,” Tektronix, Inc., 070-1754-00, Production Group 45, first printing December 1975.)

单音FFT

信噪比(SNR, dB)

信噪比(SNR)指信号均方根振幅与除前六个谐波和直流之外的所有频谱分量均方根和之比。随着输入电平的降低，SNR往往按分贝线性递减。

以满量程为参照的信噪比(SNRFS, dBFS)

以满量程为参照的信噪比(SNR)指均方根满量程与除前六个谐波和直流之外的所有频谱分量均方根和之比。SNRFS表示为以满量程为参照的分贝数(dBFS)。SNR与SNRFS之间的差异也就是基波幅值与满量程之间的差异。

信纳比(SINAD, dB)

信纳比(SINAD)指信号均方根振幅与所有频谱分量(包括谐波但不含直流)均方根和之比。SNR与SINAD之间的差异即是前六个谐波所含能量。

用户自定义信噪比(UDSNR, dB)

用户自定义信噪比(UDSNR)是ADC Analyzer软件中使用的一个术语(请参阅《ADC Analyzer用户手册》)。表示信号均方根振幅与用户指定频带内除前六个谐波和直流之外的所有频谱分量均方根和之比。ADC Analyzer软件允许单独设置目标信号左右两侧的噪声带宽。UDSNR单位为分贝。

噪声系数(NF, dB)

噪声系数(NF)指器件输出端噪声功率与器件输入端噪声功率之比，其中，输入噪声温度等于参考温度(298 K)。噪声系数单位为分贝。

可通过计算求出单配置ADC的噪声系数。假设输入范围、端电极和采样速率均为固定值，则可用以下方程算出ADC的噪声系数：

$$\text{Noise Figure} = 10 \times \log \left(\frac{V_{\text{rms}}^2 / Z_{\text{IN}}}{0.001} \right) - \text{SNRFS} - 10 \times \log \left(\frac{\text{Encode Frequency}}{2} \right) - 10 \times \log \left(\frac{B \times T \times k}{0.001} \right)$$

其中：

K = 玻尔兹曼常数 = 1.38×10^{-23}

T = 绝对温度(单位：Kelvin) = 273 K

B = 带宽 = 1 Hz

Encode Frequency = ADC时钟速率

V_{rms} = 满量程输入均方根电压

Z_{IN} = 输入阻抗

SNRFS = 满量程ADC信噪比(SNR)

噪底(dBFS)

噪底是ADC Analyzer软件中使用的一个术语(请参阅《ADC Analyzer用户手册》)。噪底等于

$$\text{Noise Floor} = \text{SNRFS} - 10 \log \left(\frac{\text{FFT Bins}}{2} \right)$$

该值表示的是各FFT滤波器组的平均噪声。若FFT滤波器组增加一倍,该数值将减少3 dB。本底噪声并非绝对指标,相反,它表示的是给定设置中噪声的相对位置。

有效位数(ENOB, Bits)

有效位数(ENOB)是用来衡量ADC性能的指标，单位为位(Bits)。测量ENOB最精确的方法是采用一个正弦波的曲线拟合法(请参阅“Calculate an ADC's Effective Bits”(计算ADC的有效位))。最常用的ENOB算法采用基于转换器满量程SINAD的以下方程：

$$ENOB = \frac{SINAD - 1.76}{6.02}$$

无杂散动态范围(SFDR, dBc)

无杂散动态范围(SFDR)指信号均方根值与模拟输入产生最差结果的峰值杂散频谱分量均方根值之比。多数情况下, SFDR为ADC输入信号的一种谐波。

谐波失真(dBc或dBFS)

谐波是模拟输入频率的一个整数倍频谱分量。例如，二次谐波的频率就是模拟输入频率的两倍。

大多数ADC指标均包含有一个或多个谐波。一般地，二次和三次谐波均会被列出，因为在所有谐波中它们的性能最差。

谐波失真，无论其次数，均指信号均方根振幅与相应次数的谐波分量均方根值之比，单位为dBc或dBFS。

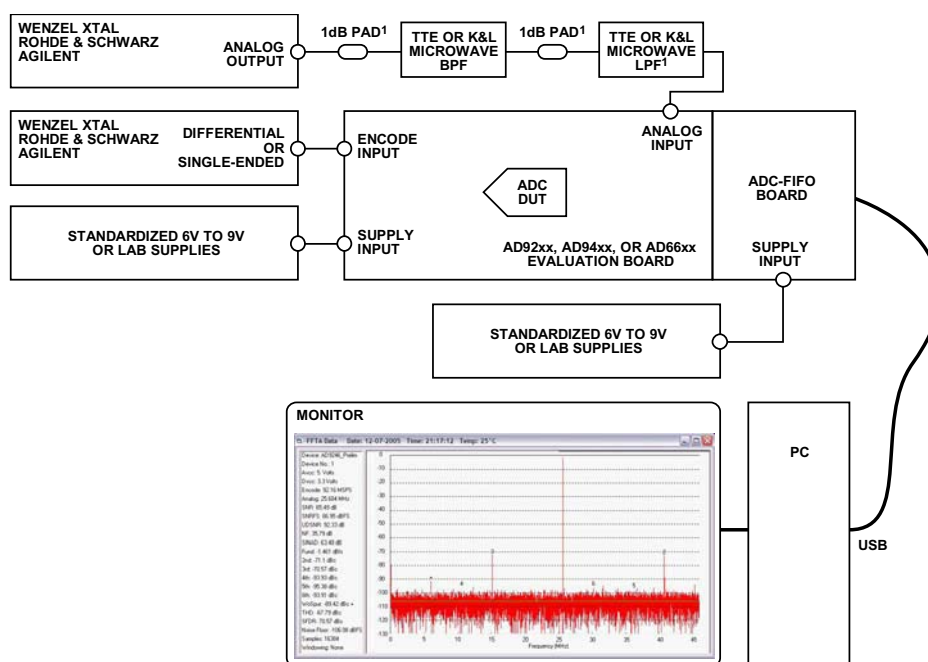
由于ADC属于非线性器件，因而其输出中频谱分量非常丰富。最差杂散能量并不一定与前两个谐波(2HD和3HD)直接相关，而是用最差其他杂散(WoSpur)来衡量。WoSpur指的是信号均方根振幅与除去前六个谐波相关分量之外的最差杂散分量均方根之比,单位为dBc。

总谐波失真(THD, dBc)

总谐波失真(THD)指的是信号均方根能量与前六个谐波之和的均方根值之比。

谐波镜像(dBc)

谐波镜像测量结果仅在分析隔行扫描ADC时有效。该指标对大多数ADC都不适用。谐波镜像指的是信号均方根振幅与两个ADC时钟相位差产生的非谐波分量均方根之比，单位为dBc。



¹OPTIONAL TO IMPROVE PERFORMANCE

NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR THE FREQUENCY AND LEVEL SPECIFIED.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.

图12 单音测试设置

双音FFT

如果多个信号音通过一个存在非线性度的转换器，就会产生交调失真(IMD)。ADC双音测试是测量这类非线性度的一种方法。由于许多失真积可能在模拟频谱中相对较高，因而这些频率可能已发生混叠。在识别失真积时，务必记住这一点。

$F1 + F2$ (dBc)

该术语表示相应频率出现的2阶失真积，等于两个输入频率之和。其衡量指标为其均方根值与两个输入信号音之一的均方根值之比，单位为dBc。

$F2 - F1$ (dBc)

该术语表示相应频率出现的2阶失真积，等于两个输入频率之差。其衡量指标为其均方根值与两个输入信号音之一的均方根值之比，单位为dBc。

2阶输入交调点(IIP2, dBm)

2阶输入交调点(IIP2)衡量的是转换器满量程输入信号功率减去IMD 2阶积之差，单位为dBm。

$2F1 \pm F2$ and $2F2 \pm F1$ (dBc)

这两个术语表示转换器的3阶失真积。每一术语的衡量指标均为其均方根值与两个输入信号音之一的均方根值之比，单位为dBc。峰值杂散分量被当作IMD积。

3阶输入交调点(IIP3, dBm)

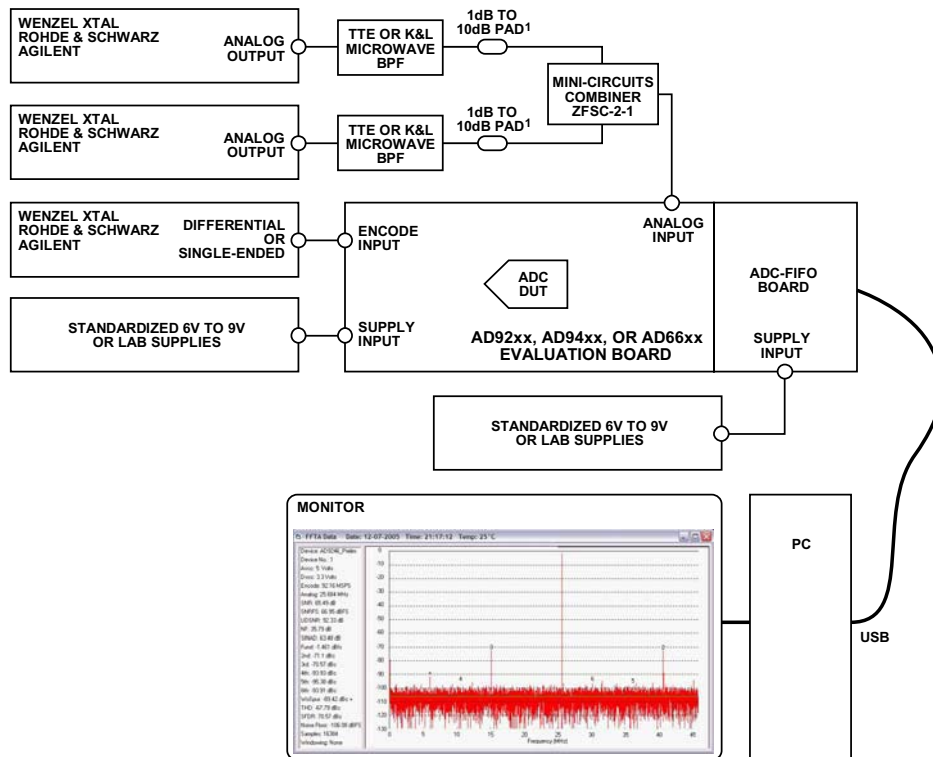
3阶输入交调点(IIP3)衡量的是转换器满量程输入信号功率减去IMD 3阶积的一半得到的差，单位为dBm。

最差其他杂散(WoSpur, dBc)

最差其他杂散(WoSpur)指与两个模拟输入信号混合所导致的2阶或3阶失真积无关的最差杂散。该术语的衡量指标为其均方根值与两个输入信号音之一的均方根值之比，单位为dBc。

双音SFDR(dBc)

无杂散动态范围(SFDR)指信号均方根值与模拟输入产生最差结果的峰值杂散频谱分量均方根值之比。多数情况下，SFDR为ADC输入信号的一种谐波。



¹OPTIONAL TO IMPROVE PERFORMANCE.

NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR THE FREQUENCY AND LEVEL SPECIFIED.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.

图13 双音测试设置

噪声功率比(NPR, dB)

噪声功率比(NPR)是一种动态测试，用于通过一满载高斯噪声源来评估转换器的性能。使用一个奈奎斯特带宽的噪声源来调节噪声电平，从而使转换器加载到刚好低于削波点。然后用一个深陷波滤波器来消除噪声窄带。陷波内的

噪声可用FFT技术进行测量，以确定陷波内噪声密度与陷波外的噪声密度比值。结果表示为分贝。NPR恰好在削波点之前进行优化，如图14所示。一旦削波开始，NPR将随着输入信号的加强而迅速下降。如果输入信号减弱，噪声功率每减少1分贝，NPR将大约下降1 dB。

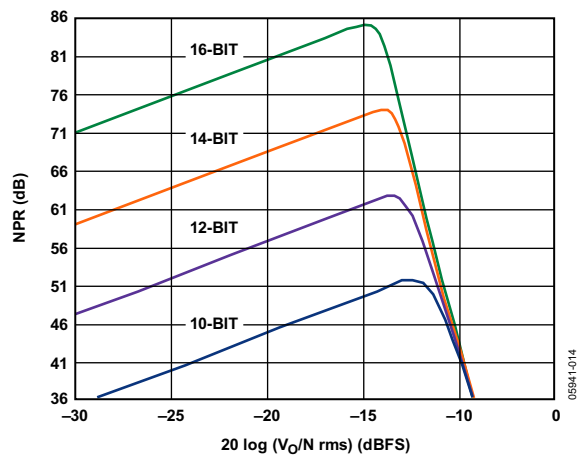


图14 典型NPR曲线

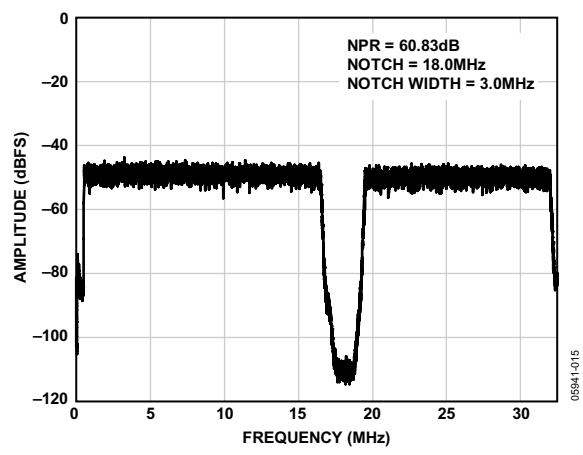
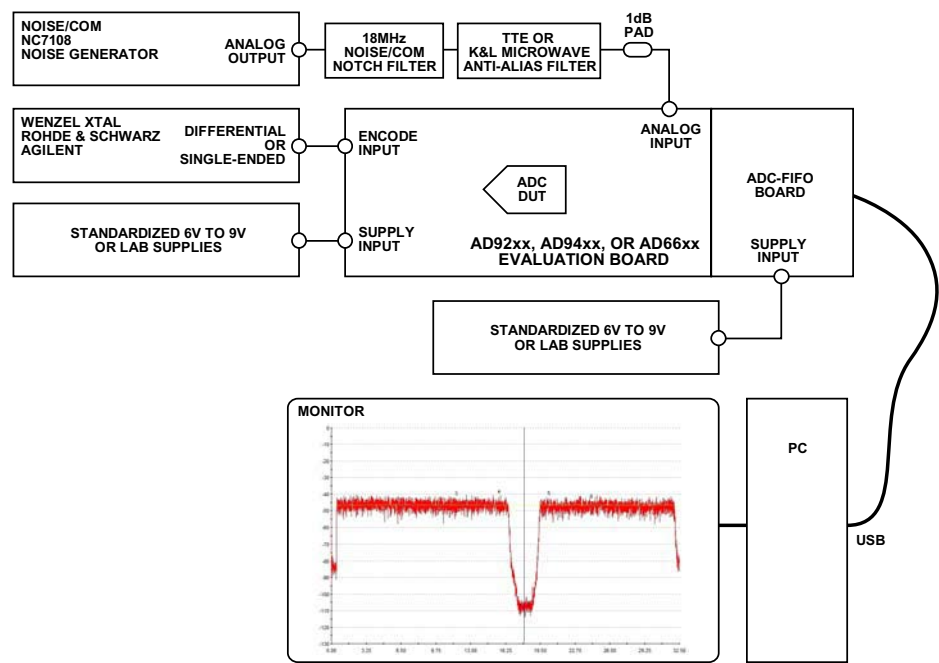


图15 12-位转换器的典型NPR响应



- NOTES
- 1. SET NOISE/COM TO ~5dBm OR DECREMENT/INCREMENT FOR APPROPRIATE NOISE INPUT LEVEL.
 - 2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
 - 3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
 - 4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
 - 5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
 - 6. USE AN ADC-FIFO BOARD WITH AT LEAST 64k.

图16 NPR测试设置

全功率带宽(MHz)

模拟输入带宽指的是基频频谱功率(由FFT分析所确定)衰减3 dB时的模拟输入频率。该测试并不包含某一具体的SFDR或SNR性能。

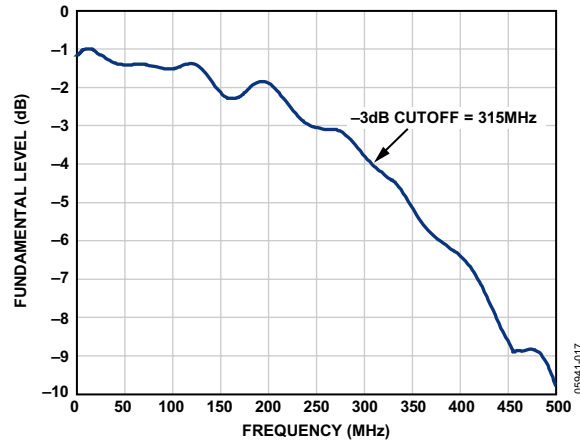
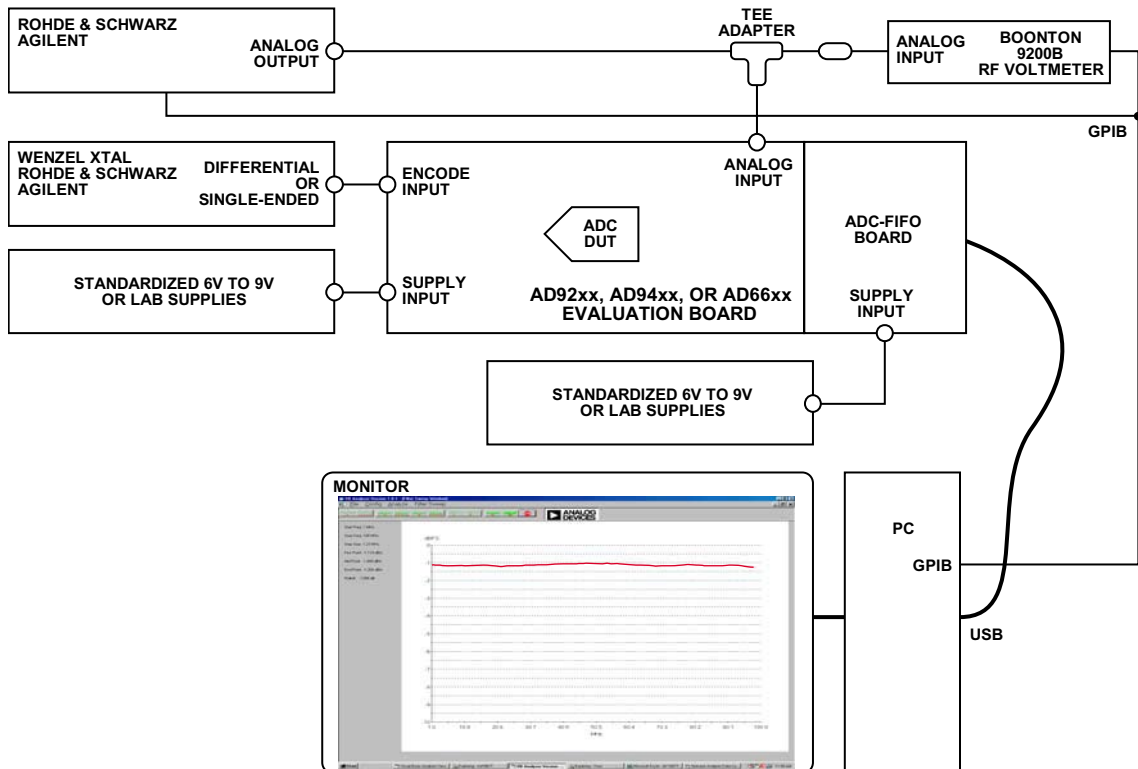


图17 典型全功率带宽响应



NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR -1dB AT A 10MHz REFERENCE FREQUENCY.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
6. BOONTON PROBES SHOULD USE UNTERMINATED ADAPTERS.

图18 全功率带宽测试设置

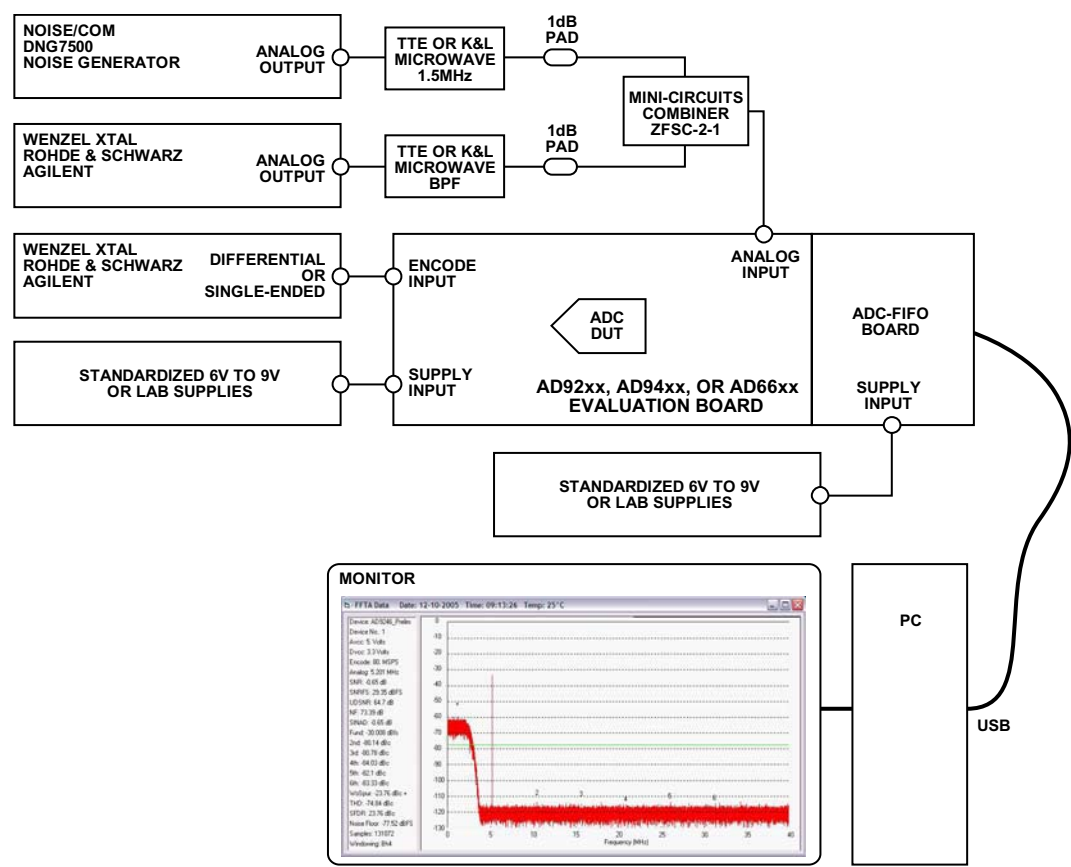
抖动测试

向ADC输入一额外噪声会导致传递函数抖动，从而减少静态非线性度导致的杂散现象。尽管这种抖动对减小因压摆率限制引起的失真作用不大，但是对减少有碍ADC性能的本征误差却非常有效。

抖动分为两类：带外抖动和宽带抖动。如图19所示的设置中，带外抖动表示位于带外的带限噪声，在此范围内，抖动并不会对转换器性能造成太大的影响。这种技术通常用于通讯系统中，这些系统使用数字滤波器来选择有效信号

以及滤除其他信号。宽带抖动通常用在高性能测试设备中。在这种配置中，宽带模拟噪声被加到输入端，并在输出中减去相应的数字等效值。任一技术的实际效果都是转换器的杂散性能得以大幅增加。有关详情，请参阅《AN-410应用笔记》。

采用抖动时，杂散性能一般能改善15 dB或更多，具体取决于应用。许多数据手册均含有抖动性能曲线图，可供比较。此外，结合使用ADC Analyzer软件和ADIsimADC，可把抖动加到模拟仿真中，以进一步说明抖动将如何提升性能。



模拟输入

模拟输入阻抗

模拟输入阻抗指的是模拟输入的复合输入电压与复合输入电流之比。模拟输入阻抗一般采用网络分析仪来测量，结果用史密斯圆图进行显示。

某些情况下，复合输入可分解为电阻、电容或电感项，结果也可分别显示。

电压驻波比(VSWR)

VSWR衡量的是从ADC输入端反射回的功率量，这是对能量传输至ADC输入端口效率的一种衡量。

根据以下方程，可由输入阻抗来计算从器件反射回的功率量：

$$\rho = \frac{Z_{IN} - Z_0}{Z_{IN} + Z_0}$$

其中：

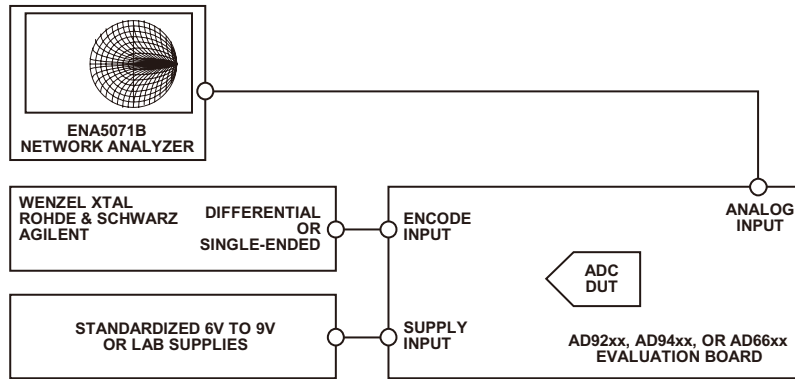
ρ 为器件反射回的功率量。

Z_{IN} 为ADC的复合输入阻抗。

Z_0 为网络有效阻抗。

根据反射系数，可由以下方程求出VSWR：

$$VSWR = \frac{1 + \rho}{1 - \rho}$$



NOTES

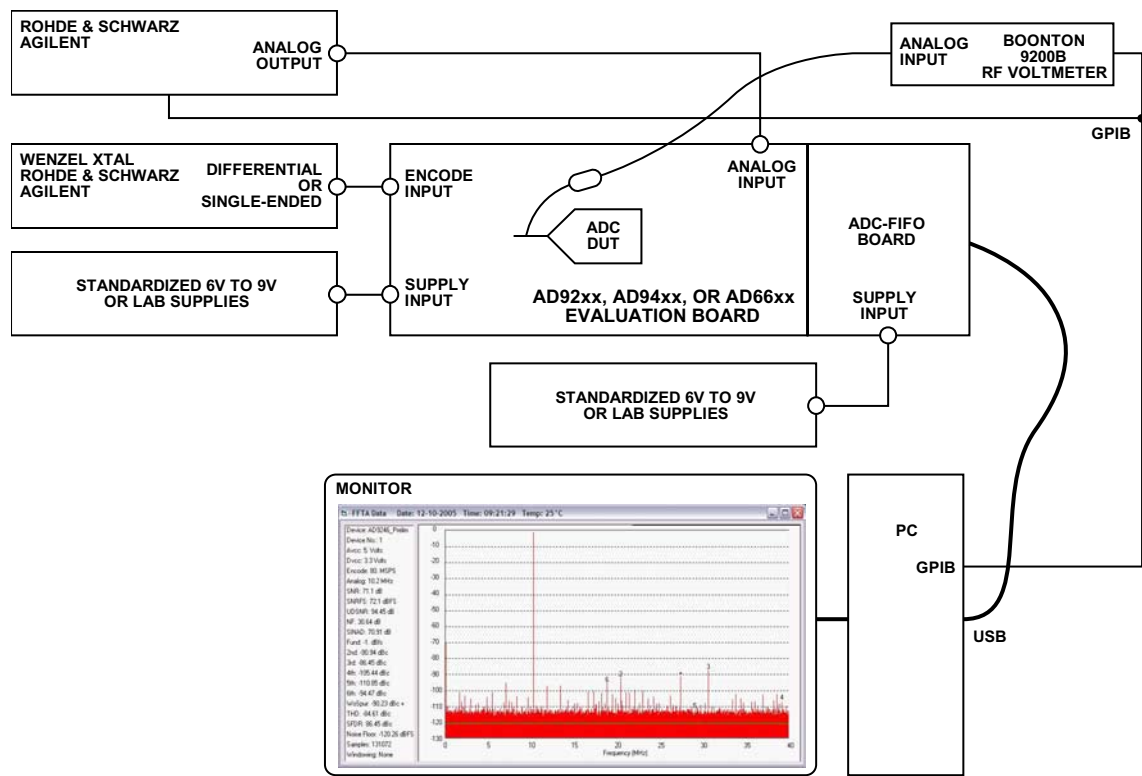
1. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
2. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
3. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
4. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
5. CALIBRATE NETWORK ANALYZER (3.5mm CALIBRATION KIT, PART NO. 85033C OR EQUIVALENT).

05941-020

图20 模拟输入阻抗与VSWR测试设置

模拟输入满量程范围(V p-p)

模拟输入满量程范围指可输入转换器模拟输入端以产生有效满量程响应的峰-峰值(单端或差分)电压的范围。



- NOTES
1. AIN LEVELS SHOULD BE ADJUSTED FOR -1dB AT 10MHz.
 2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
 3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
 4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
 5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
 6. BOONTON PROBES SHOULD USE UNTERMINATED ADAPTERS.

图21 模拟输入满量程范围测试设置

05941-021

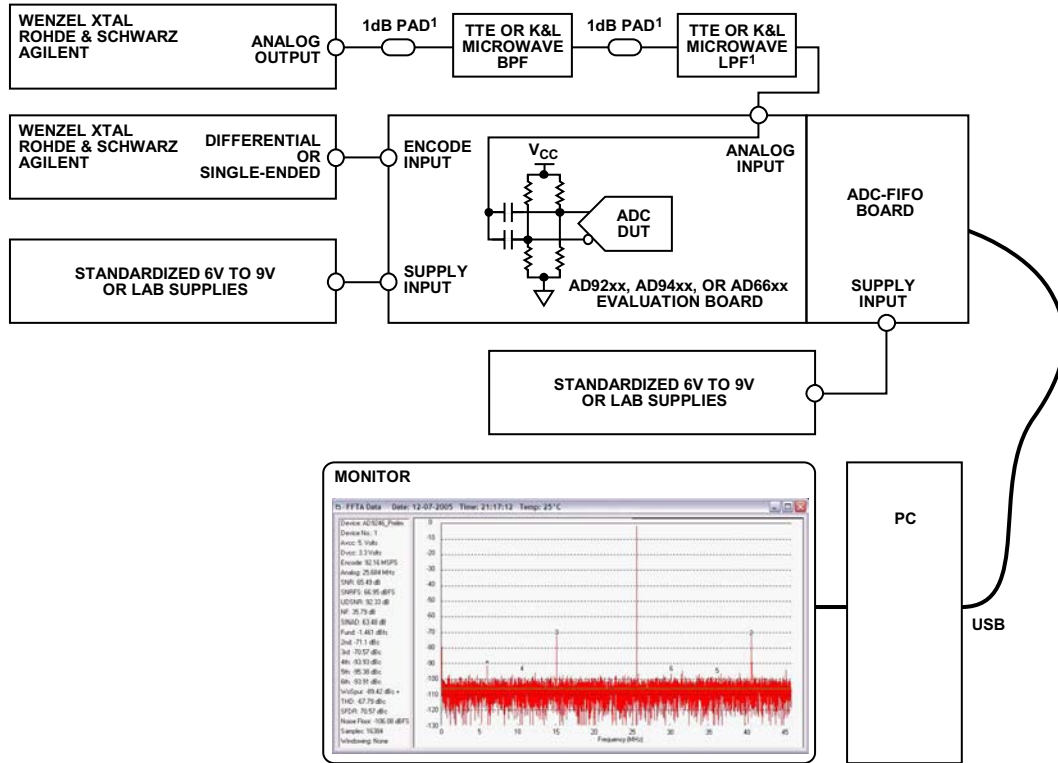
共模输入范围(V)

共模输入范围指差分输入ADC两个输入端的直流偏置的范围，在此范围内，转换器可正常运行。对于许多转换器而言，该范围非常有限，但有些转换器共模范围较宽。在确定具体共模范围时，请参考相应转换器数据手册。

共模抑制比(CMRR, dB)

共模抑制比(CMRR)定义为差分模拟输入时，对共模信号的抑制量。CMRR一般表示为分贝，可通过以下方程进行计算：

$$CMRR = 20 \log \left(\frac{A_{DIFFERENTIAL}}{A_{COMMONMODE}} \right)$$



¹ OPTIONAL TO IMPROVE PERFORMANCE.

NOTES

1. AIN LEVELS SHOULD BE ADJUSTED FOR THE FREQUENCY AND LEVEL SPECIFIED.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.
6. RESISTIVE DIVIDER MAY NOT BE NECESSARY FOR SOME ADCs.

图22 CMRR测试设置

05941-1022

孔径延迟(ps)

孔径延迟(AD)衡量的是模拟通道与编码通道之间的延迟差。由采样时钟上升沿50%点到输入信号采样实际开始所需时间进行测量。

可通过以下测试配置来测量孔径延迟(AD)：

- 1. 将模拟输入连接至一个模拟滤波器。
- 2. 用ADC Analyzer一类的程序对输入进行调节，直到单音FFT产生满量程信号(0 dBFS)为止。
- 3. 断开模拟输入连接，用短路棒将模拟输入短接到地。
- 4. 用连续平均时域坐标图测量该器件的失调值。

5. 把模拟输入上的短路棒移开，按图23所示重新连接模拟输入。

6. 记录新的失调值，并用该值求出以下方程的解：

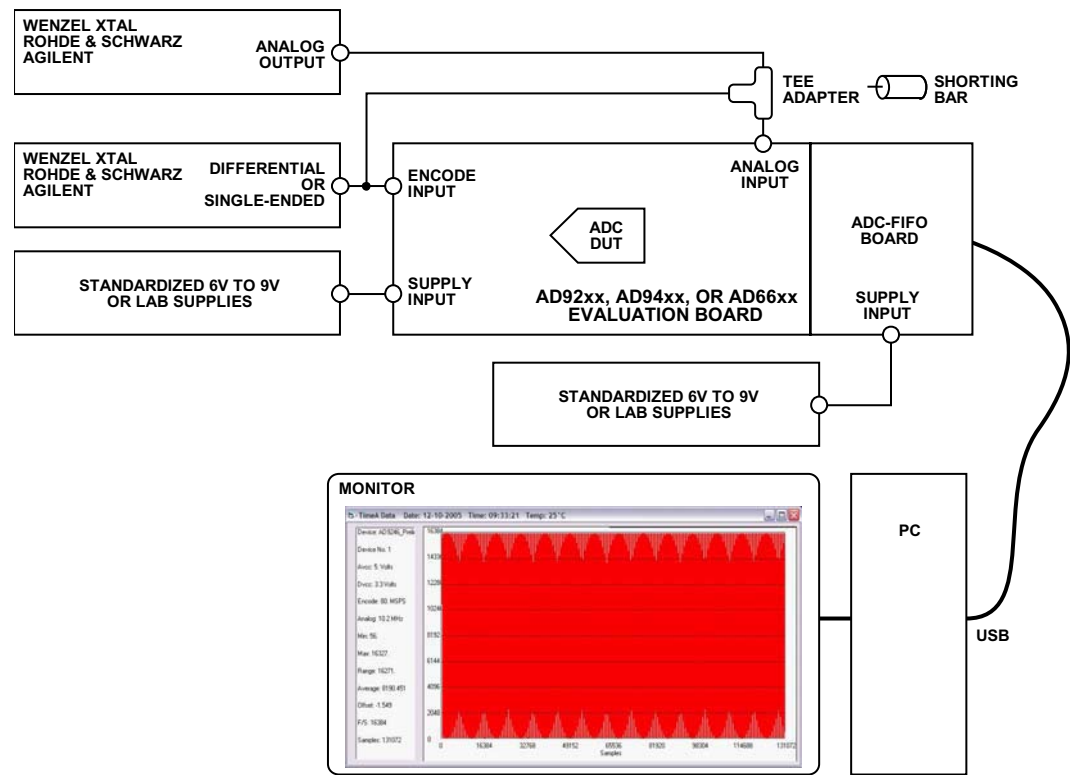
$$t_{AD} = \sin^{-1} \left(\frac{(Code_{AVERAGE} - Offset)/(2^N/2)}{2\pi \times Frequency} \right)$$

其中：

2^N/2为16-位ADC的中量程。

Offset为通过连续平均时域坐标图测得的器件失调值(见第4步)。

Code_{AVERAGE}为移除短路棒并重新连接模拟输入后测量的新失调值(见第5步)。



- NOTES
- 1. AIN LEVELS SHOULD BE ADJUSTED FOR 0dBFS OUTPUT FOR THE INPUT FREQUENCY OF MIDBAND.
 - 2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
 - 3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
 - 4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
 - 5. USE THE APPROPRIATE CONFIGURATION FILE FOR ADC ANALYZER.

图23 孔径延迟时间测试设置

06941-023

孔径抖动或孔径不确定度(ps RMS)

孔径抖动指孔径延迟中的采样间变化，在ADC输入中可表现为频率相关噪声。有关孔径抖动测量方法的详情，可参看《AN-501应用笔记》，有关如何将孔径抖动转换为相位噪声的详细介绍，可参看《AN-756应用笔记》。

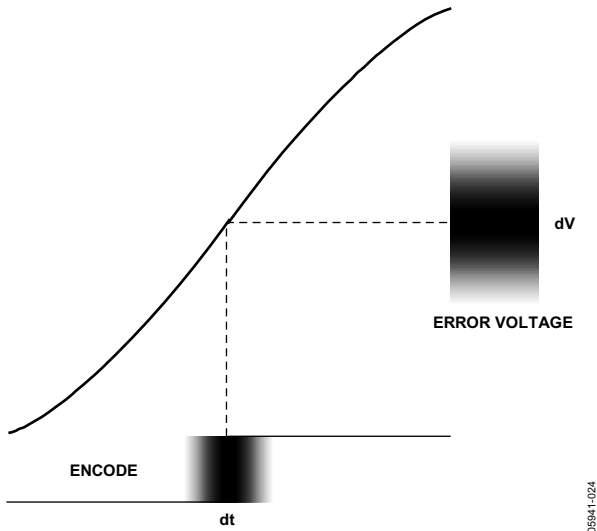


图24 孔径不确定度

串扰(dB)

串扰定义为多通道ADC中，耦合至无信号通道的任何信号。串扰包括两种条件，共三种测量方式。

条件1

如果信号驱动接近满量程，则可通过以下方法之一进行测量：

- 分别用一个差分中基带频率驱动任意两个通道，间隔至少 2 MHz(−0.5 dBFS)。记下任何开路通道(未驱动)上的相同基频。对全部通道组合重复这一步骤。
- 用一单中基带频率(−0.5 dBFS)驱动任何N − 1通道。记下任何开通道(未驱动)上的相同基频。对全部通道组合重复这一步骤。

条件2

如果信号驱动超过满量程3 dB(这种情况称为过载条件)，则可通过以下方法测量串扰：

- 使用“条件1”中描述的方法之一，但需将中基带频率振幅设为超过满量程3 dB。

所有结果均表示为分贝，等于无信号通道上干扰信号的能量与受驱动通道上的能量之比。

折合到输入端的噪声(LSB RMS)

折合到输入端的噪声衡量的是ADC产生的宽带噪声。输入接地时，将生成关于输出码的直方图。折合到输入端的噪声通过直方图标准差进行计算，表示为LSB均方根。

该指标也可通过SNRFS测量值加以关联，并用以下方程将分贝转换为伏特：

$$\text{Noise}_{\text{INPUT}} = \frac{V_{p-p}}{2 \times \sqrt{2} \times 10^{\text{SNR}/20}}$$

其中，V_{p-p}为ADC满量程输入范围，SNR为由小输入信号驱动时的满量程SNR性能。

范围外恢复时间(时钟周期)

范围外恢复时间是指当瞬时输入从高于正满量程10%变为高于负满量程10%，或者从低于负满量程10%变为低于正满量程10%时，ADC恢复额定精度所需的时间。

数字时域

最小转换速率(MSPS)

最小转换速率是指最低额定模拟信号频率的信噪比降至保证限值之下不超过3 dB时的时钟速率。

最大转换速率(MSPS)

最大转换速率是指执行参数测试的时钟速率。尽管工作速率也可达到更高水平，但并无保证。

流水线延迟(时钟周期)

流水线延迟是指通过转换器的延迟，为编码周期的函数。为实现吞吐量的最大化，许多高速转换器采用流水线处理技术。结果，直到数个信号时钟周期采样完毕后，才会输出相应的数据。这种延迟即为流水线延迟，可表示为整数或小数个时钟周期，具体取决于所用数据转换器。

传播延迟(ns)

传播延迟是指时钟逻辑阈值(或差分时钟输入的50%点)与全部比特均位于有效逻辑电平之内时的时间之间的延迟。

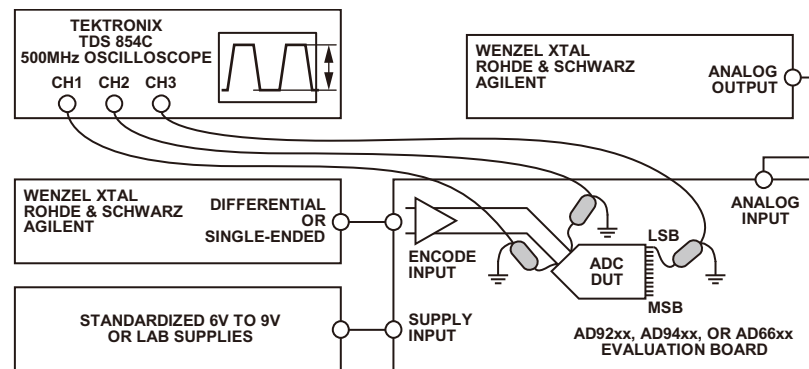
编码脉冲宽度或编码占空比

编码脉冲宽度高电平是指编码信号保持逻辑高状态并达到额定性能的最小时间。编码脉冲宽度低电平是指编码信号保持逻辑低状态并达到额定性能的最小时间。在传统ADC中,当编码信号处于逻辑高状态时,电路则处于采样模

式。如果高状态持续时间不足, 采样过程则无法完成。如果低状态持续时间不足, 电路将无法精确获得待采样的信号。采集和采样时间适当均衡时, 即可实现最佳操作。

许多转换器提供的指标是编码占空比而非脉冲宽度。该指标通常与最大额定编码相关，表示为编码线可保持高状态的的时间的百分比范围。

在这种测试中, 额定性能被定义为SNRFS性能处于额定性能-3 dB之内的范围。



NOTES

1. AIN SHOULD BE SET TO A LOW FREQUENCY FULL-SCALE SIGNAL.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. USE THE APPROPRIATE REVS ON EVALUATION BOARD AND PARTS AS NOTED.
6. ALL OSCILLOSCOPE PROBES SHOULD BE SOLDERED DOWN AND GROUNDED.
7. TEKTRONIX PROBES M/N: P6243 OR BETTER SHOULD BE USED. <1pF WITH 1GHz BW.

图25 传播延迟测试设置

转换误码率(CER)

转换误码率(CER)衡量的是ADC产生误码的频率。误码定义为落在转换器噪声界限之外且超过正态分布噪声容许范围的输出码。转换器噪声则指通常由量子化、热效应和时钟抖动产生的噪声，一般认为呈高斯分布。如果发生频率超出正态分布预测范围，则认为相应采样为误码。

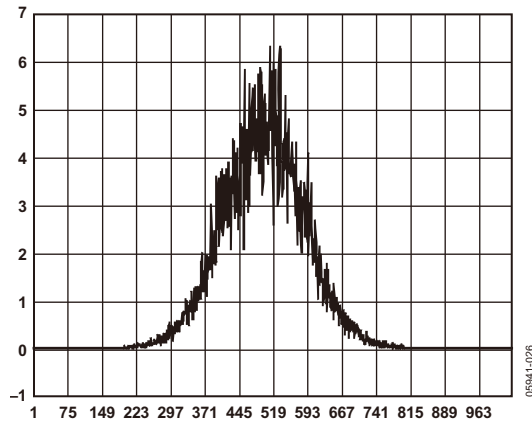


图26 高斯分布ADC输出

噪声大小基于 $\Sigma(\sigma)$ 进行归一化处理，计算方法是，先测量满量程信噪比(SNR)，然后再用该值求出以下方程的解：

$$\sigma = \frac{2^N}{2 \times \sqrt{2} \times 10^{SNR/20}}$$

基于预期信噪比(或数据手册提供值)确定 Σ 之后，则可用特定方法来采集数据，以从实际码中减去预期ADC码，结果生成分布直方图。对于统计意义上的大数据集，正常ADC噪声的分布将类似于图26所示结果。对于大样本分布，任何超出这些范围内的样本均表示比特误差，如表1所示。

表1 Σ 与常态发生概率

σ	事件正态概率	100万个采样中的范围外自然发生量
3.09	2×10^{-3}	2000
3.72	2×10^{-4}	200
4.26	2×10^{-5}	20
4.75	2×10^{-6}	2
5.20	2×10^{-7}	0.2
5.61	2×10^{-8}	0.02
6.0	2×10^{-9}	0.002
6.36	2×10^{-10}	0.0002

必须注意的是，当采样速率为100 MSPS时，若 6.36Σ 之外的50秒窗口中存在一个误码应为正常现象，并不会产生一个转换错误。仅当速率超过 2×10^{-10} 时才会表现为转换误码。实际上，当速率超过 2×10^{-6} 或 2×10^{-7} 以上时，包括闭锁装置和存储元件在内的外部设备增加了测量的难度。

直流测试定义

增益误差(%FS)

增益误差是指测量满量程与理想满量程之差，通常表示为满量程的百分比。

增益匹配(%FS)

增益匹配是指多通道ADC的最大满量程与最小满量程之比，表示为满量程的百分比，可由以下方程计算：

$$\text{Gain Matching} = \left(\frac{\text{FSR}_{\text{MAX}} - \text{FSR}_{\text{MIN}}}{\frac{\text{FSR}_{\text{MAX}} + \text{FSR}_{\text{MIN}}}{2}} \right) \times 100\%$$

其中， FSR_{MAX} 为ADC的最大正增益误差， FSR_{MIN} 则为最大负增益误差。

失调误差(%FS)

失调误差是指在输出端生成中量程码的模拟输入处的测量电压与理想电压之差，通常表示为满量程的百分比。

失调匹配(mV)

失调匹配是指多通道转换器各通道间的失调差，单位为毫伏(mV)，可由以下方程计算：

$$\text{失调匹配} = \text{VOFFSET}_{\text{MAX}} - \text{VOFFSET}_{\text{MIN}}$$

其中， $\text{VOFFSET}_{\text{MAX}}$ 为最大正失调误差， $\text{VOFFSET}_{\text{MIN}}$ 则为最大负失调误差。

失调匹配通常表示为毫伏(mV)，跟满量程范围一起在产品数据手册中列出。

温度漂移(ppm)

失调误差和增益误差的温度漂移定义的是初始值(25°C)与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围，通常表示为ppm。

输出高电平/输出低电平(VOH/VOL, V)

输出高电平(VOH)表示逻辑高电平的电压。输出低电平(VOL)表示逻辑低电平的电压。

直流或静态测试一般采用直流或非常低频的测试信号。这类测试旨在确定多种铁芯转换器指标的基准值。测试条件因产品而异；因此，确定实际测试条件时必须参考相应产品的数据手册。

线性度

线性度分为两类：差分非线性(DNL)和积分非线性(INL)。衡量一个ADC的基本指标是每个代码均有效的电压范围。这些电压的积分决定着转换器的总体传递函数。这两项基本指标共同决定ADC的静态性能特征。

这些测试往往借助直方图技术进行。用统计属性已知的信号驱动ADC模拟输入，即可绘出直方图。例如，一个直流斜坡就具有良好的均匀概率密度函数特征。这就意味着，驱动ADC输入时，每一ADC代码在大观察窗中具有相同的发生概率。如正弦波等其他波形同样拥有各种已知功能。尽管这类波形并不统一，但可用数学公式精确描述(请参阅“The Data Conversion Handbook”(数据转换手册)，Walt Kester, Newness, 2005, Page 315.)。

进行直方图测试，一般采集尽量多的样本。对于高分辨率转换器，可能为400万个样本或以上。

差分非线性误差(DNL, LSB)

差分非线性(DNL)是指任一代码偏离理想的1 LSB步进的程。其测量方法是先分析各直方图，然后对实际发生概率与理想概率进行比较。结果即是各代码DNL的直接测量值。

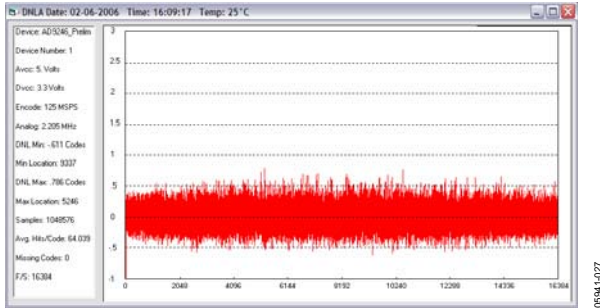


图27 典型10-bit DNL

积分非线性误差(INL, LSB)

积分非线性(INL)是指传递函数对基准线的偏离，该基准线表示为1 LSB的几分之一，采用的是一条由最小均方曲线拟合决定的最佳直线。其测量方法为，对直方图求积分，得到传递函数，然后对该函数进行线性回归。实际传递函数与该最佳拟合线之差即为INL。

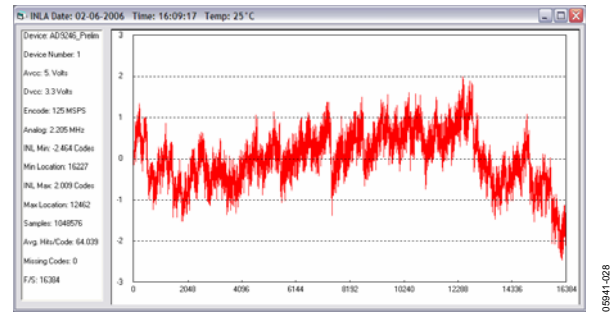
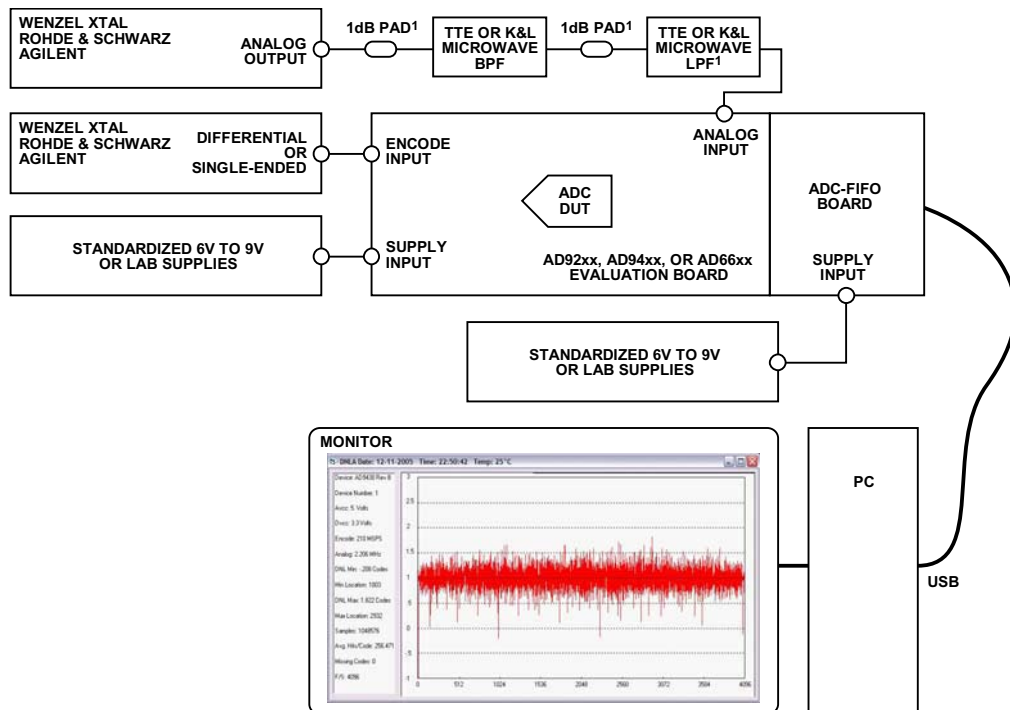


图28 典型10-bit INL

失码

如果某一代码的DNL为-1 LSB，则称之为失码。失码定义为一个丢失的量化电平，可由多种原因引起。多数产品均采用无失码设计，或通过筛选排除失码现象。



¹OPTIONAL TO IMPROVE PERFORMANCE.

NOTES

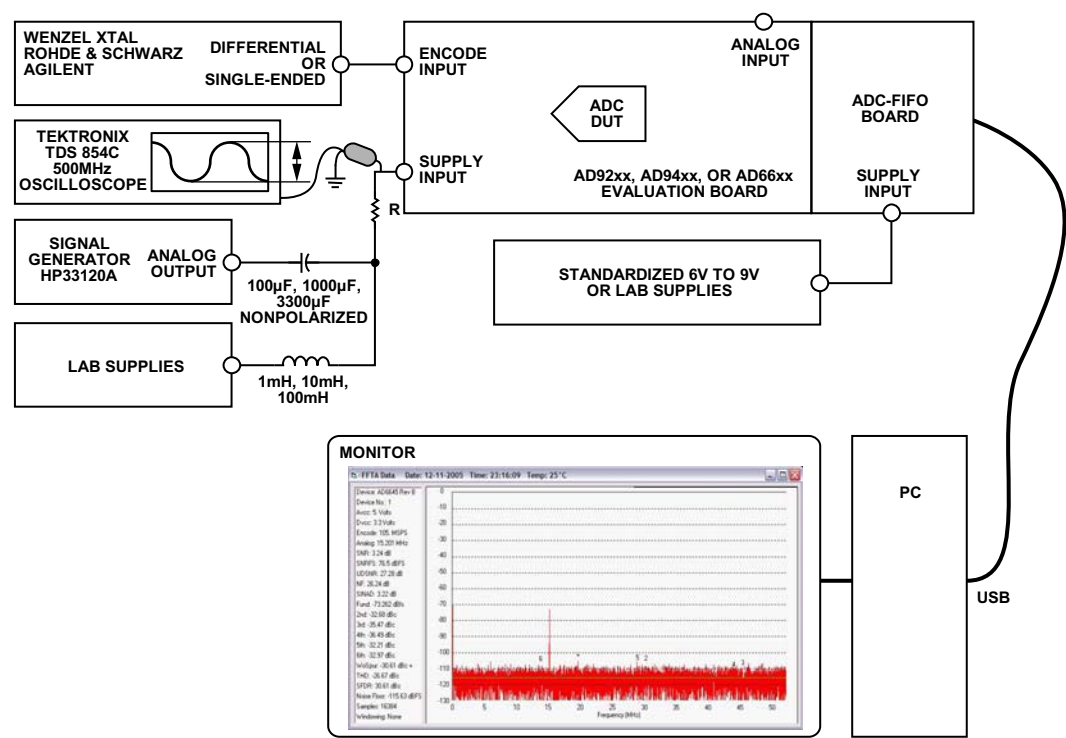
1. AIN LEVELS SHOULD BE ADJUSTED FOR -0.01dBFS AND ABOUT 2.2MHz.
2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
3. UNLESS ONBOARD REGULATORS ARE USED, SUPPLIES SHOULD BE AT NOMINAL.
4. TEMPERATURE SHOULD BE AT AMBIENT, UNLESS OTHERWISE NOTED.
5. CUSTOMER SOFTWARE DOES NOT SUPPORT INL AND DNL TESTING.
6. USE APPROPRIATE REVS ON EVALUATION BOARD AND PARTS AS NOTED.

图29 DNL和INL测试设置

电源抑制比(PSRR, dB)

电源抑制比(PSRR)衡量的是电源耦合至ADC数字输出端的之上的信号量。可通过改变电源然后测量转换器失调变化来测量PSRR，单位为满量程百分比。但更常用的PSRR测量

方法则是，向电源引脚注入一已知振幅的交流信号，然后再通过观察FFT频谱进行测量。PSRR等于ADC测得的电压值减去示波器测得输入值之差值，PSRR以分贝表示。



- NOTES
1. ALL BYPASS CAPACITORS AND FERRITE BEADS SHOULD BE REMOVED FROM THE EVALUATION BOARD.
 2. ENCODE SETTING SHOULD BE ADJUSTED TO THE SPECIFIED RATE.
 3. THE VALUE OF R IS RELATED TO THE SOURCE IMPEDANCE OF THE END POWER SUPPLIES.
 4. THE SIGNAL MEASURED BY THE OSCILLOSCOPE IS COMPARED TO THE FFT OUTPUT TO DETERMINE THE PSRR.
 5. TEKTRONIX PROBES M/N: P6243 OR BETTER SHOULD BE USED. <1pF WITH 1GHz BW.

图30 PSRR测试设置

05541-030

参考资料

Additional information on data converter characterization can be found in *The Data Conversion Handbook* by Walt Kester, Newness, ISBN 0-7506-7841-0. Additional reference books, including the *High Speed Design Techniques*, the *Practical Analog Design Techniques*, the *Linear Design Seminar*, and the *System Applications Guide*, can be found on ADI's website. In addition to the many reference books, various applications notes, articles, and reprints are available from your Analog Devices sales representative, or you can visit our website at www.analog.com for additional information.

注释